

TESIS DOCTORAL

ESPECTROMETRO MULTICANAL
POR CONVERSION EN TIEMPO
A DOBLE PENDIENTE

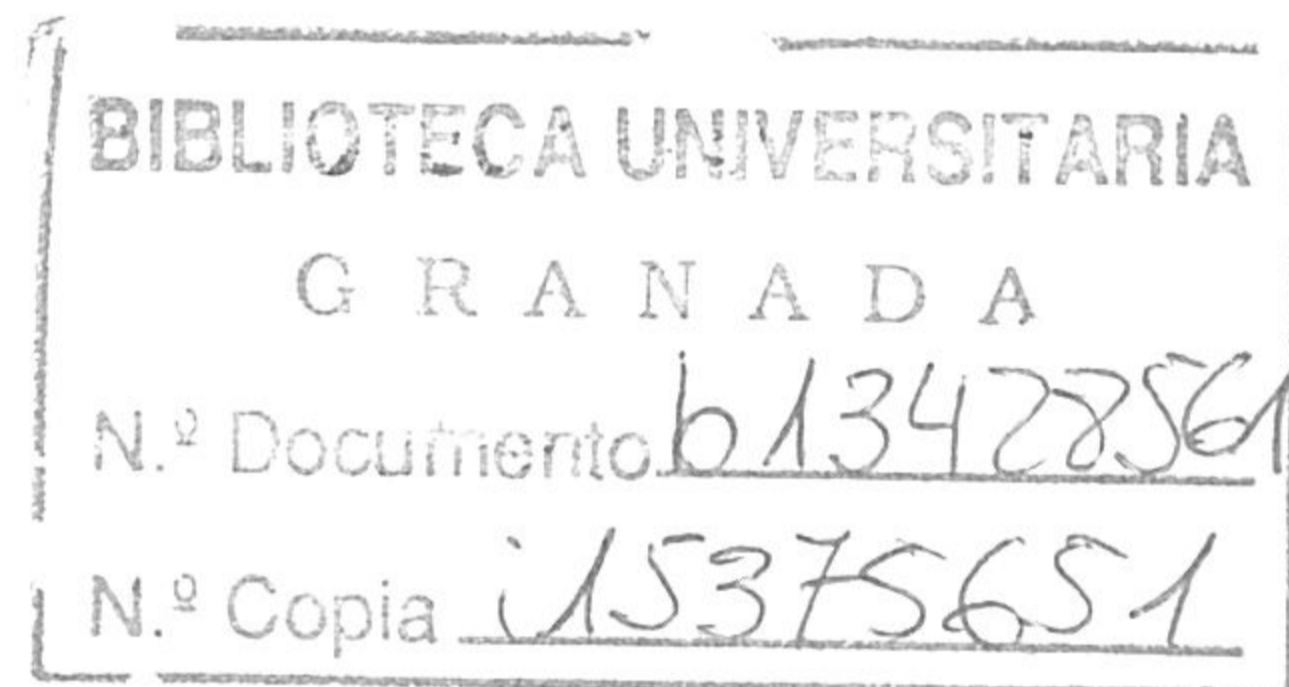
Ramón Román Roldán

GRANADA 1972

R: 24.574

TESIS DOCTORAL

ESPECTROMETRO MULTICANAL
POR CONVERSION EN TIEMPO
A DOBLE PENDIENTE



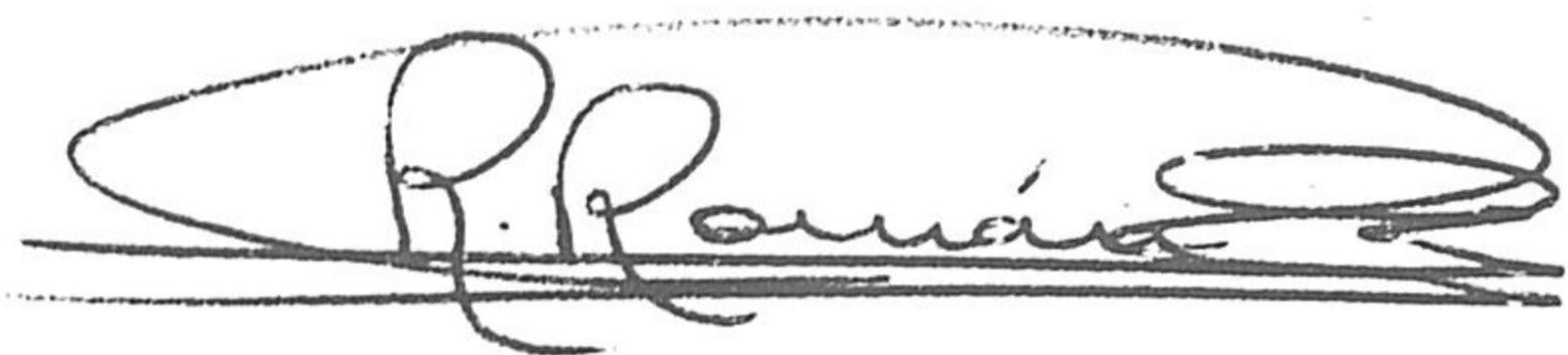
Ramón Román Roldán

GRANADA, 1972

ESPECTROMETRO MULTICANAL POR CONVERSION EN TIEMPO
A DOBLE PENDIENTE

Trabajo presentado para as
pirar al grado de Doctor -
en Ciencias.

Granada 26 de mayo de 1972.



Firmado:

Ramón Román Roldán.

Ido. Ciencias

Visado en Granada a 30
de mayo de 1.972.

EL DIRECTOR DE LA TESIS,



Firmado:

Dr.D. Gerardo Pardo Sánchez
Catedrático y Jefe del De-
partamento de Física.

Facultad de Ciencias.

Universidad de Granada.

A mi esposa

Este trabajo ha sido realizado en el Departamento de Física, Sección de Electrónica, de la Facultad de Ciencias de Granada, bajo la dirección del Dr.D. Gerardo Pardo Sánchez, Catedrático y Jefe del Departamento.

Agradezco profundamente al Dr.D. Gerardo Pardo Sánchez su constante ayuda debiendo la realización del presente trabajo a su impulso investigador y al estímulo personal de él recibido.

Asimismo debo gratitud a todos los compañeros del Departamento de Física, por su apoyo material y moral, destacando especialmente a D. Plácido Reyes Calvente, por sus constantes sugerencias y acertados consejos, sin los cuales no hubiese sido posible la realización de este trabajo. Y a D. Miguel Giménez Yanguas, a quien debo la realización de las figuras que se incluyen.

Finalmente deseo expresar la más profunda gratitud y afecto hacia el Dr.D. Justo Mañas Díaz, Catedrático de Física, como mi primer maestro en la Ciencia del Electromagnetismo. A él debo mi vocación y dedicación en este campo.

I N D I C E
+++++

	<u>Pgs.</u>
I.- <u>INTRODUCCION</u>	1
I.a.- <u>Reseña histórica</u>	1
I.b.- <u>Fundamentos y objetivos</u>	11
II. <u>DISEÑO GENERAL</u>	16
II.a.- <u>Consideraciones de proyecto</u>	16
1. Conversión analógico-digital (A.D.)	16
2. Circuitos de entrada de impulsos	24
3. Oscilador	25
4. Registro de dirección	26
5. Memoria	26
6. Operaciones lógicas y de control	27
II.b.- <u>Esquema de bloques</u>	28
II.c.- <u>Análisis teórico de los requisitos de funcionamiento del espectrómetro</u>	38
1. Requisitos de entrada	38
2. Bloques. Tiempo de concurrencia de impulsos	40

	<u>Pgs.</u>
3. Linealidad del conversor	42
4. Relación de intensidades	53
5. Estabilidad	57
6. El final de la conversión: Nivel de cero.	58
III.- <u>CIRCUITOS DEL CONVERSOR AD</u>	60
III.a.- <u>Amplificador de entrada y bloqueo</u>	60
III.b.- <u>El conversor amplitud-tiempo</u>	76
1. Circuitos de corriente constante	76
2. Circuitos de descarga y puertas de control	85
3. Discusión numérica de las características de funcionamiento y componentes	90
4. Amplificadores diferenciales	104
III.c.- <u>El oscilador</u>	129
III.d.- <u>Circuitos lógica y contadores</u>	132
III.e.- <u>Ajuste y comprobación</u>	141
1. Ajuste. Puesta a punto	141
2. Comprobaciones. Calibrado	147
IV.- <u>CIRCUITOS DE LA MEMORIA</u>	155
IV.1.- Generalidades. Bloque de memoria	155
IV.2.- Esquema general	159
IV.3.- La decodificación	164

	<u>Pgs.</u>
IV.4.- Circuitos de acoplamiento	169
IV.5.- Circuitos formadores de impulsos de corriente	176
IV.6.- Amplificadores de lectura	178
IV.7.- Unidad aritmética	181
IV.8.- Circuitos de inhibición	186
IV.9.- Circuito programador del ciclo de memoria	189
 V.- <u>CONSIDERACIONES FINALES</u>	 199
V.a.- <u>Funciones complementarias</u>	199
1. Presentación de datos	199
2. Dispositivos de protección	204
V.b.- <u>Conclusiones</u>	208
 <u>RELACIONES DE COMPONENTES</u>	 213
 <u>BIBLIOGRAFIA</u>	 232

+++++

I.- INTRODUCCION

I.a.- RESEÑA HISTORICA

El desarrollo de la Física Nuclear viene exigiendo, desde hace varias decenas, la realización de una adecuada instrumentación que, gracias a los avances de la electrónica, - ha llegado a alcanzar metas insospechadas por su exactitud y precisión. Dentro de la instrumentación nuclear, puede citar se en lugar destacado el desarrollo de equipos para análisis de radiaciones. Estos equipos constan de dos partes: 1ª, el detector, que recibe la partícula o fotón, y entrega un impulso eléctrico característico de su interacción con el detector. 2ª. El analizador de estos impulsos que ha de medir las características significativas de los mismos, y registrar la información obtenida. La consideración de este 2º proceso de semboca fundamentalmente en el problema de la espectrometría de impulsos, en el que estamos interesados, y del que sólo -

vamos a tratar, recordando únicamente las características generales de los impulsos de salida del detector, que son impuestas por este, y hay que tener presentes en el diseño del equipo espectrométrico.

Delimitando aún más nuestro interés, sólo nos ocupamos de la energía como propiedad de la partícula a analizar, ya que la masa, por ejemplo, requiere otro tipo de instrumentación diferente. La energía de la partícula determina, de ordinario, la amplitud del impulso de tensión correspondiente, aunque en los modernos detectores de semiconductor es la carga liberada lo que es proporcional a la energía de la partícula incidente.

Con independencia del simple recuento de impulsos veamos a grandes rasgos el desarrollo de las técnicas que permiten la determinación del espectro energético de una radiación, (lo que supone efectuar la distribución de los impulsos), por su amplitud.

Desde un principio se vienen utilizando métodos en los que se registran directamente los impulsos del detector, bien en película fotográfica (Ref. 2,3), o más moder-

namente en cinta magnética. La información, así "congelada", debe analizarse después por otro procedimiento (por ejemplo, medida de ennegrecimiento en la película, lectura de la cinta y análisis posterior, etc.). La ventaja de estos métodos es la ausencia de pérdidas por tiempo muerto, pero, aparte la falta de linealidad, no resuelven el problema, sino que lo relegan a otro momento posterior.

El espectrómetro más primitivo, electrónicamente hablando, consiste en un simple discriminador (Ref. 6, 8, 10). Este circuito deja pasar sólo aquellos impulsos cuya amplitud V , sea superior a un cierto valor prefijado V_E , y regulable. Con este método se determina el número de impulsos N_E , por unidad de tiempo, cuya amplitud supera el nivel V_E . La representación gráfica correspondiente se llama distribución integral, y tiene la forma típica de la Fig. I-1a. Es una curva necesariamente decreciente, y puede obtenerse de ella la distribución diferencial, o espectral, que es la más útil, por derivación (Fig. I-1b). Aunque el verdadero espectro de una radiación es una curva continua, en la práctica se obtendrá un histograma si se hace una serie de recuentos para distintos valores, fijos y discretos, de la radiación.

del nivel V_E . Este método, al precisar de una derivación - posterior es muy sensible a las fluctuaciones estadísticas, como se puede demostrar. (Ref. 4,5).

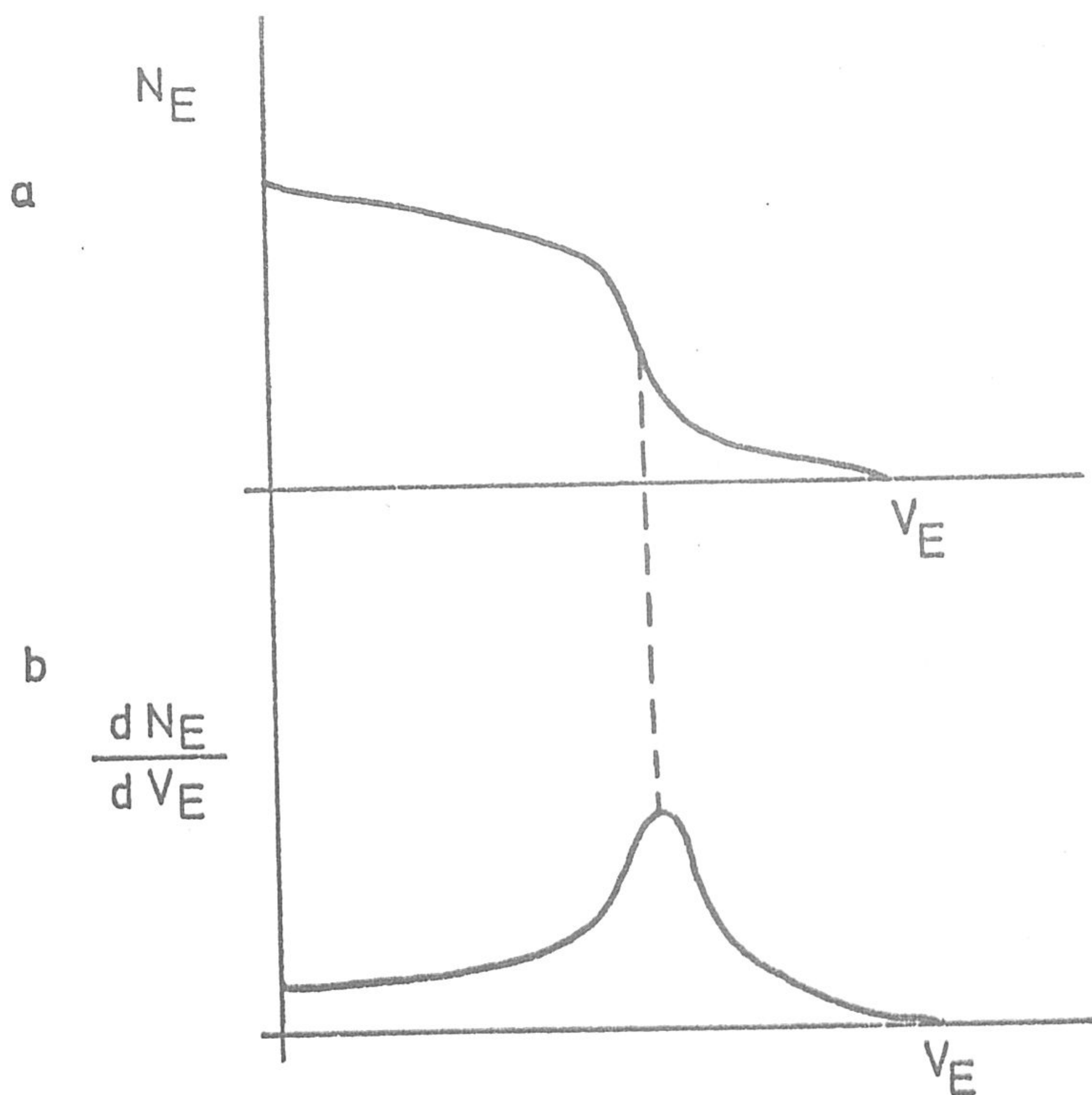


Fig. I - 1

El empleo de dos discriminadores a distinto nivel, (Ref. 6,7,8,9,11), junto con un circuito de anticoincidencia, que da una señal de salida cuando se dispare al

inferior solamente, permite obtener directamente el espectro, o curva diferencial. Para valores dados de los niveles sólo se contarán aquellos impulsos cuya amplitud esté comprendida entre los mismos. El intervalo entre ellos es la "ventana" y determina la anchura de la franja vertical del espectro que se explora. Es evidente que el espectrómetro así construido (monocanal) sólo se informa de los impulsos que cumplen esa condición, ignorando los demás. La obtención del espectro completo exige desplazar la ventana hasta barrerlo íntegramente. Si se desea un histograma fino (próximo a la verdadera curva diferencial), la ventana debe ser muy estrecha, pero esto implica una fracción menor de impulsos aceptados, y un tiempo mayor de información. - Aquí radica precisamente el inconveniente de los espectrómetros monocanales, ya que cada vez se exigen determinaciones más resolutivas en energía, al disponerse de detectores de radiación más resolutivos también, con lo que se limita su empleo a muestras de vida media relativamente alta.

Los métodos de espectrometría multicanal operan aceptando en cada instante impulsos de cualquier amplitud.

Su ventaja reside precisamente en informarse de la totalidad del espectro de amplitudes, y se iniciaron por simple superposición de circuitos como los empleados en el analizador monocanal, (Ref. 6,7,12), cada uno de los cuales opera para cierta ventana de admisión de impulsos; el espectro completo queda cubierto por un número de ventanas iguales y contiguas, que constituyen los canales del espectrómetro. La resolución en amplitud de un analizador de este tipo viene determinada por el número de canales de que consta.

Este método exige tantos discriminadores de amplitud como canales más uno.

El diseño y uso de detectores de radiación cada vez más resolutivos ha exigido, consecuentemente, analizadores de mayor número de canales, haciéndose el método anterior cada vez más impracticable, por dos razones fundamentales. En primer lugar, la necesaria repetición de circuitos encarece el sistema y lo hace excesivamente pesado y voluminoso. En segundo lugar, y esto es más importante, por la gran precisión y estabilidad con que se han de ajustar los niveles de discriminación para asegurar una uniformidad en la anchura de canal, que no distorsione el espectro (Ref. 8).

En 1949, Wilkinson (Ref. 6,8) propuso un nuevo sistema de medida de amplitudes, consistente en obtener una señal de duración proporcional a la amplitud, y medir aquella - mediante el recuento de impulsos proporcionados por un oscila

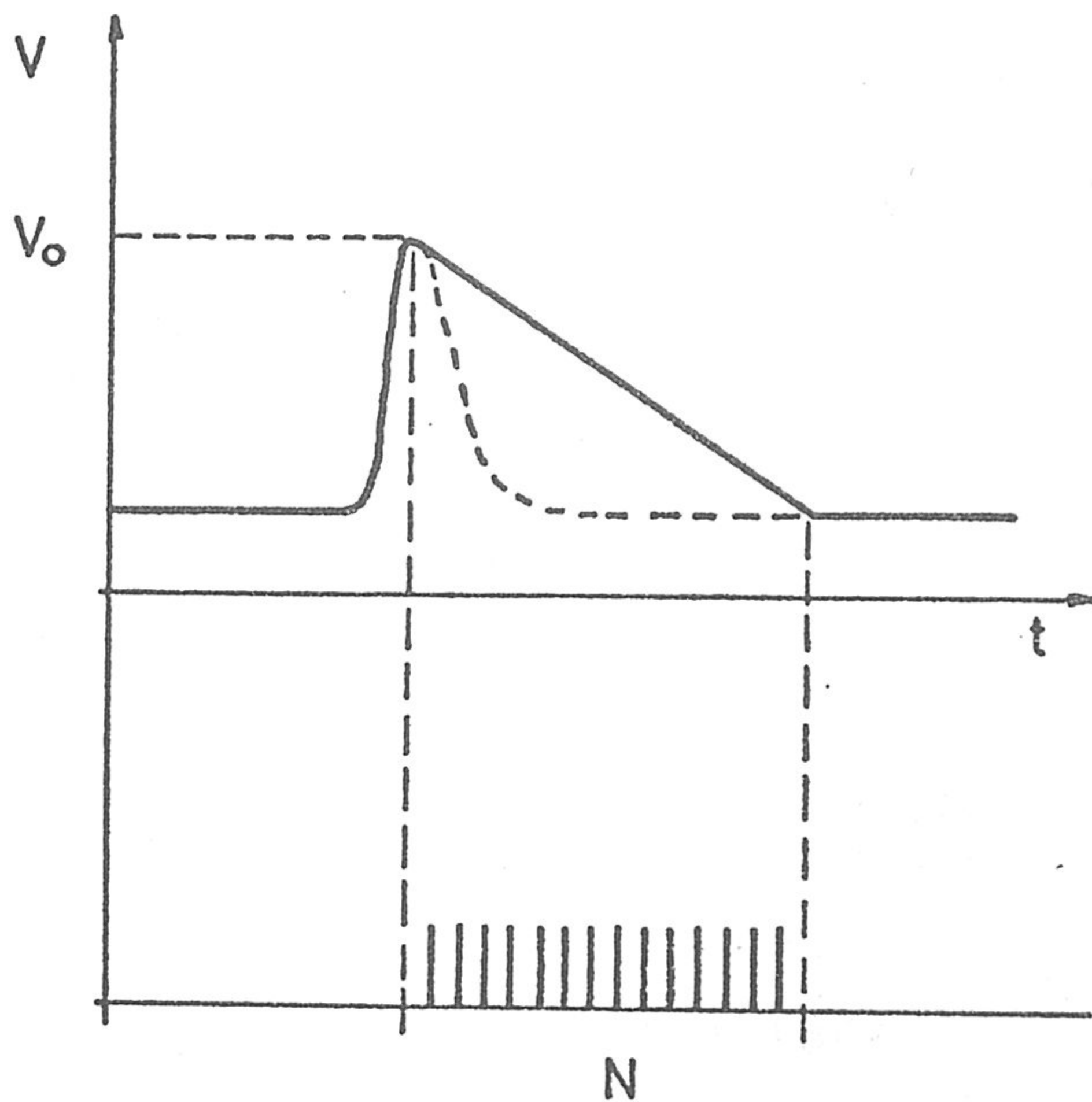


Fig. I - 2

dor de frecuencia muy estable. Así se inició el método de con versión en tiempo, que se sigue empleando en la actualidad, ya que ofrece grandes ventajas por lo que respecta a uniformidad

en anchura de canal y simplicidad de circuitos. Su principal inconveniente es el tiempo muerto del instrumento (el tiempo de conversión más el de registro).

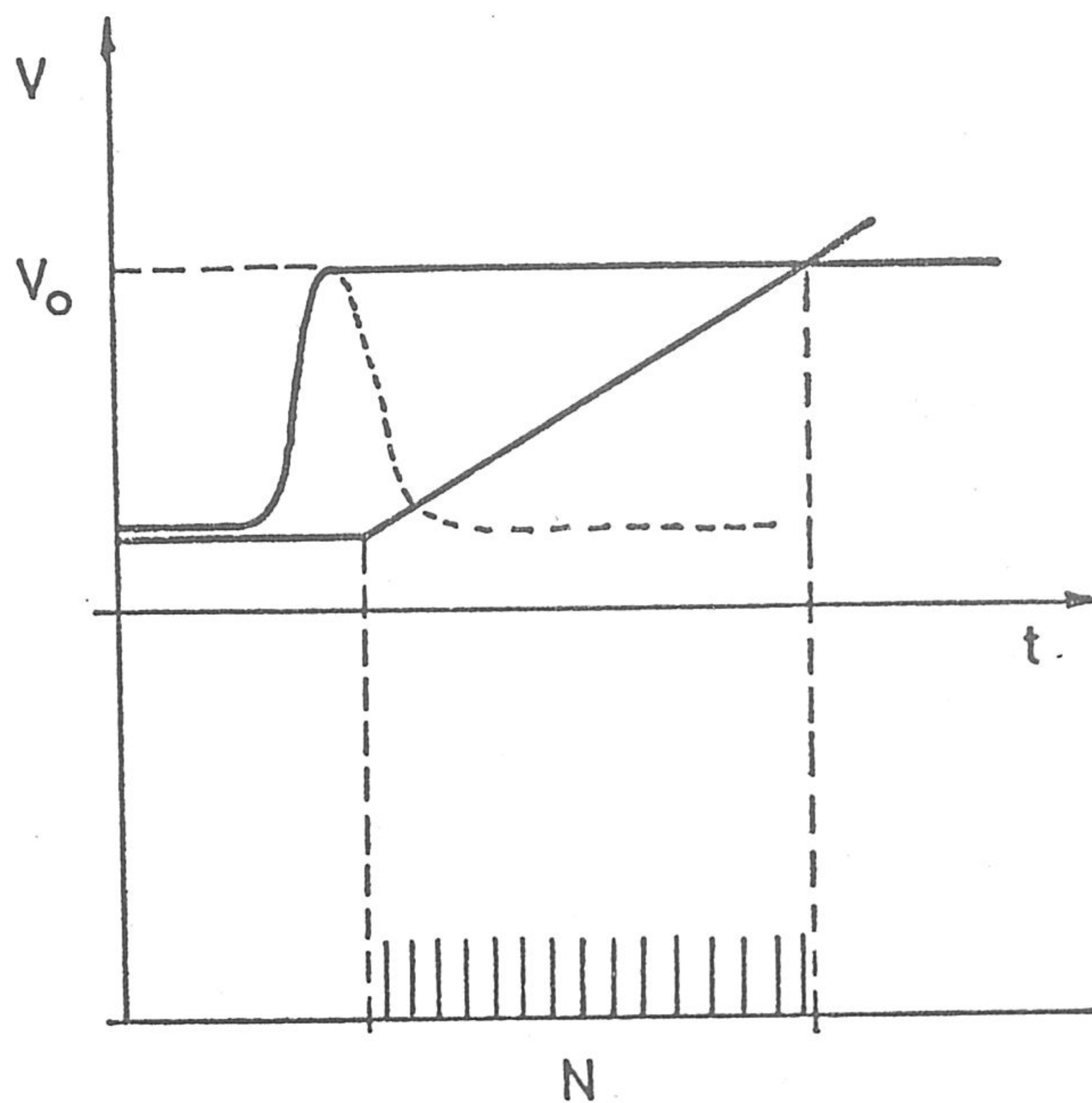


Fig. I - 3

La conversión en tiempo se puede realizar de diversas formas. El procedimiento original, citado anteriormente, consiste en cargar un condensador C a la tensión de pico del impulso a analizar. A continuación se descarga a velocidad -

constante ($I = \text{cte}$) hasta llegar a su tensión de reposo (Fig. I-2). La duración t de la descarga determina el número N de impulsos de salida.

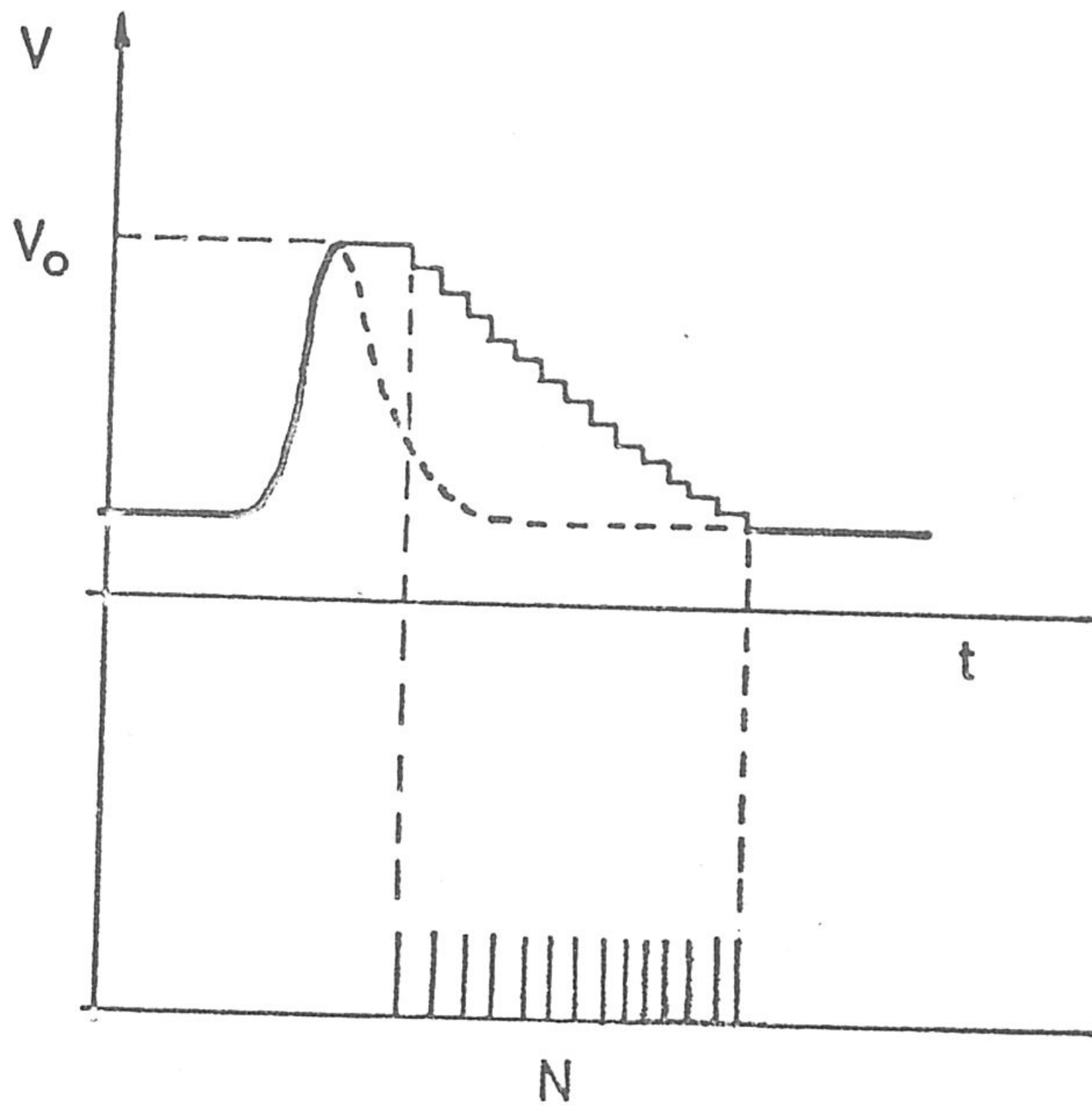


Fig. I - 4

Un procedimiento similar, seguido por Hutchison y Scarrot (Ref. 8,17), memoriza temporalmente la amplitud en un circuito alagador de impulsos (Ref. 18), hasta que una tensión en rampa lineal iguala a la amplitud, instante que es de

tectado por un discriminador. La duración de la rampa es el tiempo de conversión, durante el cual se obtienen los N impul sos que miden digitalmente la amplitud. (Fig. I-3).

Otro método parecido es el diseñado por Kandiah -- (Ref. 19). Un condensador, cargado a la tensión de pico del impulso, se descarga de modo intermitente, por impulsos de co rriente iguales, obteniéndose una descarga escalonada. (Fig. I-4). El número de escalones mide la amplitud, y aquí no es esencial disponer de un oscilador estable. En realidad, este método no es de conversión en tiempo, aunque el tiempo de medi da sea aproximadamente proporcional a la amplitud.

Sobre la base de los métodos anteriores se han intro ducido numerosas modificaciones, dirigidas fundamentalmente a mejorar la linealidad y reducir el tiempo muerto. Se han di señado diversos conversores amplitud-tiempo, como los que em plean circuitos "Bootstrap", para mantener una corriente cons tante. (Ref. 7,8,20,27). Se han ensayado otras técnicas de con versión analógico-digital , sin conversión en tiempo, (Ref.18, 21,24, 25), por ejemplo, la de aproximaciones sucesivas, (Ref. 8,22). Pero sigue siendo el método de conversión en tiempo el más empleado, por la ventaja insustituible que presenta en li nealidad; la razón fundamental estriba en que un mismo cir--

cuito determina los límites de todos los canales, y asegura su continuidad. Dentro de este método, el tiempo muerto puede reducirse de dos modos: utilizando elevadas frecuencias de oscilador (Ref. 26) o efectuando una conversión dual.

La conversión dual ha sido (Ref. 5,28) aplicada al método de Kandiah, efectuando la descarga de un condensador por escalones grandes (equivalentes a 10 canales), y finalmente por escalones pequeños (10 veces menores) que equivalen a 1 canal. El número de canal queda registrado contando separadamente unos peldaños de otros.

Nuestro trabajo está dedicado a un espectrómetro de impulsos multicanal, constituido esencialmente por un conversor amplitud-tiempo que opera a doble pendiente por el método de Wilkinson, y por una memoria de anillos magnéticos para el registro del espectro.

I.b.- FUNDAMENTOS Y OBJETIVOS

Dentro del método general de conversión amplitud-tiempo, se propone la utilización de un conversor en el que la descarga de un condensador puede efectuarse a dos velocidades -

con constantes de conversión K_1 y K_2 , tales que $K_1 = m K_2$ -
($K, \frac{\text{volt}}{\text{seg}}$). Así la conversión de la amplitud V en tiempo de
be hacerse en 2 etapas: en la 1ª se efectuaría con K_1 y co
rriente Cte I_1 , obteniéndose un tren de impulsos N_1 en la
salida, e invirtiendo en ello un tiempo $t_1 = \frac{N_1}{f}$ (siendo f
la frecuencia patrón del oscilador); la parte de la ampli-
tud V convertida en tiempo es $V_1 = K_1 t_1 = K_1 \frac{N_1}{f}$. Durante la
segunda etapa, se convierte la parte residual de la ampli-
tud $V_2 = V - V_1$, a la otra velocidad $K_2 = \frac{K}{m}$, y corriente -
 $I_2 = I_1/m$, obteniéndose, asimismo, un número de impulsos -
patrón N_2 e invirtiendo un tiempo $t = \frac{N_2}{f}$, con $V_2 = K_2 t_2 =$
 $= \frac{K_2 N_2}{f} = \frac{K_1 N_2}{mf}$. Los valores totales de amplitud y tiempo se
separan así:

$$V = V_1 + V_2 = K_1 \frac{N_1}{f} + \frac{K_2 N_2}{f} = (N_1 + \frac{N_2}{m}) \frac{K}{f} \quad (\text{I} - 1)$$

$$t = t_1 + t_2 = \frac{N_1}{f} + \frac{N_2}{f} = \frac{N_1 + N_2}{f} \quad (\text{I} - 2)$$

Aunque m puede tener cualquier valor entero, só-
lo son convenientes los que permiten una decodificación -
posterior asequible, para obtener el número de canal. En -
nuestro trabajo se utiliza $m=10$, y a este valor nos refe-
riremos en adelante.

Resulta claro que cada uno de los N_1 impulsos de salida equivale a 10 de los N_2 , en el sentido de que corresponden a una misma amplitud, V . Por tanto, los trenes de impulsos N_1 y N_2 deben determinar los números de decenas y de unidades, respectivamente, del número de canal corres-

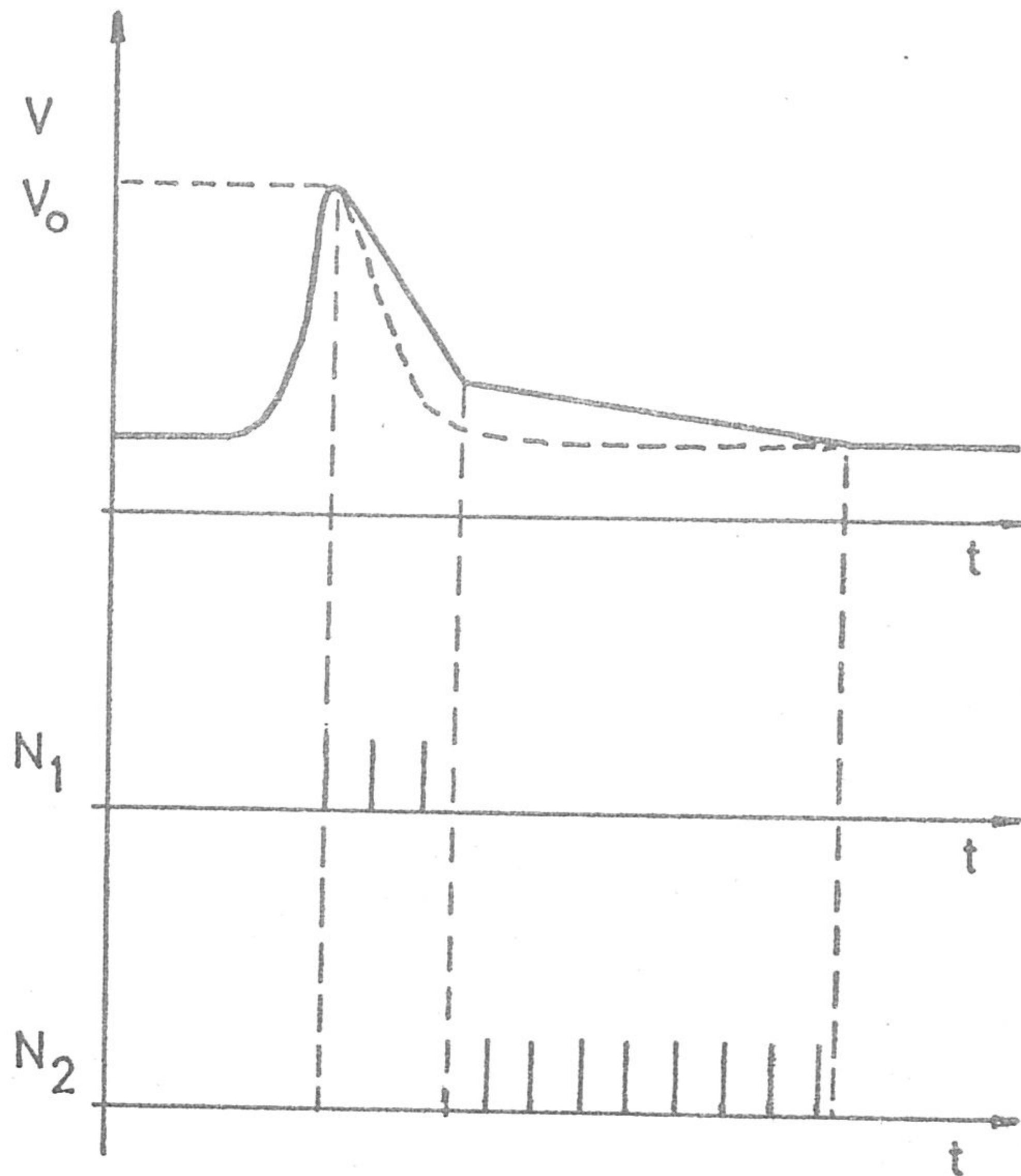


Fig. I - 5

pondiente. El número de canal representado será $N = 10N_1 + N_2$. La figura I-5 aclara las ideas básicas expuestas.

En la conversión simple con pendiente K_2 , se invertiría un tiempo,

$$t = \frac{10N_1 + N_2}{f} = \frac{V}{K_2}$$

mientras que a doble conversión,

$$t' = t_1 + t_2 = \frac{N_1 + N_2}{f} = \frac{V_1}{K_1} + \frac{V_2}{K_2} = \frac{V_1 + 10V_2}{10K_2} \quad (I-3)$$

con lo que la relación de tiempos de conversión es:

$$\frac{t'}{t} = \frac{V_1 + 10V_2}{10K_2} \frac{K_2}{V} = \frac{1}{10} \frac{V_1 + 10V_2}{V} \quad (I-4)$$

Este factor vale 1 para $V = V_2$, $V_1 = 0$, es decir, cuando no se utiliza la pendiente rápida por ser el impulso muy pequeño. Pero tiende a $1/10$ para amplitudes grandes y gran número de canales, en donde $V \gg V_1$. Es justamente en estos casos donde el tiempo muerto del espectrómetro llega a constituir una seria limitación.

Como objetivos de este trabajo, pueden señalarse el diseño de un conversor que funcione correctamente a doble pendiente por el método de Wilkinson, con un estudio teórico de los requisitos que debe cumplir respecto a linealidad, estabilidad, etc. El análisis de los circuitos utilizados, especialmente los de descarga a corriente constante. El montaje, puesta a punto de los mismos, y el diseño y -

prueba de los circuitos de gobierno del sistema de memoria, de anillos magnéticos.

Se pretenden las siguientes características fundamentales. 1º) Amplitud de impulsos, de 0 a 12 volt. 2º) Tiempo de subida de los impulsos, el mayor intervalo posible, al menos a partir de 10^{-7} seg. 3º) Relación de intensidades, 10. 4º) Nº de canales, 400. 5º) Frecuencia patrón de - al menos 2 Mc/Seg. 6º) Capacidad de la memoria, 10^6 cuentas/canal. 7º) Una alta eficiencia de recuento, del orden de 30.000 cuentas/seg. para un espectro plano, y la mayor simplicidad y seguridad posibles en los circuitos implicados.

II.- DISEÑO GENERAL

II.a.- CONSIDERACIONES DE PROYECTO

II.a-1.- Conversión analógico-digital (A.D.)

Analizadas las bases del sistema de doble conversión, iniciamos ahora el estudio detallado de su modo de operación.

La figura II-1 ilustra de nuevo una curva de descarga lineal, a doble pendiente. El punto P indica la transición de un régimen a otro. $t_p - t_i = \Delta t_r$ es la duración de la primera etapa (descarga rápida), y puesto que el número N_1 de impulsos de salida sustituye a $10 N_2$ impulsos que se hubieran obtenido si la misma descarga $V_o - V_p$ se hubiese realizado a la velocidad k_2 , es claro que el tiempo Δt_r debe ser un múltiple entero, lo más exacto posible, del período T del tren de impulsos de salida:

$$\Delta t_r = N_1 \cdot T \quad (\text{II-1})$$

y la disminución de tensión es:

$$V_o - V_p = N_1 \cdot k_1 \cdot T \quad (\text{II-2})$$

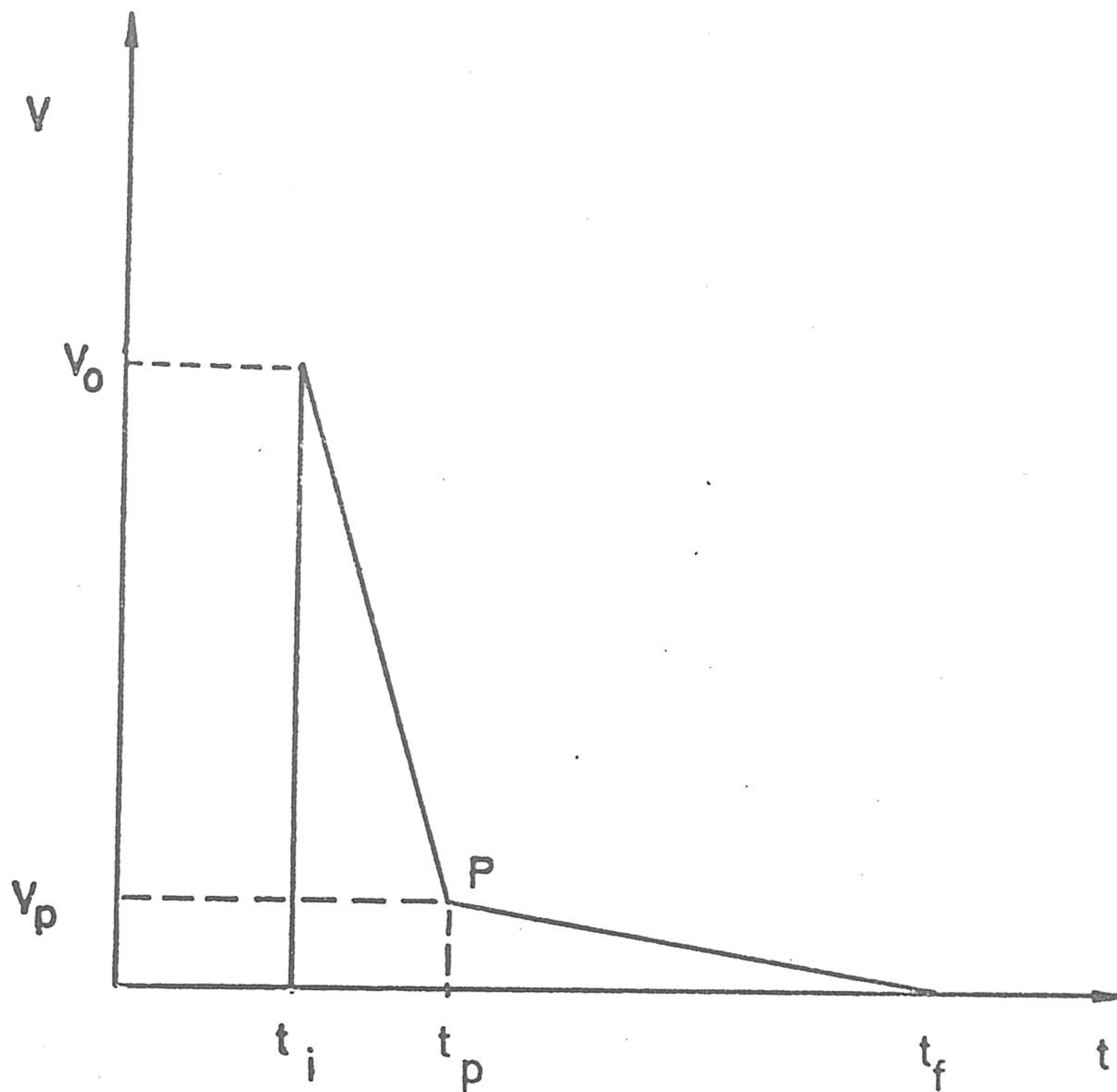


Fig. II - 1

lo que corresponde a un número entero de decenas como expresión digital de la amplitud V_o . Como esta varía de modo continuo, mientras que la disminución $V_o - V_p = N_1 \cdot 10 \Delta V_o$ (ΔV_o

es la anchura de canal) sólo puede variar en forma discreta, se desprende que la tensión V_p , a la que ocurre la transición de un régimen a otro, no puede ser constante. Se puede pensar, en principio, que V_p debe estar dentro del intervalo $0 - 10 \cdot \Delta V_0$; el caso extremo $V_p = 0$ correspondería a una amplitud, $V_0 = N_1 \cdot 10 \Delta V_0$, tal que su expresión digital fuese un número exacto de decenas N_1 , no obteniéndose señal alguna en la salida de unidades. El otro extremo, $V_p = 10 \cdot \Delta V_0$ corresponde al caso en que la amplitud está a punto de ser el múltiplo entero siguiente $(N_1 + 1) \cdot 10 \Delta V_0$, correspondiente al canal $10 \cdot (N_1 + 1)$. Cualquiera de estas amplitudes corresponden a números de canal "fronteras", que admiten las expresiones digitales equivalentes $10 \cdot N_1 + 10 = 10(N_1 + 1) + 0$.

La figura II-2 ilustra lo expuesto, representando las amplitudes correspondientes a 11 canales consecutivos - (del 10 al 20, ambos inclusive), y siendo $V_p \text{ máx} = 10 \cdot \Delta V_0$.

Veamos ahora que la condición $0 < V_p < 10 \cdot \Delta V_0$ no es indispensable, pudiendo ser sustituida por $V_u < V_p < V_u + 10 \cdot \Delta V_0$. Ciertamente, es inevitable que el margen de variación de V_p sea de $10 \cdot \Delta V_0$, ya que esto está condicionado por la constancia y exactitud de la relación de intensidades, que es 10, ya que cada impulso de decenas ha de equivaler a 10 de unidades. Sin embargo, es posible una $V_p \text{ máx}$

mayor de $10 \cdot \Delta V_0$. Esto tendría como única consecuencia la posible aparición de un número de impulsos unidad N_2' mayor que 10. Este régimen de funcionamiento sólo afectaría al tiempo de conversión, que sería algo mayor, como se ve a con

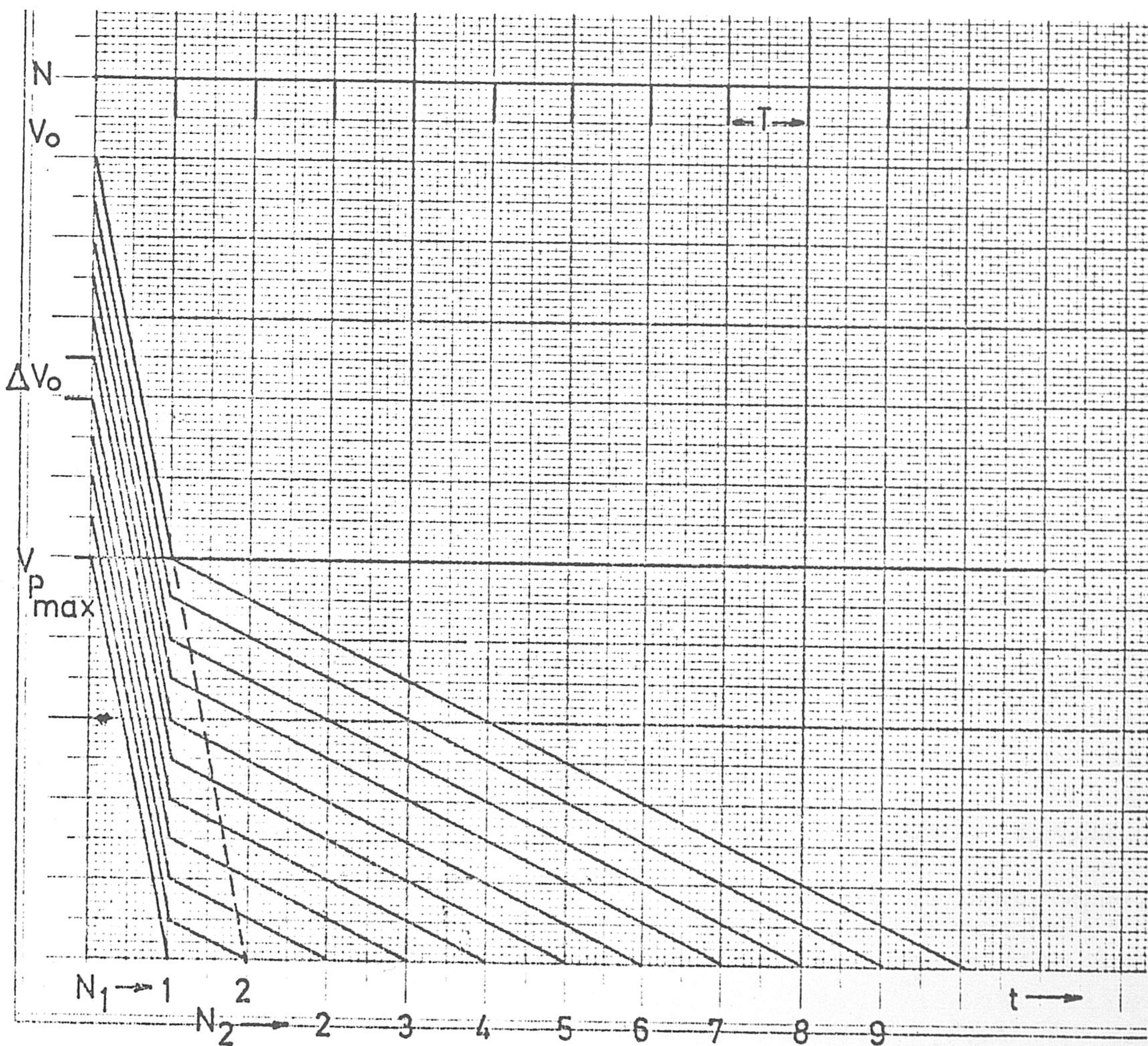


Fig. II - 2

tinuación de forma comparativa:

	$\underline{V_p \text{ máx} = \dots \cdot 10 \cdot \Delta V_0}$	$\underline{V_p \text{ máx} = V_u + 10 \cdot \Delta V_0}$
Nº canal	$10 \cdot N_1 + N_2$	$10 N'_1 + N'_2$
Amplitud	$V = N_1 \cdot 10 \cdot \Delta V_0 + N_2 \cdot \Delta V_0;$	$V = N'_1 \cdot 10 \Delta V_0 + N'_2 \Delta V_0$ (II-3)

y para una amplitud $V_i = N_1 \cdot 10 \cdot \Delta V_0$, se tendría en el otro régimen $V_i = N'_1 \cdot 10 \Delta V_0 + N'_2 \cdot \Delta V_0$, siendo $10(N_1 - N'_1) = N'_2$ y pudiendo N'_2 valer 10, 20, etc, según que $V_u/10 \cdot V_0$ esté comprendido entre 0 y 1, 1 y 2, etc. En definitiva, la existencia de un valor umbral V_u para V_p , repercute en que algunas amplitudes (o todas) vendrían registradas por un número de impulsos N'_2 mayor en 10, 20, etc. que el indispensable N_2 , compensándose esto con un número de impulsos N'_1 menor en 1, 2, etc. que el N_1 .

Como se ha indicado, este modo de operación emplea un mayor tiempo en la conversión, aumentando con ello el tiempo muerto del espectrómetro, siendo lo ideal, por tanto, confinar el punto de transición V_p al intervalo $0 - 10 \cdot \Delta V_0$. Sin embargo, debe tenerse en cuenta esta posibilidad, ya que, a costa de un pequeño aumento en el tiempo muerto, se puede disponer de un diseño y ajuste más tolerante en los circuitos. Hay que tener presente que esta posibilidad está condi

cionada a un acoplamiento entre los contadores de unidades y decenas, de modo que el primero entregue una señal al de las decenas por cada 10 de los N_2 impulsos que él reciba.

Veamos ahora como puede satisfacerse, en la práctica, la condición (II-1) para el punto de transición V_p . La forma más sencilla de conseguir que la conversión rápida dure un tiempo Δt_r múltiplo entero del período T del oscilador, es que los instantes t_i y t_p (principio y fin de la descarga rápida) coincidan con impulsos patrón. Por otra parte, como ya hemos visto, la transición debe ocurrir para un valor de la tensión inferior a $V_p \text{ máx}$. La transición correcta queda asegurada con el siguiente modo de operación: un amplificador diferencial de gran ganancia da una señal de salida (1) cuando $V > V_p \text{ máx}$ y otra (0) si $V < V_p \text{ máx}$. Estas salidas se utilizan para predisponer un circuito biestable que recibe como impulsos de disparo, los de salida del oscilador. El estado de este circuito biestable determina la pendiente de la descarga entre las dos posibles, mediante circuitos puerta adecuados. Sólo se efectuará una transición cuando el amplificador diferencial lo predisponga al estado opuesto al que posee, y siempre con ocasión de un nuevo impulso reloj.

Todas las condiciones generales de funcionamiento mencionadas, y algunas otras necesarias, se tienen en cuenta.

al establecer la siguiente secuencia de operaciones fundamen-
tales, referidas a la Fig. II-3, en la que se incluye una su-
cesión de impulsos patrón:

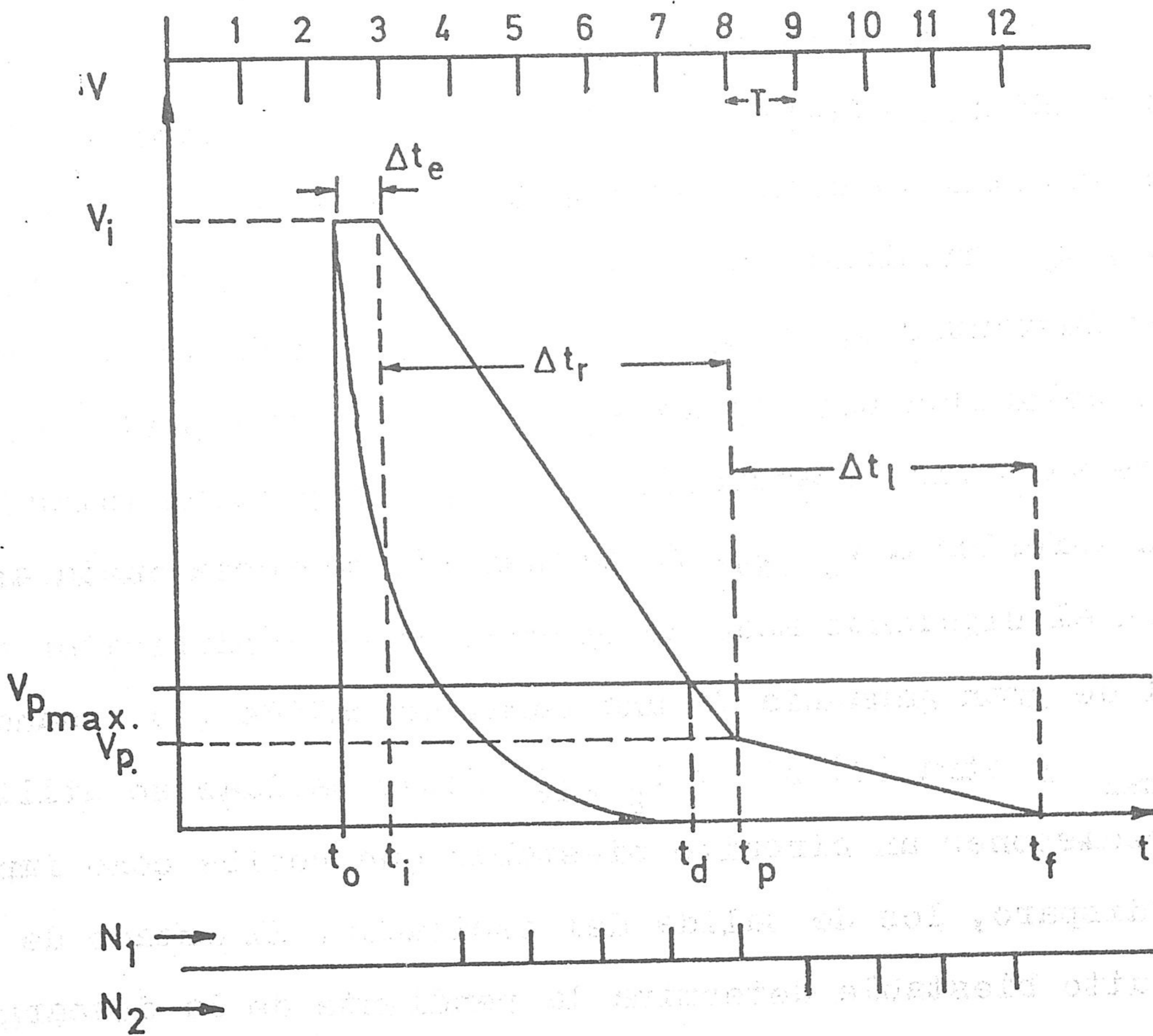


Fig. II - 3

1º.- El impulso a analizar, de amplitud V_i llega en el ins-
tante t_0 , en cualquier relación de fase con la sucesión de
impulsos patrón. En este instante, el binario determinante de

la pendiente de descarga es sorprendido en su estado base, y si, como en el caso de la figura, $V_i > V_{p \text{ máx}}$, el flipflop - queda inmediatamente predispuesto para cambiar al otro estado, lo que ocurrirá a la llegada del próximo impulso patrón_ (el nº 3), en el instante t_i . El tiempo transcurrido hasta a quí , t_e es un tiempo de espera; puede interesar que este_ tiempo sea mayor del indicado, para lo cual basta bloquear el biestable durante uno o varios períodos T. Durante este tiem po no debe producirse descarga alguna, por lo que hay que in hibir la que, según el estado base del binario, tendría lugar, o sea, la descarga lenta. El conversor, durante este tiempo_ de espera, se comporta como un circuito alargador del impul- sos.

2º.- El impulso patrón "3" origina la transición del binario, iniciándose la descarga rápida con pendiente k_1 . A partir de este instante, los impulsos deben pasar a los contadores.

3º.- En el instante t_d , el amplificador diferencial intercam bia sus salidas, condicionando al binario para cambiar de es tado.

4º.- Al llegar el siguiente impulso de reloj (en la figura - el "7") se produce la commutación del flip-flop, sustituyen- do el régimen de descarga lento al rápido. Este último ha du

rado un tiempo Δt_r que, en el caso mostrado, es $4T$.

5º.- La descarga prosigue ahora con pendiente k_2 hasta que $V=0$, momento en que debe cesar la salida de impulsos para su recuento. Esta fase ha durado un tiempo Δt_1 .

Es evidente que el circuito biestable en consideración debe determinar también la década (unidades o decenas) en la que han de ser contados los impulsos de salida del conversor. Así se asegura la asociación correcta entre la pendiente de la descarga y la valoración cuantitativa de los impulsos de salida, en cada instante.

En la parte inferior de la figura se representan por separado los trenes de impulsos de salida, siendo $N_1 = 4$ y $N_2 = 5$. La amplitud medida corresponde así al canal 45.

II.a-2.- Circuitos de entrada de impulsos

Estos están constituidos en el presente trabajo por un amplificador lineal y una puerta de muestreo.

El amplificador es necesario para adecuar la amplitud y potencia de los impulsos del detector de radiación (que se supone provisto de preamplificador) a las necesida-

des del conversor.

La puerta de muestreo responde a la necesidad de - bloquear la entrada mientras dura el proceso del último impulso aceptado. El tiempo invertido en este proceso es un tiempo muerto del espectrómetro. El circuito puerta debe transmitir solamente, y sin distorsión, los impulsos que lleguen en tiempo hábil.

Las operaciones de apertura y cierre de esta puerta no deben originar señal apreciable a la salida del amplificador.

II.a-3.- Oscilador

Constituye el patrón para la medida del tiempo y, dado que se necesita una elevada estabilidad en frecuencia, debe ir controlado por cuarzo. Se proyectó a 2 Mc/seg, aunque este valor es más incidental que resultado de una elección razonada.

Su salida no se utiliza solamente para la medida - del tiempo de conversión, sino para realizar otros controles; así se consigue, como se verá, mayor seguridad en la secuencia apropiada de operaciones y, en su caso, el necesario sin cronismo entre ellas.

II.a-4.- Registro de dirección

Los impulsos de salida del conversor deben registrarse en sendos contadores, uno decimal, de un sólo paso, para el número de unidades N_2 , y otro, de dos pasos decimales, para número de decenas N_1 . A este equipo de recuento, con el que se establece el número de canal correspondiente a cada impulso, se le suele llamar "registro de dirección".

Dado que puede ser conveniente permitir que $N_2 > 10$, (Sec. II.a-1), la salida del contador de unidades debe estar acoplada al de decenas, mediante una puerta "0".

Es evidente que las salidas del registro de dirección deben ser utilizadas por los circuitos que efectúan el acoplamiento entre el conversor y los dispositivos de memoria, para el almacenamiento de la información recibida. Asimismo, es conveniente que estos contadores estén provistos de indicadores numéricos visuales, con fines de comprobación y presentación de datos.

II.a-5.- Memoria

Una vez que el registro de dirección indica el número de canal correspondiente al impulso analizado, hay que

registrar el suceso en el dispositivo de memoria. Esta está constituida por un bloque de anillos de ferrita. El registro y la lectura del contenido requieren una serie de operaciones que han de ser ordenadas en la secuencia precisa por un circuito programador de las mismas; este circuito también va controlado por el oscilador. La memoria, tanto su operación como su programación, será objeto de estudio en un capítulo posterior (IV). Por ahora, sólo hemos de considerar el hecho de que del conversor y circuitos asociados ha de partir la orden de comienzo para que se verifique el ciclo de memoria, poniendo en marcha el circuito programador, mientras que de este ha de partir la señal que indique que el ciclo ha terminado.

• II.a-6.- Operaciones lógicas y de control

Todas las funciones mencionadas requieren un sistema de unidades lógicas y de control que aseguren la sucesión apropiada de las mismas. Se utilizan, como componentes básicos circuitos biestables integrados. En capítulo siguiente describe la disposición general de los circuitos implicados.

II.b.- ESQUEMA DE BLOQUES

Se expone a continuación el funcionamiento conjunto de todos los circuitos que constituyen el conversor analógico-digital, con la ayuda del esquema de bloques de la Fig. II-4.

En sentido restringido, se denomina en el esquema "conversor tensión-tiempo" a los circuitos destinados a la recogida en un condensador del impulso problema, descarga lineal del mismo a doble pendiente, amplificadores diferenciales, y las puertas necesarias para establecer la pendiente de descarga adecuada.

Las dos pendientes a utilizar necesitan dos circuitos de corriente constante. Pero estos se han dispuesto de modo que $I_1 = 9I_2$, y no $I_1 = 10 \cdot I_2$. Esto implica la utilización permanente del circuito I_2 , siendo la descarga lenta o rápida según que el otro circuito esté cortado o abierto, funcionando ambos en el último caso. Esta solución parece de más fácil maniobra.

El punto f es la única entrada del conversor AD, y a ella se aplican los impulsos a analizar. Los terminales de salida son los puntos e, u, y v, para ordenar las operaciones del ciclo de memoria, y las salidas de los contadores de decenas y unidades, respectivamente.

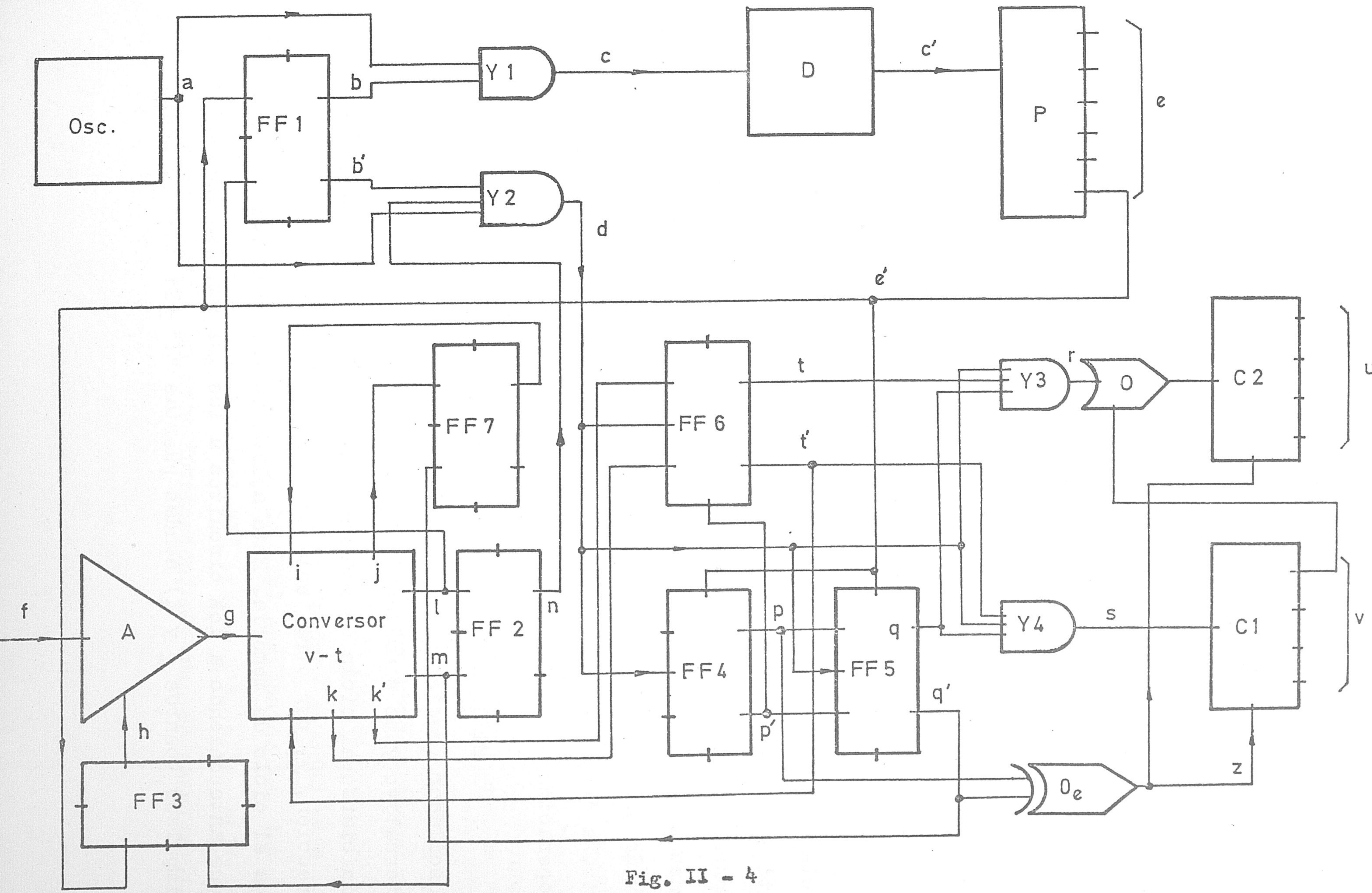


Fig. II - 4

El oscilador, como se indicó, está controlado a cuarzo, y proporciona un tren de impulsos de 2 Mc/seg, con una amplitud de 6 voltios, apta para accionar los circuitos integrados, y con potencia suficiente. Su funcionamiento es continuo, y no disparado.

El circuito "P", accionado por el oscilador, es el programador del ciclo de memoria. Este circuito es, en esencia, un contador de tres pasos binarios, que recicla al sexto impulso (basta con cinco intervalos de tiempo definidos para operar con la memoria), y con las salidas decodificadas necesarias. "D" es otro contador binario, de un paso, que divide por dos la frecuencia del oscilador, alcanzando, por tanto, a "P", a 1 Mc/seg, valor más adecuado a la velocidad de operación de la memoria.

El doble uso que se hace del tren de impulsos del oscilador (registro de dirección y programador) ha de ser alternativo y no simultáneo, ya que, por una parte, no puede iniciarse el ciclo de memoria hasta que esté registrada la dirección, y, por otra, esta ha de mantenerse hasta que concluya el ciclo de memoria. Esta aplicación alternativa se consigue anteponiendo a los circuitos a los que van destinados los impulsos (puntos c y d) sendas puertas "Y" (Y₁ e Y₂), accio

nadas por las salidas (b y b') de un binario que asegura la no simultaneidad (FF 1). El tren de impulsos sólo pasará por la puerta en la que se tenga una entrada positiva (nivel lógico "1") en la salida Q correspondiente del biestable.

Veamos ahora la sucesión de operaciones que se desencadenan a la llegada de un impulso problema al terminal de entrada f.

"A" es un amplificador lineal de impulsos, en el que va incorporada una puerta de muestreo, controlada por el nivel existente en h, proporcionado por el binario FF3. Con la puerta cerrada, el sistema está bloqueado, no aceptando impulsos. Si está abierta, el impulso pasa al conversor, convenientemente amplificado en tensión y potencia.

*Inmediatamente que el impulso ha alcanzado su valor de pico, el conversor debe suministrar una señal (de flanco negativo) en su salida m, la cual provoca dos transiciones: una en FF3, que pasa a la posición de bloqueo por disparo asimétrico; otra en FF2, que queda en el estado en que está abierta la puerta Y2; puesto que la otra entrada de Y2 debía estar previamente en su nivel "1" (punto b'), a la salida de Y2 se inicia, con esta transición, el tren de impulsos.

Como se ha visto anteriormente, (Sec. II.a.1) conviene disponer de un tiempo de espera antes de iniciar la descarga, reteniendo la amplitud del impulso; para ello, deben estar cortados los dos circuitos de corriente constante. Sin embargo, uno de ellos al menos, debe estar abierto en situación estacionaria; este debe cortarse, por lo tanto, durante el tiempo de espera, y desde el mismo instante de la presentación del impulso. Lo ideal es que la aparición de la señal de comienzo en m sorprenda a ambos circuitos de descarga ya cortados. Para ello, el conversor suministra una señal independiente (j), destinada a cortar el circuito de descarga lento, que se presenta inmediatamente despues de iniciarse la subida del impulso de entrada. Mientras tanto, la señal en m no debe aparecer hasta haberse sobrepasado el valor de pico del impulso, pues podría sobrevenir el bloqueo antes de haberse terminado esta subida. La señal obtenida en j sitúa al biestable FF7 en el estado en que corta al circuito de descarga lento, ordenándolo por i, punto conectado a la puerta correspondiente (incluída en C).

El mismo papel que FF7 juega FF6 respecto de la descarga rápida. Los terminales k y k' del conversor suministran señales (complementarias entre sí) que indican si el valor ins-

tantáneo de la tensión en el condensador es mayor o menor que $V_p \text{ máx}$, y por tanto, la pendiente que les corresponde. Los niveles de estas salidas predeterminan el estado en que quedará FF6 después de cada impulso recibido en \underline{d} . Su salida \underline{t} accionará la puerta correspondiente al circuito de descarga rápido, y es evidente que este está cortado en condiciones estacionarias.

Veamos la evolución del conjunto desde el momento en que aparecen el primer impulso en \underline{d} . Este tren de impulsos ataca simultáneamente a tres circuitos: 1º, a las puertas Y (Y3 e Y4) que preceden a los contadores C; 2º, al binario FF6 que establece el régimen de descarga; y, 3º al contador de desplazamiento constituido por los flip-flops FF4 y FF5. Empezamos considerando a este último, ya que sus salidas condicionan el funcionamiento de los restantes circuitos.

A la llegada del primer impulso a \underline{d} , ambos biestables FF4 y FF5 se hallan en "0", con lo que FF4 se sitúa en "1", ocurriendo lo mismo con FF5 al llegar al segundo impulso; los sucesivos no alteran ya esta situación y los binarios son puestos en "0" al final de todo el proceso, por la salida de puesta a cero \underline{e} , obtenida en "P".

El binario FF6, que ordinariamente está bloqueado en "0" conectando una de sus entradas S (punto p') a la salida Q₁ de FF4, se desbloquea al conmutar este, por la llegada del primer impulso. Por lo tanto, efectuará la transición a la llegada del segundo impulso, si los niveles lógicos de k y k' lo predisponen. Así pues, la descarga rápida, de producirse, se iniciará con el segundo de los impulsos - que aparecen en d. El tiempo de espera t_e a que se ha hecho referencia anteriormente será tal que $T < t_e < 2T$, lo que significa valores comprendidos entre 0,5 y 1 microseg, para 2 Mc/seg. Aunque FF6 continúa recibiendo los impulsos de d, si pasó al estado "1", lo mantendrá hasta tanto no se inviertan los niveles en k y k', lo que será señal de que la descarga rápida debe ya cesar. A partir del momento de esta inversión, el próximo impulso que llegue, conmutará FF6.

El biestable FF7 se dispare asimétricamente por la salida Q2 de FF5 (punto q'), restableciendo la corriente I₂ para la descarga del condensador; esto ocurre a la llegada del segundo impulso en d. Con este se inicia el proceso de conversión en tiempo a cualquier régimen.

La otra actuación del contador de traslación es - sobre las puertas lógicas Y3 e Y4, a las que alcanza la t_o

talidad de los impulsos, como a FF6. Pero a los contadores - sólo pasan los impulsos del tercero en adelante, ya que, durante los dos primeros permanecen cerradas las puertas por el nivel de salida de q, aplicado a ambas. Es decir, se escamotean del recuento los dos primeros impulsos, en espera del - comienzo de la conversión.

El iniciar la conversión en coincidencia con un impulso de entrada presenta la estimable ventaja adicional de eliminar el error de un canal que se cometería en caso de iniciarse la conversión a la llegada del impulso problema, error que corresponde a la incertidumbre con que éste se presenta en relación con el tren de impulsos reloj. No es necesario - recurrir a una reducción en la frecuencia patrón, para reducir la incertidumbre a una fracción de canal, procedimiento comúnmente empleado y aceptado en equipos de espectrometría. (Ref. 18).

La puesta a cero de los contadores no se realiza - al término del proceso completo, sino que queda diferida hasta la llegada de un nuevo impulso al conversor, e inmediatamente antes de comenzar la conversión en tiempo de este. Esto presenta dos ventajas: la primera consiste en una mayor - seguridad del recuento realizado en C, por haber sido puesto

a cero inmediatamente antes de iniciarse el mismo, ante la posibilidad de fallos en el dispositivo que den origen a impulsos falsos. Y la segunda, en previsión de operaciones de presentación de datos, para las que puede ser conveniente - una confirmación visual del canal que ha sido "leído", y que precisan una persistencia indefinida de este número de canal.

La puesta a cero se consigue mediante una señal - suministrada por una puerta lógica "0 exclusive" (O_e), en el único intervalo en que los binarios FF4 y FF5 se hallan en distinto estado (el 1º en "1", y el 2º en "0"; la situación inversa no se presenta). La señal de puesta a cero está presente, por tanto, entre el primero y el segundo impulso patrón.

Las puertas de acceso a los contadores, Y3 e Y4 tienen una tercera entrada de control, que está conectada, una a cada salida de FF6 (puntos t y t'), de tal modo que - siempre estará abierta una puerta, y sólo una, de los contadores, que es la que corresponde (unidades o decenas) al régimen de descarga en cada instante.

Por último, el contador de decenas viene precedido por una puerta "0", para recibir los posibles impulsos de

salida de C1, en los casos en que este haya sobrepasado la cifra de 9 impulsos.

Volviendo ahora al conversor V-t, el fin del proceso de conversión vendrá acompañado por una señal (de flanco negativo) en l, que conmutará a FF1. Entonces se cierra Y2 y se abre Y1, con lo que concluye el tren de impulsos en d, y se inicia otro en c, que acciona el circuito programador "P". Al final del ciclo de memoria, se obtiene una señal (punto e') que restablece al conjunto en su situación estacionaria, y dispuesto a aceptar un nuevo impulso; pone a ce ro los dos pasos del contador de desplazamiento, dispara FF1, con lo que el tren de impulsos de c queda autodetenido, e invierte el estado de FF3, desbloqueándose la entrada.

El conjunto del conversor AD se ha diseñado pensando en las máximas garantías de seguridad en su funcionamiento. Se puede señalar como detalle significativo el sistema de disparo, frecuentemente asimétrico, de los circuitos bistables. Esto hace que un posible fallo repercuta, por regla general, sólo en el proceso que se lleva a cabo, quedando el circuito "arreglado" para procesar correctamente el siguiente.

La mejor comprensión del funcionamiento del conver sor AD se obtendrá observando la Fig. II-5, en la que se in dican los estados de tensión en los puntos más significati-- vos, referidos en el tiempo a la curva de descarga, y a una sucesión de impulsos del oscilador.

II.c.- ANALISIS TEORICO DE LOS REQUISITOS DE FUNCIONAMIENTO DEL ESPECTROMETRO

El funcionamiento general descrito hasta aquí pres cinde de las limitaciones y desviaciones que en la práctica se pueden presentar. En este capítulo vamos a analizar las - posibles dificultades de realización práctica, y las toleran cias admisibles en el comportamiento real, de acuerdo con las especificaciones a las que debe responder el espectrómetro.

II.c-1.- Requisitos de entrada

A este respecto, es evidente la necesidad de un am plificador lineal, con un tiempo de subida tan pequeño como sea posible, del orden de 10^{-7} seg para el caso de detecto-- res de centelleo. Los impulsos de entrada pueden tener tiem

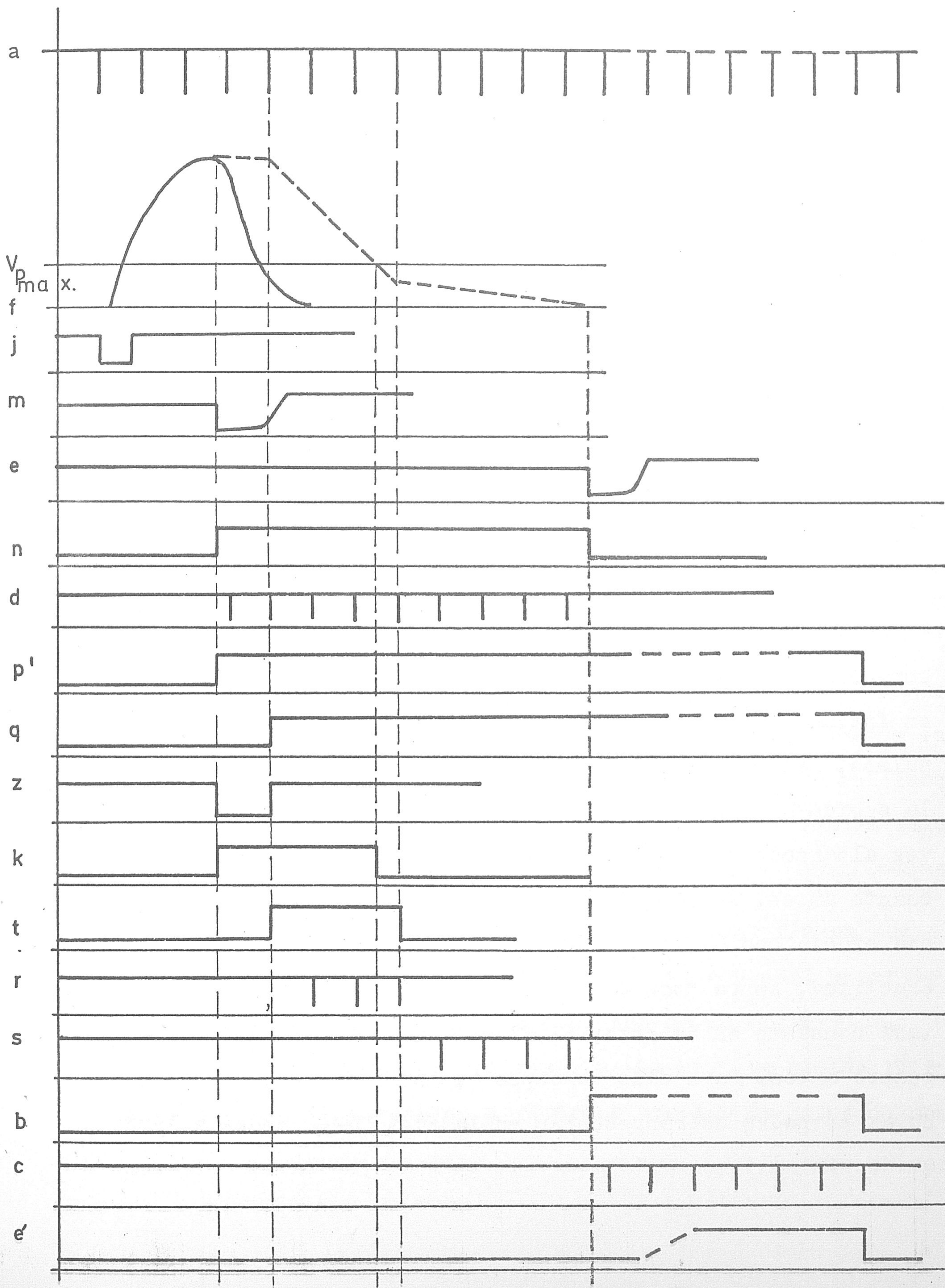


Fig. II - 5

pos de subida ilimitadamente grandes por lo que respecta al conversor, ya que las señales que parten de este, correspondientes al principio de la conversión, se generan una vez que el impulso ha alcanzado su pico. Sib embargo, el amplificador, con acoplo RC, impone un límite superior al tiempo de subida, según su constante de tiempo más pequeña; esta deberá ser suficientemente alta para los tiempos de subida de los impulsos a analizar.

II.c-2.- Bloqueo. Tiempo de concurrencia de impulsos

La forma de obtener la señal inicial del proceso de conversión, puesto que provoca el bloqueo del conversor, está en íntima relación con la posibilidad de amontonamiento de impulsos. Naturalmente, no puede producirse el bloqueo durante la subida de un impulso, pues este mismo quedaría truncado. Una vez alcanzado el valor de pico, el bloqueo debe producirse cuanto antes. Lo ideal sería que esto ocurriera en coincidencia exacta con el pico, pero este es difícil de detectar con exactitud, sobre todo con impulsos rápidos. La solución adoptada consiste en detectar el flanco descendente del impulso cuanto antes. Para ello se emplea un amplificador diferencial cuyas entradas se representan en la Fig. II-6, donde la línea

de trazos es la curva de descarga, y la continua es el propio impulso a analizar. Las tensiones de base de ambas entradas - se mantienen con una diferencia ΔV , que ha de ajustarse para

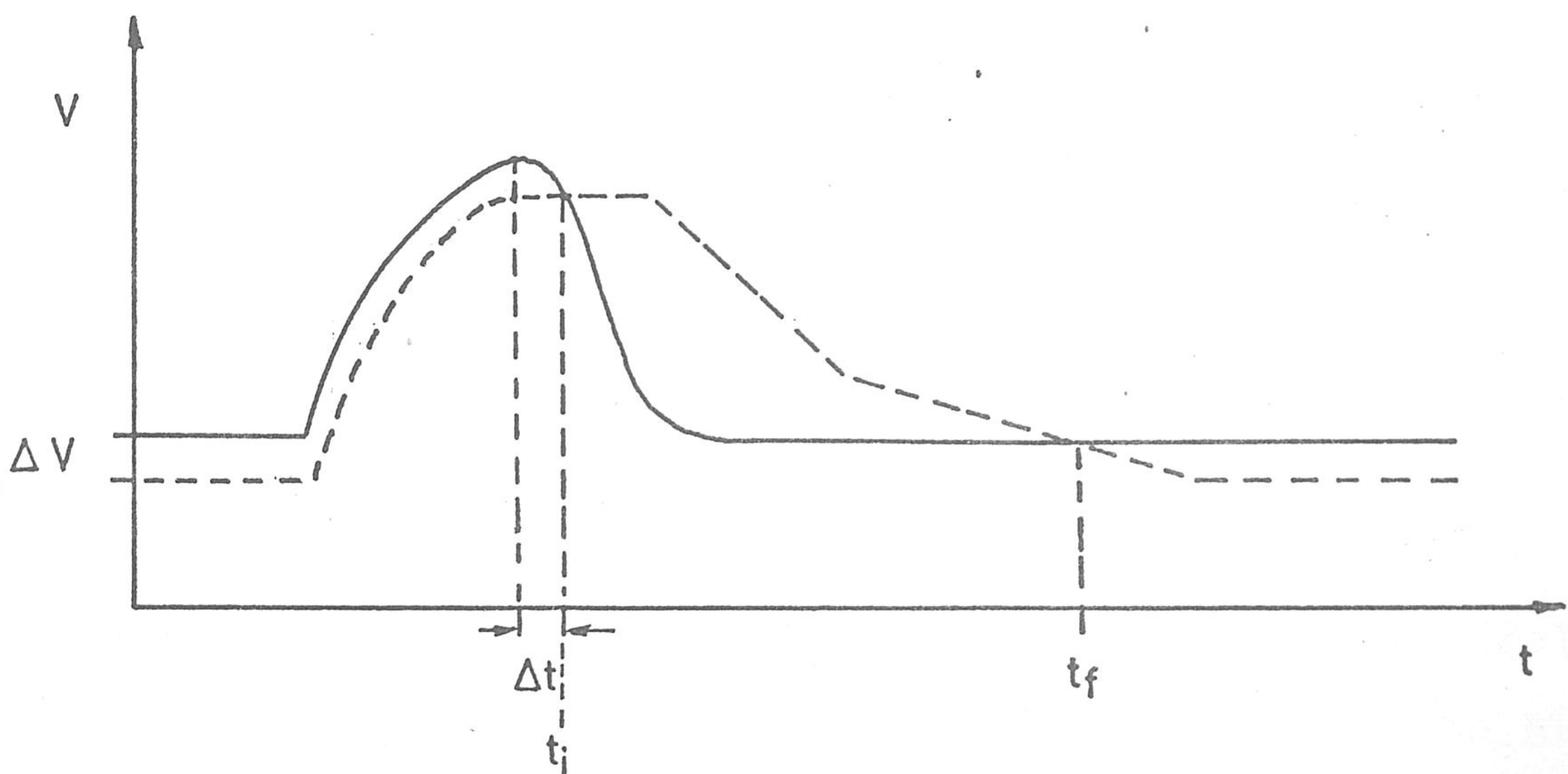


Fig. II - 6

obtener una señal oportuna (instante t_f) del final de la con versión. El valor de ΔV , junto con la forma del flanco posterior del impulso, determinan el retardo Δt con que, a partir del máximo, aparece la señal de comienzo de la conversión, y se produce el bloqueo. En realidad, a Δt hay que añadir un tiempo suplementario debido a retardos propios de los circui-

tos, histéresis posible en el amplificador diferencial, etc. - Para impulsos de centelleadores, Δt es del orden de 10^{-7} seg. Así pues, la probabilidad de indicaciones falsas por amontonamiento de impulsos es insignificante, salvo para muestras de extraordinaria actividad. Este procedimiento creemos que aventaja al seguido en ciertos espectrómetros comerciales, en los que el bloqueo se produce un tiempo fijo (varios μ seg) después de la presentación del impulso.

II.c-3.- Linealidad del conversor

La linealidad en la medida de la amplitud es la característica fundamental de un espectrómetro. La conducta ideal de un conversor amplitud-tiempo implica una relación lineal entre estas magnitudes; sin embargo, un conversor real se desvía siempre, más o menos, de la linealidad. La relación real entre amplitud (V_0) y tiempo de conversión (t_f) la indicamos, analíticamente, por la función $V_0 = f(t_f)$, y gráficamente, por la "curva de conversión"; suponemos a esta sin inflexiones, como después se justifica, y la representamos en la Fig. II-7, en la que también se ha trazado una recta que representa el comportamiento de un conversor ideal con la misma ventana de entrada de impulsos (entre 0 y V_{om}), y al que se debe aproximar el con

versor cuanto sea posible.

La desviación de un conversor respecto a su funcionamiento lineal la expresaremos por su alinealidad incremental A , que se define como la máxima desviación relativa de la anchura

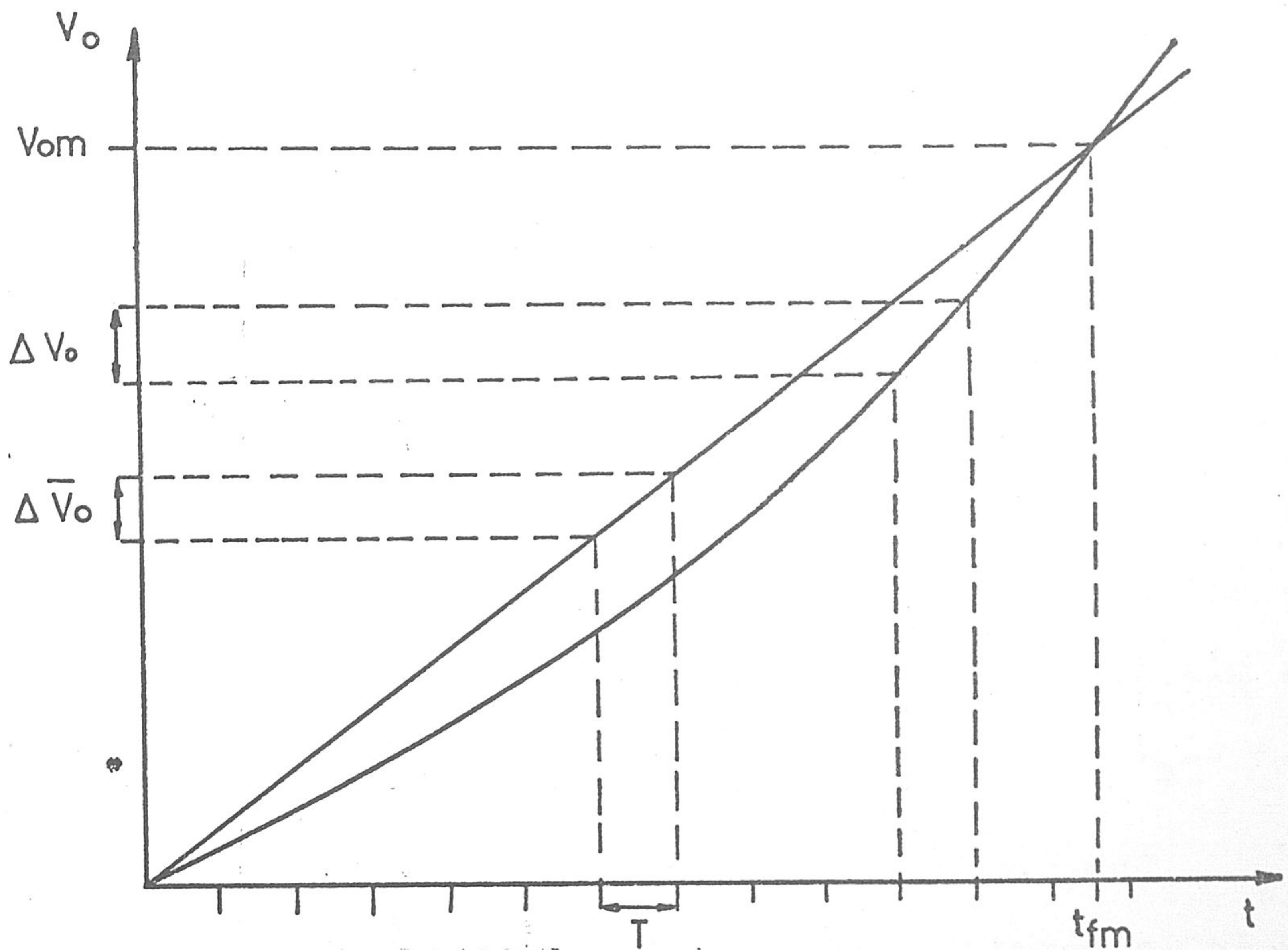


Fig. II - 7

de canal ΔV_o , respecto de su valor medio:

$$A = \left| \frac{\Delta V_o - \bar{\Delta V_o}}{\bar{\Delta V_o}} \right|_{\text{máx}} \quad (\text{II-4})$$

La Fig. II-7 indica la anchura de un canal cualquiera, así como su valor medio. Se deduce que:

$$\Delta V_o = \left(\frac{dV_o}{dt_f} \right)_{t_f = t'_f} \cdot T; \quad \overline{\Delta V_o} = \frac{V_{om}}{t_{fm}} \cdot T \quad (\text{II-5})$$

siendo T el período de los impulsos patrón y t'_f un tiempo intermedio para cada canal. Sustituyendo (II-5) en (II-4), queda:

$$A = \left| \frac{\left(\frac{dV_o}{dt_f} \right)_{t_f = t'_f}}{\frac{V_{om}}{t_{fm}}} - 1 \right|_{\text{máx}} \quad (\text{II-6})$$

Puesto que la máxima desviación $\Delta V_o - \overline{\Delta V_o}$ se obtiene en los canales extremos, ajustaremos A para los mismos tomando los valores más desfavorables de t'_f , que son, evidentemente, $t'_f = 0$, y $t'_f = t_{fm}$.

Busquemos la forma de la función $V_o = f(t_f)$. Esta depende de la corriente de descarga del condensador, que en el caso ideal es constante. Como se verá más adelante (Sec. III. b.1), la variación de la corriente de descarga viene impuesta por las características de colector de los transistores, en las que se excluye el codo. En este aspecto, puede admitirse

en primera aproximación que esta resistencia dinámica, inversa del parámetro h_o del transistor, permanece constante con la tensión V , no siendo de esperar una variación superior a un 10% (Ref. 43). Ello permite suponer una dependencia de 1^{er} grado de I respecto de V , de acuerdo con el circuito equiva-

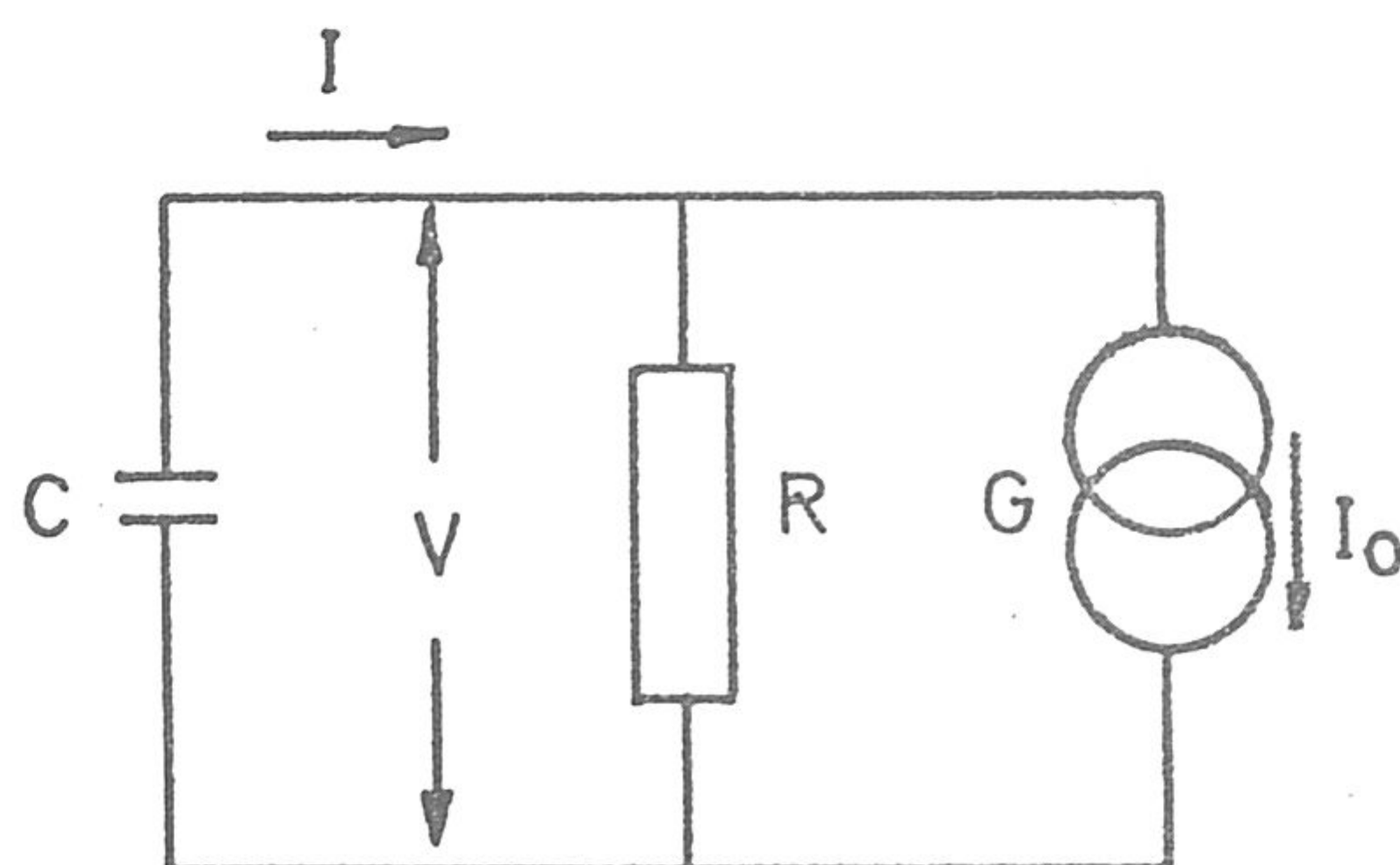


Fig. II - 8

lente de la Fig. II-8, donde G es un generador ideal de corriente constante, Así pues,

$$I = I_0 + \frac{1}{R} V \quad (\text{II-7})$$

Donde V e I son los valores instantáneos. Si es Q la carga instantánea almacenada en el condensador,

$$I = I_0 + \frac{V}{R} = - \frac{dQ}{dt} = - C \frac{dV}{dt}$$

$$\frac{dV}{dt} + \frac{V}{RC} = - \frac{I_o}{C} \quad (\text{II-8})$$

Esta ecuación diferencial admite como solución:

$$V = (V_o + I_o R) \cdot e^{-t/RC} - I_o R \quad (\text{II-9})$$

en la que V_o es el valor inicial y, por tanto, igual a la amplitud del impulso de entrada. Esta ecuación es válida en el intervalo definido por $V = V_o$ y $V = 0$, en el que se puede aceptar que G actúa como generador de intensidad. La condición de descarga total es $V = 0$ para $t = t_f$; imponiéndola en (II-9), se llega a la relación de conversión:

$$0 = (V_o + I_o R) \cdot e^{-t_f/RC} - I_o R$$

$$V_o = I_o R (e^{t_f/RC} - 1) \quad (\text{II-10})$$

conforme con la Fig, II,7. La ecuación II-6 es ahora,

$$A = \left| \frac{t_{fm}}{RC} \cdot \frac{e^{t'_f/RC}}{e^{t_{fm}/RC} - 1} - 1 \right|_{\text{máx}} \quad (\text{II-11})$$

En las expresiones anteriores, se viene tomando el valor absoluto de la desviación, pues la alinealidad se expresa siempre con números positivos, mientras que la desviación de la anchura de canal puede ser positiva o negativa, en general. En nuestro caso, con la curva de conversión supues-

ta, es de signo contrario en ambos extremos ($t'_f = 0$ y $t'_f = t_{fm}$). Deben ensayarse ambos valores, ya que no se sabe, a priori, a cual corresponde mayor desviación, en valor absoluto.

La ecuación II-11 determina, para cada valor de A, una relación entre t_{fm} y RC. Para encontrarla, desarrollamos las exponenciales en serie de potencias hasta términos de 2º orden.

$$A = \left. \frac{1 + \frac{t'_f}{RC} + \frac{t'^2_f}{2(RC)^2}}{1 + \frac{t_{fm}}{2RC}} - 1 \right|_{\text{máx}} \quad (\text{II-12})$$

Y ahora sustituimos los valores previstos:

1º) $\underline{t'_f = 0}$

$$A = \frac{+}{-} \frac{\frac{t_{fm}}{2RC}}{1 + \frac{t_{fm}}{2RC}} \quad (\text{II-13})$$

en la que sólo es significativo el signo +, lo que corresponde a que en esta región la anchura de canal es inferior a su valor medio, y la desviación es negativa.

$$2^{\circ}) \quad \underline{t'_f = t_{fm}}$$

$$A = \frac{\frac{t_{fm}}{2RC} + \frac{t_{fm}^2}{2(RC)^2}}{1 + \frac{t_{fm}}{RC}}$$

y haciendo $\frac{t_{fm}}{RC} = x,$

$$A = \frac{\frac{x}{2} + \frac{x^2}{2}}{1 + \frac{x}{2}} \quad (\text{II-14})$$

Exijamos una alinealidad del 1%, valor generalmente aceptado en la bibliografía especializada (Ref. 7,8). A partir de (II-13) y (II-14), se obtiene,

$$1^{\circ}. - \quad RC \approx 50 t_{fm}$$

$$2^{\circ}. - \quad x = 0.02; \quad RC = 50 t_{fm} \quad (\text{II-15}).$$

coincidiendo prácticamente las condiciones en los extremos. Puesto que $I_o \cdot t_{fm} \approx C \cdot V_{om}$, la ecuación (II-15) es equivalente a

$$RI_o = 50 V_{om} \quad (\text{II-16}).$$

Para 400 canales y 2Mc/seg, supuesta una conversión en tiempo simple y $t_{fm} = 200 \mu\text{seg.}$, por ejemplo, $C = 10^{-9}F,$

$$R = \frac{50 t_{fm}}{C} = 10^7 \quad (\text{II-17})$$

Veamos ahora cual es la máxima variación relativa de corriente para la alinealidad considerada:

$$I = I_0 + \frac{V}{R}; \quad \Delta I = \frac{V_0}{R}; \quad \frac{\Delta I}{I_0} = \frac{V_0}{RI_0} = e^{t_f/RC} - 1 \quad (\text{II-18})$$

y para la máxima amplitud V_{om} ,

$$\left(\frac{\Delta I}{I_0} \right)_{\text{máx}} = e^{t_{fm}/RC} - 1 = e^{1/50} - 1 \simeq 0.02 \quad (\text{II-19})$$

es decir, de un 2%.

Con el sistema de doble conversión, el error de linealidad aparece en sus dos etapas. Por lo que respecta a la primera, la situación es la misma que si el circuito se utilizara para conversión sencilla, a una frecuencia 10 veces mayor, Así pues, siguen siendo válidas las conclusiones anteriorres,

$$R_1 C = 50 t_{fm1} \quad \text{y} \quad I_{o1} R_1 = 50 V_{om} \quad (\text{II-20})$$

donde los subíndices "1" aluden a la primera etapa, y supuesto $A = 1\%$.

En la segunda etapa, se convierte en tiempo la tensión residual del condensador, una vez terminada la primera.

Los requisitos de linealidad son menos exigentes, ya que el máximo tiempo de conversión es ahora $t_{fm2} = 10 T$, mucho menor que t_{fm1} . Para 2 Mc/seg y $C = 10^{-9} \text{ F}$,

$$\begin{aligned} R_2 C &= 50.5 \cdot 10^{-6} = 2'5 \cdot 10^{-4} \text{ seg.} & R_2 &= 2'5 \cdot 10^{-4} / 10^{-9} = \\ & & &= 2'5 \cdot 10^5 \Omega \end{aligned} \quad (\text{II-21})$$

Así resulta que la alinealidad en este sistema viene impuesta por la primera etapa, en el supuesto lógico de que ambos circuitos de descarga son del mismo diseño. Comparando de nuevo con la conversión simple, se tiene en este caso una corriente 10 veces mayor y un tiempo de conversión 10 veces menor, y en consecuencia, un valor $R_1 \cdot C$, 10 veces menor. Sin embargo, esta ventaja es sólo aparente, ya que, al regular el circuito de corriente constante para un valor más alto, presentará una resistencia dinámica ordinariamente más baja. Lo que resulta difícil de mejorar en un circuito de esta índole, suele ser la relación $\Delta I/I_0$, y ya hemos visto (II-18) que sólo depende de la alinealidad impuesta, y no del tiempo de conversión.

La Fig. II-9 es la curva de conversión para el sistema de doble pendiente, y la Fig. II-10 representa los espectros correspondientes, a) con simple conversión, y b) con doble conversión, teniendo en cuenta el efecto de la alinealidad,

y correspondientes a un espectro real plano. Se ha exagerado la distorsión para hacer más patente este efecto.

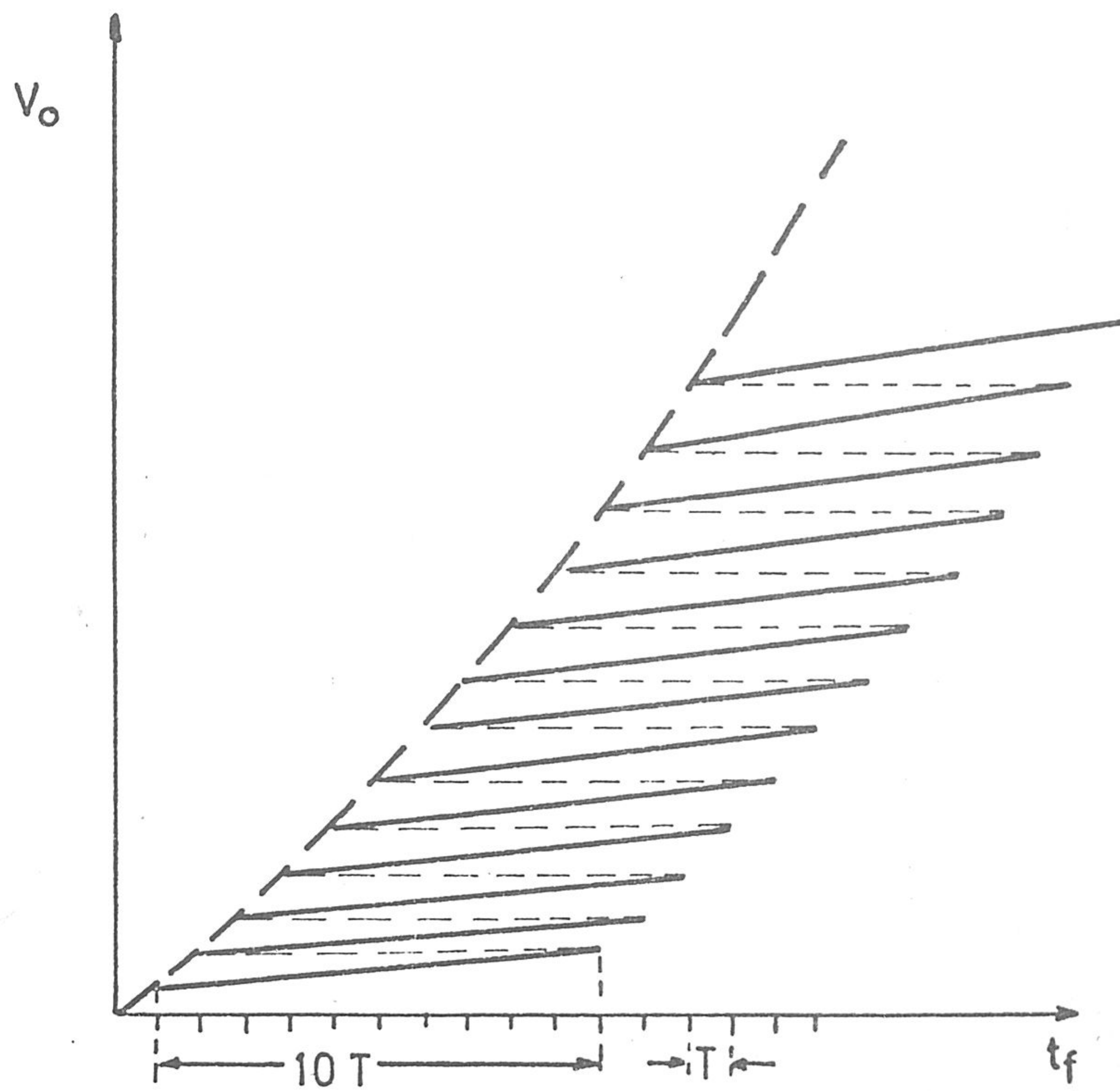


Fig. II - 9

Destaquemos, para terminar, que una alienalidad del 1% requiere que los circuitos empleados en el conversor, de corriente constante, admitan una variación relativa máxima - del 2%.

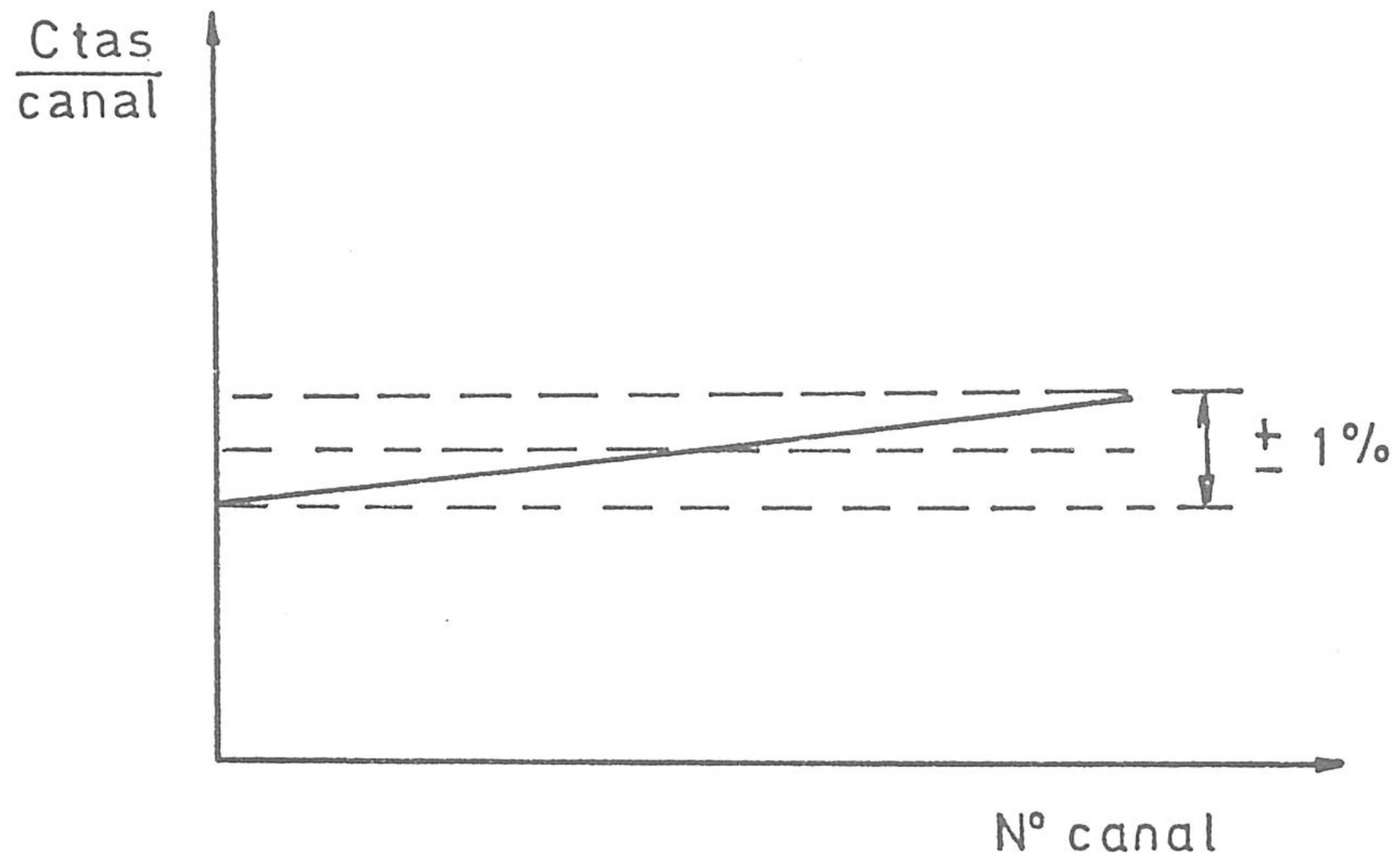


Fig. II - 10a

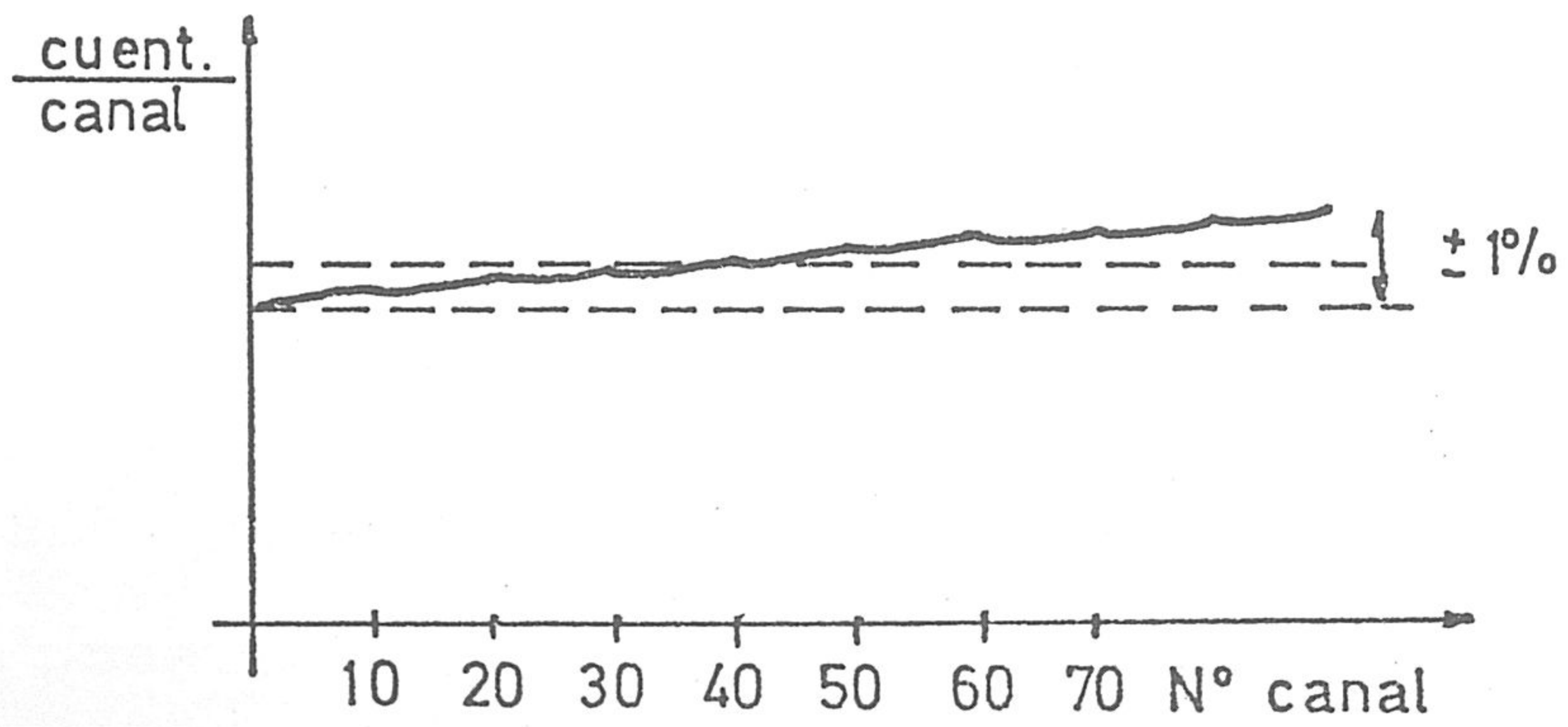


Fig. II - 10b

II.c-4.- Relación de intensidades

Veamos con qué precisión deben ajustarse las dos in tensidades de descarga. La relación teórica es $I_1/I_2 = 10$ en nuestro caso. Si la relación es mayor de 10, I_2 tiene un valor inferior al teórico, la descarga lenta tarda más tiempo del - debido, y se disminuye con ello la anchura de unos canales, en beneficio de otro (u otros), presentándose un solapamiento al

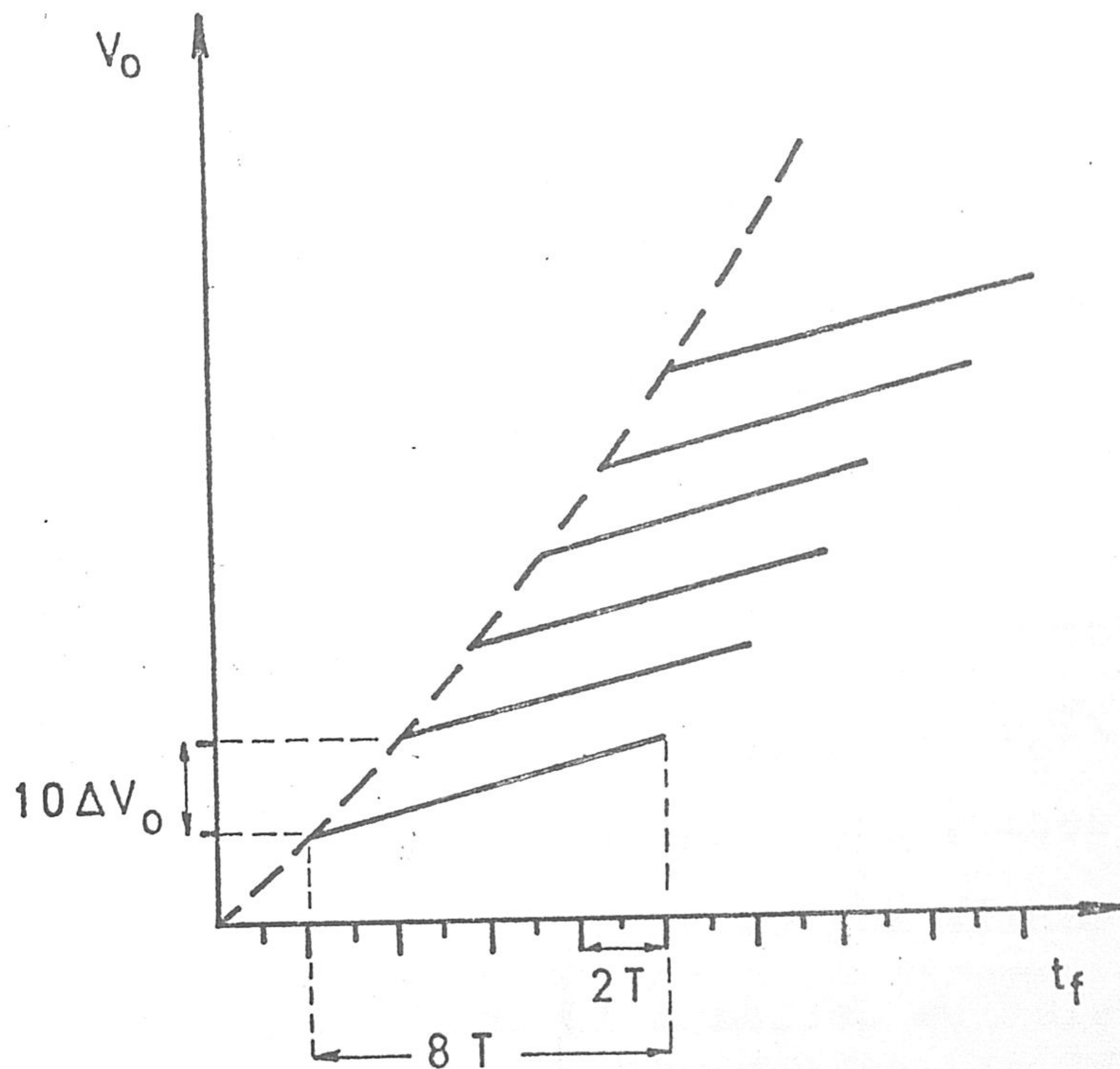


Fig. II - 11

obtener números de unidades superiores a 10 (en estos casos, - un impulso quedaría contabilizado como $N_1 \cdot 10 + 11$, por ejemplo y en el mismo canal que otro de mayor amplitud, y correspondiente a $(N_1 + 1) \cdot 10 + 1$). Si la relación de corriente es inferior a 10, I_2 es superior al valor teórico, la descarga es más rápida, y se aumenta la anchura de unos canales, en perjuicio del último (o últimos) que son los acabados en 9 (u 8, 7...), pues ahora, la curva de descarga no le alcanza plenamente (mientras que en el supuesto anterior lo rebasaba).

La Fig. II-11 es el detalle de una curva de conversión para el supuesto $I_1/I_2 < 10$. La Fig. II-12 muestra la distorsión del espectro debida a un mal ajuste de la relación de intensidades en ambos casos, y con referencia a un espectro plano. Se advierte la gravedad de este efecto, por lo que el control de esta relación debe ser lo más estable posible.

Vamos a determinar la tolerancia admisible para la relación I_1/I_2 , teniendo en cuenta un factor de alinealidad del 1%, es decir, que esta es la máxima variación relativa de anchura de canal. Lógicamente esta debe ser también la máxima variación relativa debida a la inexactitud en la relación de corrientes; así ambos requisitos estarán equilibrados. Sea I_2 el valor exacto, e I'_2 el real. La Fig. II-13 representa la -

zona lenta de la curva de descarga correspondiente a un impulso de entrada "frontera" (es decir, que puede ser descrito - como $10 \cdot N_1 + 10$ ó como $10 \cdot (N_1 + 1)$); estas dos posibilidades -

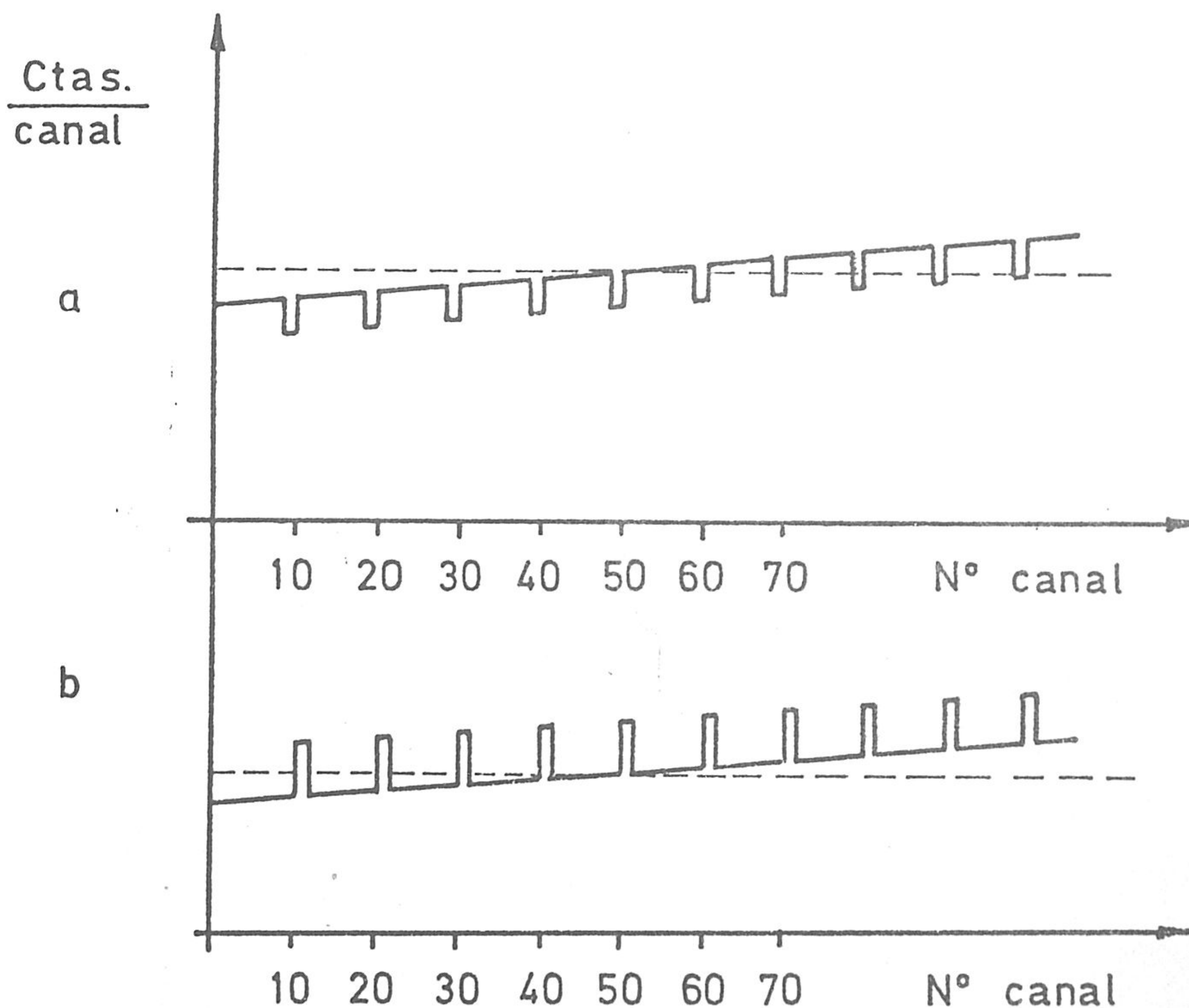


Fig. II - 12

corresponden a las líneas punteadas de la figura, para las que se supone una relación de corrientes exacta. La línea de trazo lleno corresponde al caso real, con $I'_2 > I_2$. El tiempo de descarga real es inferior en Δt al teórico, que vale $10 T$.

La reducción en la anchura del último canal es $\Delta t/T$, y la condición es $\Delta t/T = 0,01$. Como las pendientes son proporcionales a las corrientes,

$$I_2 \cdot 10T = I'_2 \cdot (10T - \Delta t) \quad (\text{II-22})$$

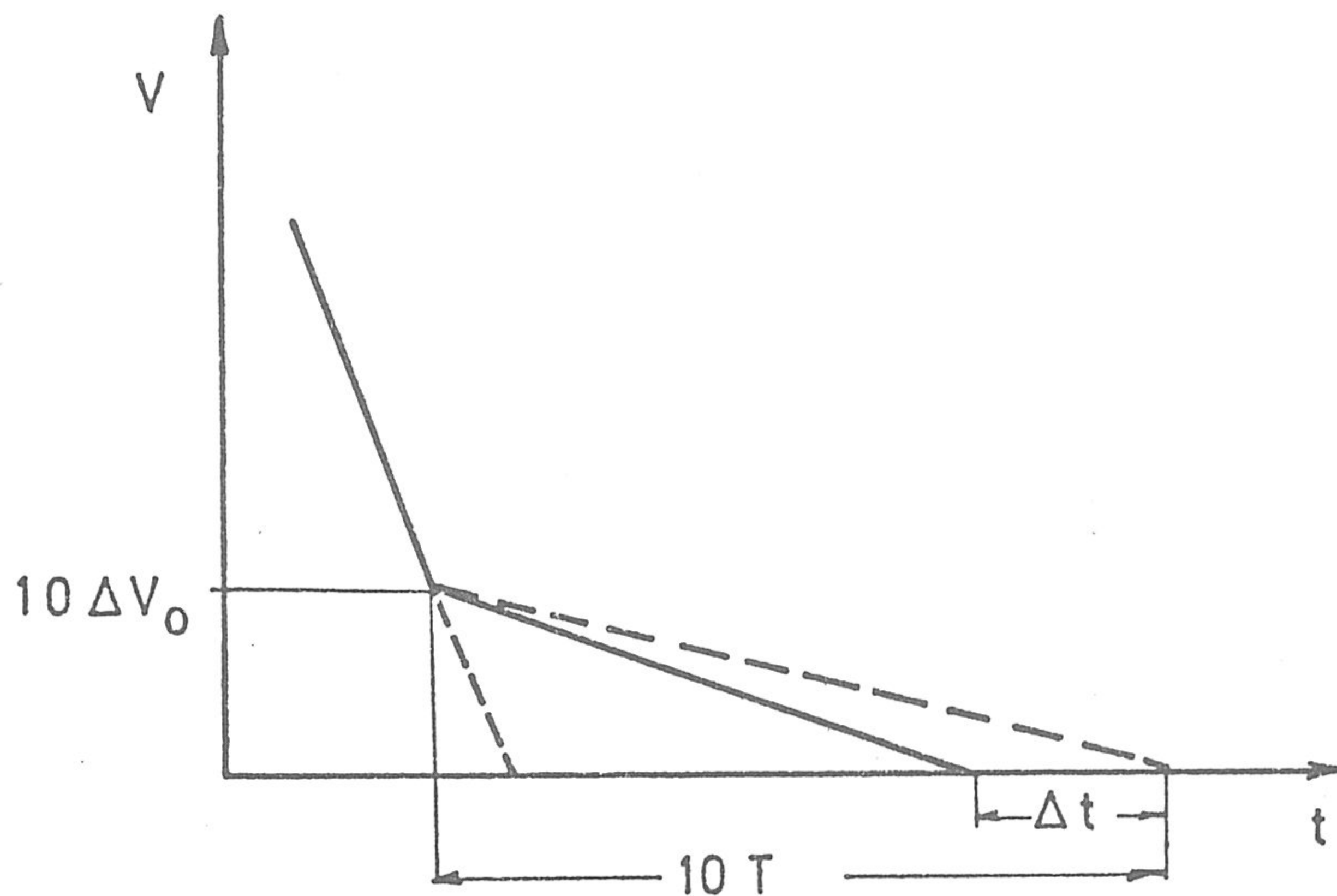


Fig. II - 13

o sea

$$\frac{I'_2 - I_2}{I_2} = \frac{\Delta t}{10T - t} \approx \frac{t}{10T}; \quad \frac{\Delta I_2}{I_2} = 0,001 \quad (\text{II-23})$$

Por lo tanto, la precisión en el ajuste de la relación de intensidades ha de ser del 0,1%, condición muy exigente.

II.c-5.- Estabilidad

Las condiciones de estabilidad del espectrómetro no son menos importantes que las de linealidad. Especialmente, la estabilidad debe ser extremada durante el curso de una determinación, ya que la variación en la posición de un canal lleva consigo el que distintos impulsos de una determinada energía se repartan entre varios canales contiguos del espectro, con lo que este queda suavizado. Esto conduce a una pérdida de resolución, propiedad esencial, que no debe quedar disminuída en el proceso de análisis.

Es normal exigir una estabilidad del orden de 0,1%, es decir que la posición de un canal no varía en más del 0,1% de su posición media (Ref. 8). Y aunque las faltas de estabilidad para largos períodos de tiempo (derivas) son menos importantes, pues pueden descubrirse con un calibrado previo a cada determinación, es de desear también que se reduzcan a un mínimo.

Las condiciones de estabilidad alcanzadas se indicarán en el capítulo destinado a los circuitos del conversor, pero señalemos aquí los factores determinantes de las posibles faltas de estabilidad: tensiones de alimentación, temperatura, e inestabilidad propia de los componentes utilizados.

II.c-6.- El final de la conversión: Nivel de cero

Se ha indicado en un párrafo anterior la utilización de un amplificador diferencial para determinar el instante final de la conversión, así como el instante inicial que, al mismo tiempo, establece la situación de bloqueo. Teóricamente, el proceso de conversión debe terminar cuando la tensión en el -

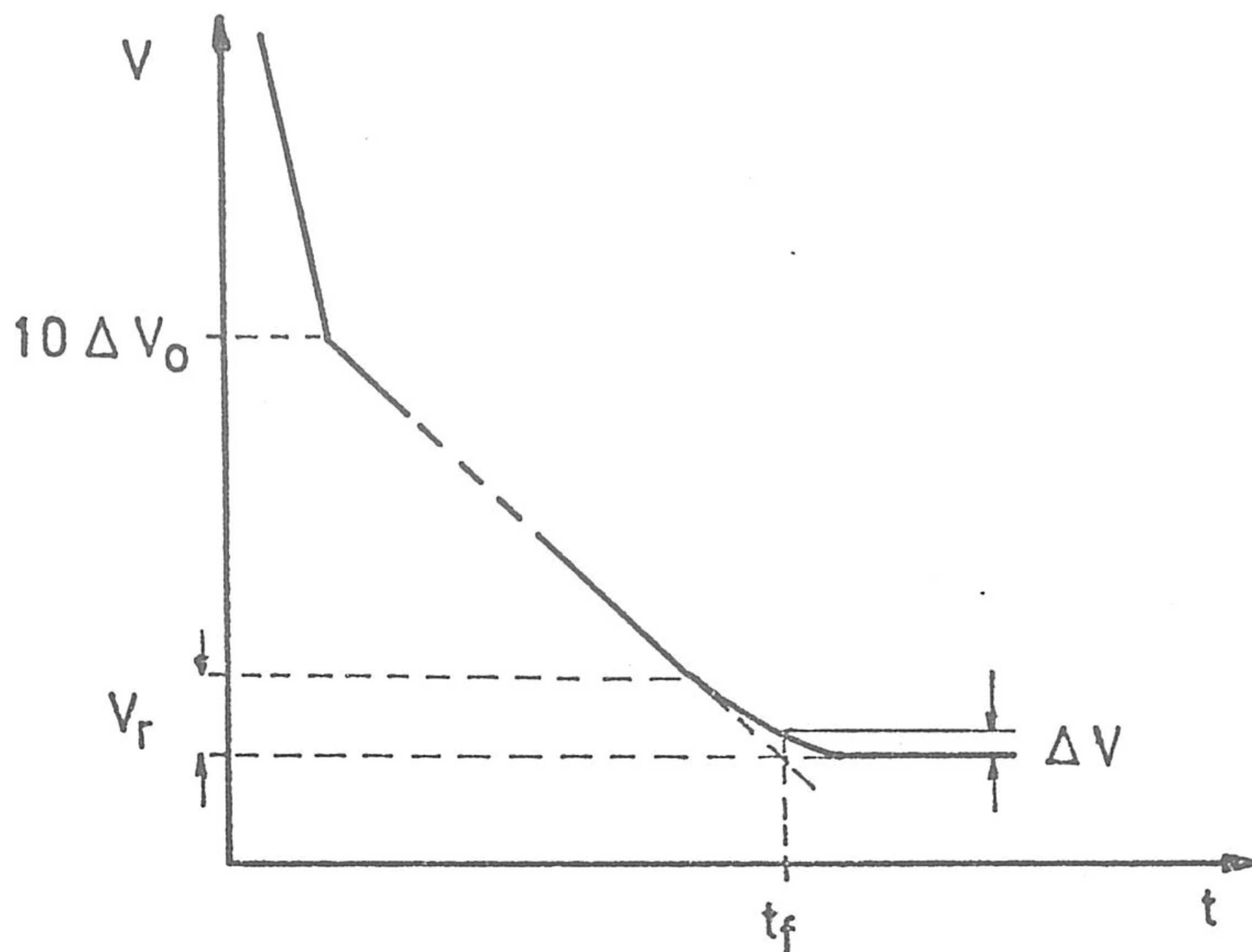


Fig. II - 14

condensador que se está descargando iguala a su nivel de base, que es el pedestal del impulso de entrada. Pero en la práctica, la curva de descarga presenta una cola redondeada, debido a - que, cuando la tensión residual en el condensador disminuye por

debajo de un cierto valor, se reanuda la conducción del diodo__ destinado a la carga inicial del condensador. Esto ocurre para un valor V_r igual a la diferencia entre la tensión de arranque del diodo, y la que presenta conduciendo la corriente de des-- carga lenta (Fig. II-14). De la citada figura se desprende que el instante exacto en que debe acabar la conversión es la intersección de la zona recta de la curva de descarga con el nivel__ de base, lo que supone una extrapolación empírica. El amplifi-- cador diferencial deberá dar la señal de final, en el instante representado t_f , cuando aún subsiste una tensión ΔV , por lo que este valor debe mantenerse como una diferencia constante - entre los niveles de las entradas al amplificador tal como se indicó en la Sec. II.c-2.

El error que pueda cometerse en el ajuste del instan__ te final es de poca importancia, pues está incluido en el error de cero del espectrómetro. Puede darse el caso de que, para co rregir un error de cero debido a otras causas, convenga modifi__ car ΔV , terminando el tiempo de conversión en un instante t_f distinto del indicado.

III.- CIRCUITOS DEL CONVERTOR AD

En el presente capítulo se exponen detalladamente los circuitos incluidos en el diagrama de bloques discutido en el capítulo anterior, y que constituyen el convertor analógico-digital. Se analizan más a fondo los correspondientes a la doble conversión en tiempo, por ser la parte fundamental de este trabajo. Los restantes (amplificador, oscilador, contadores, etc.) han tenido un interés secundario, y en buena parte, son convencionales.

III.a.- AMPLIFICADOR DE ENTRADA Y BLOQUEO

Se ha incluido en el equipo un amplificador que responde a una triple necesidad: poder modificar la amplitud de los impulsos de entrada, alejar el dispositivo de bloqueo, y suministrar los impulsos con muy baja impedancia de salida para la carga correcta del condensador. Otras cuestiones tales como impedancia de entrada, ventana de entrada y ganancia total, requerirán, en general, otro paso de amplificación anterior, de acuerdo con las condiciones de acoplamiento del equipo a un determinado detector de radiación.

La Fig. III-1 presenta el esquema de este circuito. La amplificación se realiza mediante tres pasos a transistor (T1, T2 y T4), los dos primeros acoplados por condensador, y el tercero en continua. El primero aporta una ganancia en tensión mayor que la unidad, y variable entre ciertos límites; - los otros dos son seguidores por emisor, para obtener ganancia en potencia. Por último, T6 es el elemento de bloqueo, T3 es auxiliar para el mismo, y T5 suministra una señal negativa a la presentación del impulso de entrada.

El punto de trabajo de T1, elegido para que el transistor trabaje en la zona lineal, está caracterizado por los siguientes valores:

$$I_E = \frac{V_B - V_{BE}}{R4 + R'4} \qquad V_{CE} = I_C \cdot R5 - V_B - V_{BE}$$

y teniendo en cuenta que, si se desprecia la corriente de base comparada con la de emisor, y la del divisor de tensión, resulta,

$$I_C \approx I_E \text{ y } V_B \approx \frac{R3}{R3 + R2} \cdot 24 \approx 23 \text{ volt.},$$

y para los valores extremos de R4 se obtiene,

$$\text{para } R4 = 0, \quad I_C = 1,9 \text{ mA.} \quad V_{CE} = - 20,4 \text{ volt.}$$

$$\text{y para } R4 = 200 \text{ ohm, } I_C = 1,25 \text{ mA.} \quad V_{CE} = - 21,3 \text{ volt.}$$

En este diseño, la ganancia es prácticamente igual a

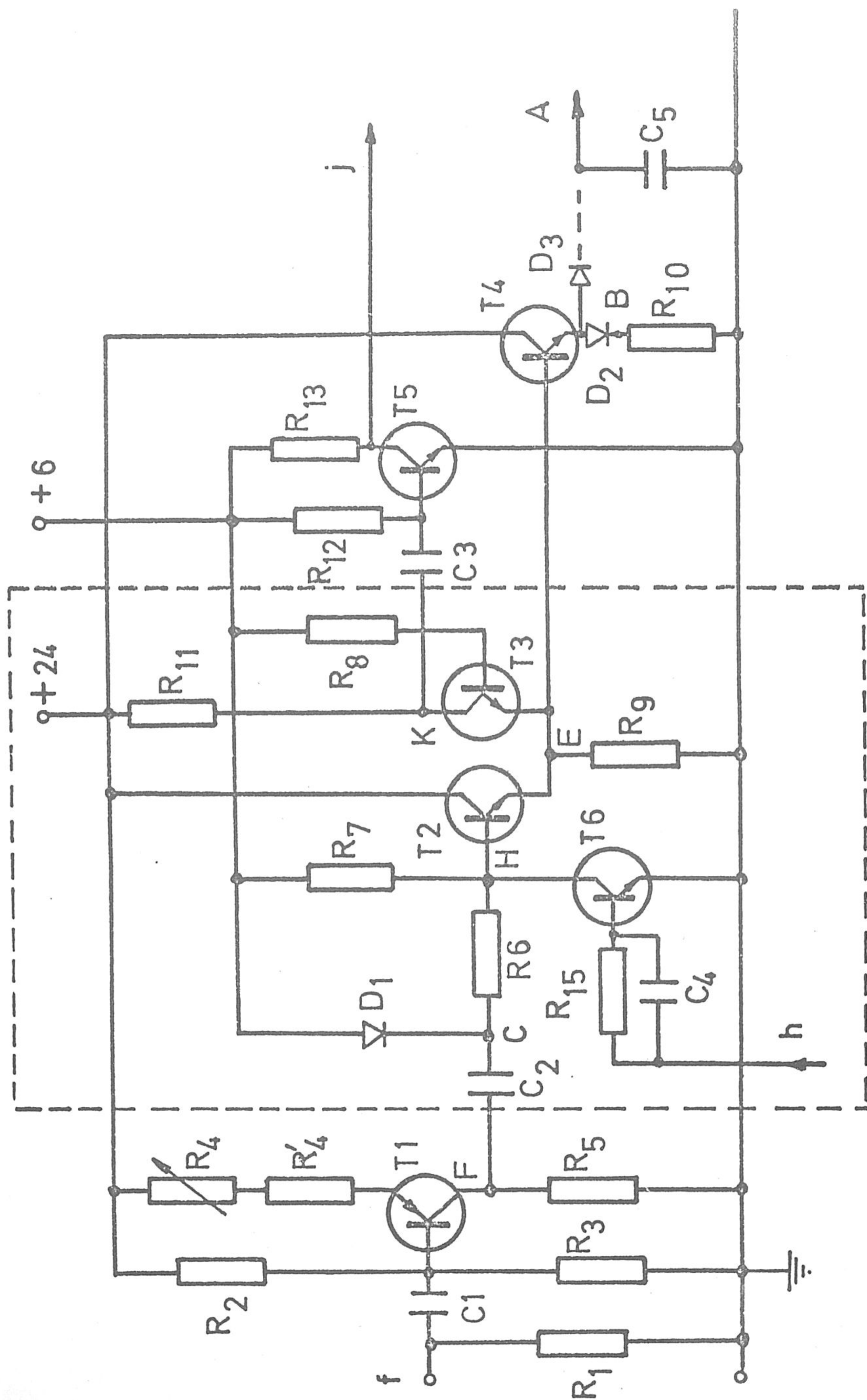
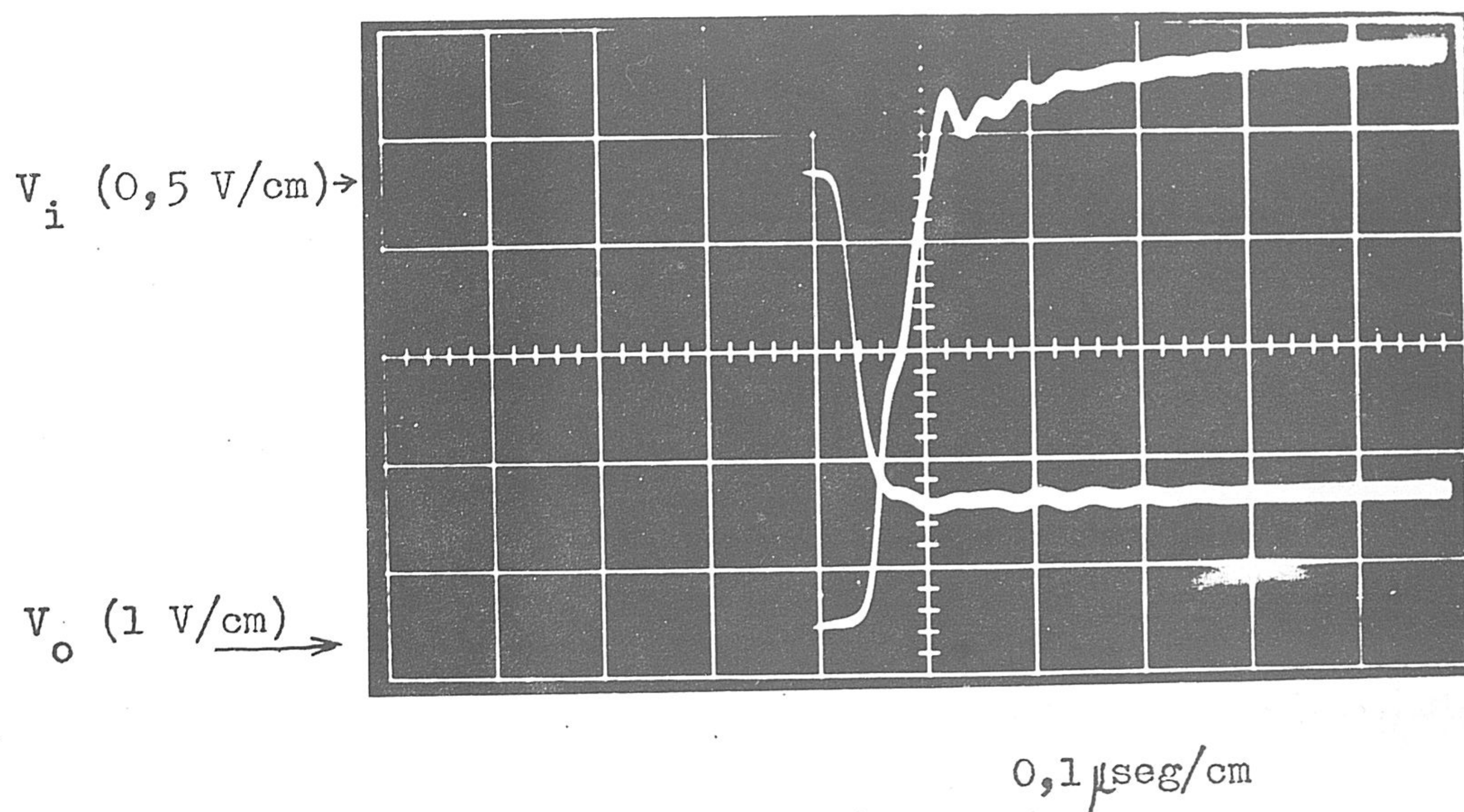


FIG. III - 1

$R_5/(R_4 + R'_4)$, lo cual da, como valores extremos 3,9, y 2,5.

La impedancia de entrada es la correspondiente a la agrupación en paralelo de R_1 , R_2 y R_3 , ya que el condensador...



Oscilograma n° 1

es de impedancia despreciable frente a R_2 y el propio transistor la tiene muy elevada $[\beta (R_4 + R'_4)]$. Así pues, la impedancia de entrada es $1/Z_i = 1/R_1 + 1/R_2$; $Z_i = 0,92 \text{ K}$

El tiempo de elevación está de acuerdo con lo previsto en II.c-1. El oscilograma n° 1 muestra los flancos de entrada (V_i) y de salida (V_o) del amplificador, y sus tiempos

de elevación son, respectivamente, 30 nseg y 60 nseg. El tiempo de subida del propio circuito es, por tanto (Ref.7):

$$t_e \approx \sqrt{t_o^2 - t_i^2} \approx 50 \text{ nseg}$$

Analizamos ahora la red de acoplamiento entre la salida de T1 y la entrada al paso siguiente, constituido por el transistor T2, montado como seguidor por emisor. Esta red se compone de los elementos C2, D1, R6 y R7, no tomando en consideración el colector de T6, puesto que este transistor está completamente cortado, salvo en posición de bloqueo. En principio, R7 establece el punto de trabajo de T2, de modo que V_B está a un valor muy próximo a la alimentación de +6 voltios (la caída en R7 es pequeña: admitiendo que T2 conduce igual que T3, $I_C = 1,3 \text{ mA}$; siendo $\beta = 100$, $I_B = 13 \text{ A}$, y la caída en R7 es de unos 70 mV). C2 es un condensador de acoplo entre etapas, la adición de D1 y R6 como componentes no convencionales está en función de las operaciones de bloqueo y desbloqueo. En efecto, durante el bloqueo conduce T6 a saturación, y el diodo impide que la tensión del punto C disminuya apreciablemente; de ese modo se restaura mucho más rápidamente dicha tensión al desbloquearse el conjunto, pues la restauración del punto de trabajo en C está condicio

nada a la de la carga almacenada en C2 durante el período de bloqueo. R6 tiene por misión el limitar la corriente de D1 durante el estado de bloqueo, lo cual se hace a costa de una reducción en la amplitud de los impulsos de entrada a T2, que viene determinada por la relación R6/R7 del divisor de tensión formado. Por ello, los valores de estas resistencias responden a una solución de compromiso en la que la ganancia del divisor es de $5,6/6,6 = 0,85$, y la corriente máxima del diodo es de unos 5,5 mA. La recuperación de C2 al terminar el bloqueo se efectúa a través de R6 + R7 con el diodo en paralelo, y la de R5 por otra parte. En condiciones estáticas, el diodo está prácticamente cortado, siendo la tensión del punto H de unos 60 mV, respecto a la alimentación. Sin embargo, en bloqueo, el diodo conduce unos 5,5 mA. La transición de un estado a otro implica una variación en la tensión del punto C de unos 0,25 voltios; sin embargo, es difícil estimar teóricamente la constante de tiempo, que no es simple, con que se efectúa esta transición, ya que durante la misma se recorre casi todo el codo de la curva característica del diodo; este es del tipo OA9, con muy pequeña tensión de codo (Ref. 42); es previsible una primera fase de restauración instantánea, en la cual fluye corriente a C2 a través del diodo en su zona de resistencia dinámica muy baja (unos 10 ohmios),

y una última fase en la que el diodo está prácticamente cortado; prevalece ahora la resistencia $R6 + R7$, con una constante de tiempo total igual a $C2 \cdot (R5 + R6 + R7) \approx 1 \mu\text{seg}$. Esto es aproximadamente válido sólo a partir del corte del diodo, que puede estimarse en las curvas características para una tensión $V_d = 0,11$ voltios. Así pues, la variación en V_c que tiene lugar con esta constante de tiempo es $0,11 - 0,06$ voltios = 50 mV. Entre las dos fases citadas hay una intermedia en la que la conducción a través del diodo y de la resistencia, es comparable. Todo ello se muestra en las gráficas de la Fig. III-2, que da las formas de onda en ciertos puntos de la Fig. III-1. Se produce el bloqueo en t_1 , y se termina en t_2 ; el tiempo de recuperación es t_R .

De lo expuesto es evidente que a la operación de desbloqueo sigue un tiempo de recuperación tal que, si durante el mismo se presenta un nuevo impulso, este lo hace sobre una "depresión" de hasta 50 mV, lo cual corresponde a un error máximo de dos canales. Sin embargo esta recuperación se lleva a cabo con una constante de tiempo de unos dos μseg . La probabilidad de aparición de impulsos "deprimidos" es, pues, pequeña. El oscilograma nº 2 muestra el efecto indicado, por el cambio que se aprecia en la tensión de trabajo, a raíz del

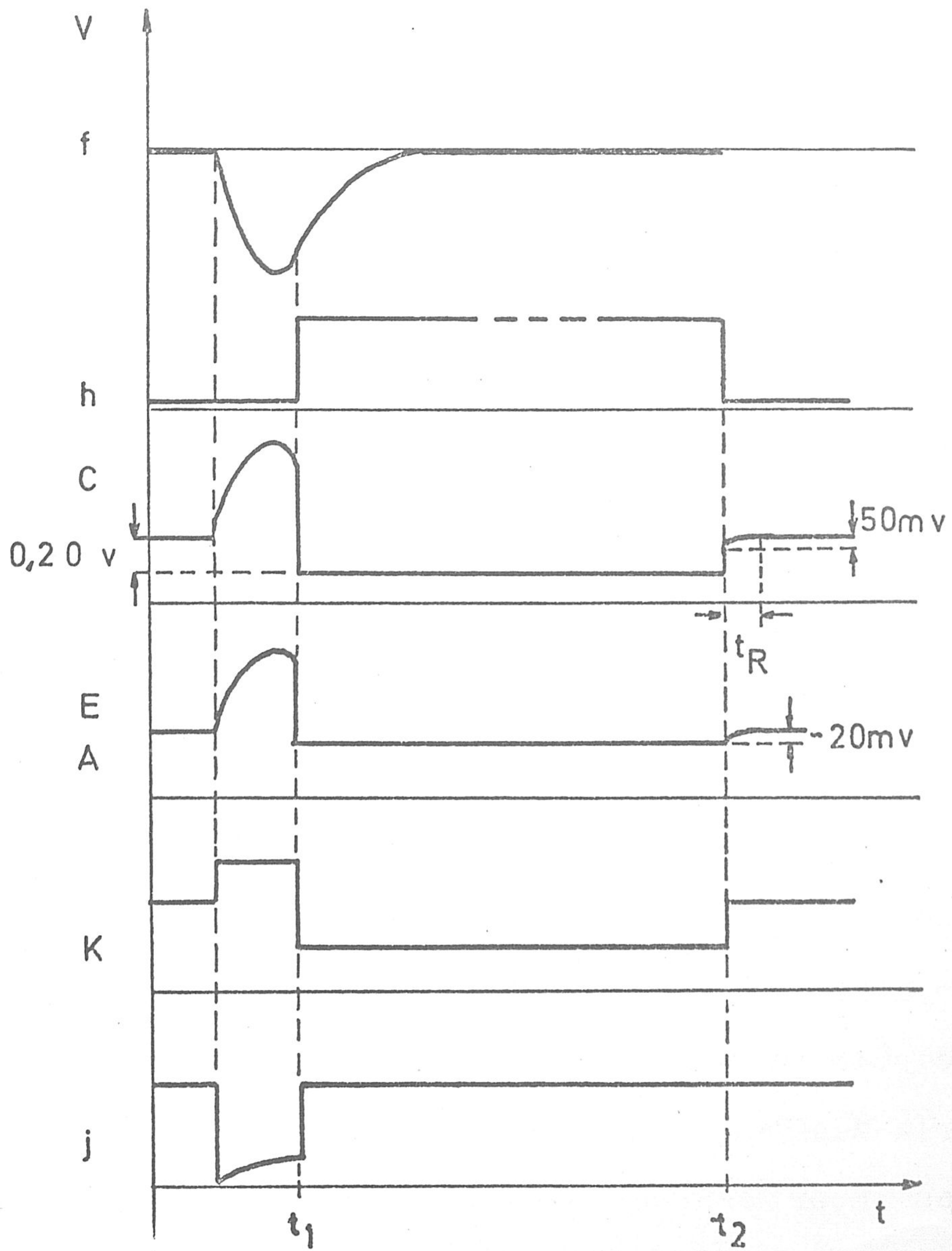
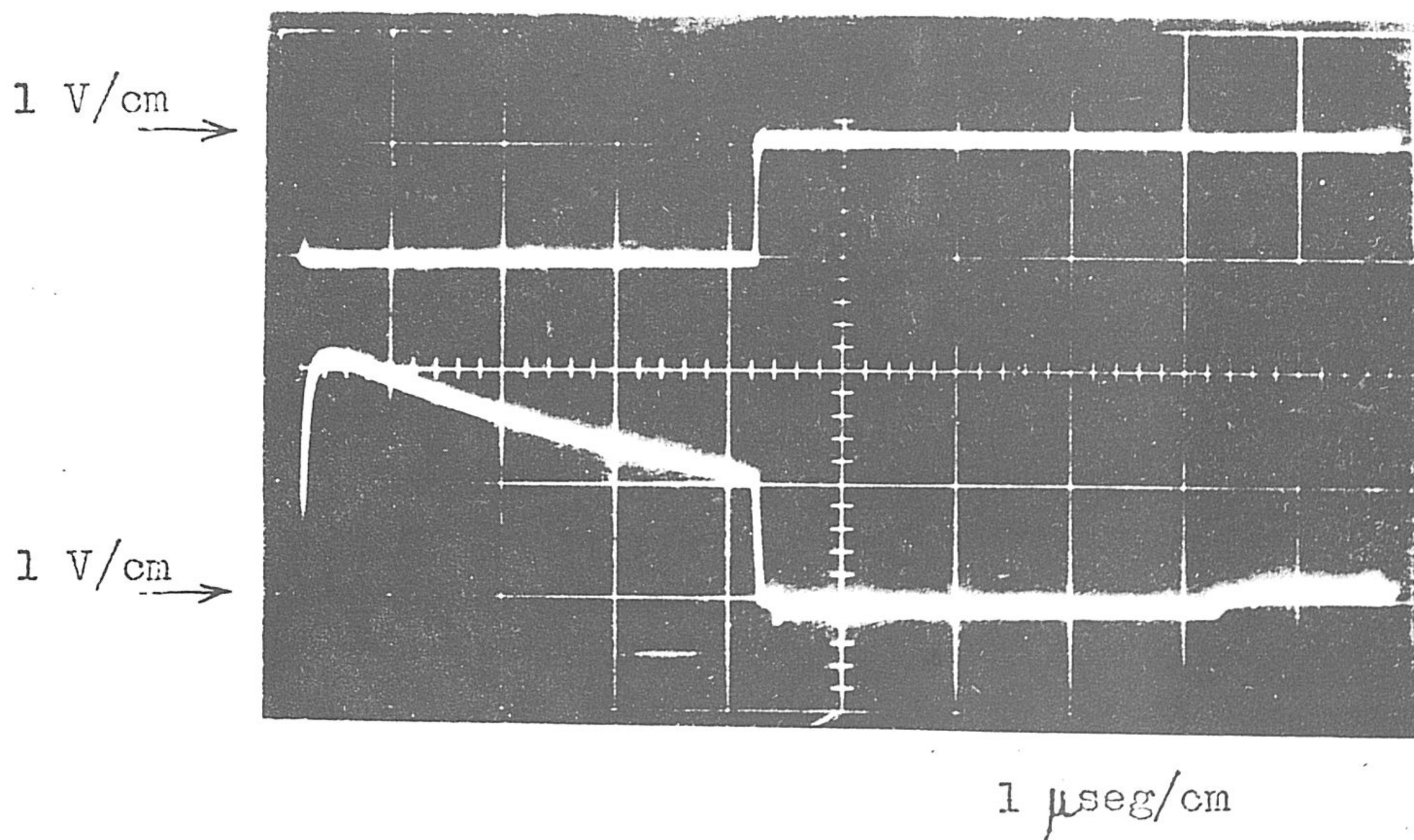


Fig. III - 2

desbloqueo.

El transistor T3 cumple la finalidad de mantener la tensión de emisor V_{E3} , a pesar del bloqueo. Esto resulta neces-



Oscillograma n° 2

sario, ya que la descarga se realiza hasta la tensión de trabajo de este punto, y una disminución brusca de la misma significaría alargar el proceso de descarga desmesuradamente. Pero no es importante una pequeña variación, con tal de que siempre sea la misma; puesto que el final de la descarga se detecta con un amplificador diferencial, y en este se puede corre

gir esta pequeña variación. Las resistencias de polarización de base R7 y R8 aseguran la conducción simultánea de T2 y T3, condición necesaria por las siguientes razones: si estuviese cortado T2, la amplitud de los impulsos quedaría mermada en un valor igual a lo que le falta a la tensión de base de T2 para iniciar la conducción. En cambio, si estuviese cortado T3, se presentarían dos inconvenientes: no se obtendría señal en su colector a la llegada de impulsos, señal que, amplificada por T5, está destinada a cortar el circuito de descarga lento, y se produciría un descenso apreciable en la tensión de emisor, V_E , durante el bloqueo. Este descenso, en las condiciones del diseño, es sólo de unos 20 mV, valor que corresponde al aumento de la tensión V_{BE} de T3 por conducir él sólo la corriente que aportaban entre ambos (Ref. 43); este valor es del orden de la anchura de canal. La señal obtenida en el colector de T3 es positiva, de duración igual a la del impulso, o menor, si el bloqueo sobreviene antes que acabe aquél, y de amplitud constante (unos 0,5 volt.) salvo para impulsos de amplitud muy pequeña (del orden de 30 mV). La señal alcanza a T5 a través del condensador de acoplo C3, donde se amplifica e invierte. La resistencia R12 (muy alta) mantiene cortado el transistor, pero a punto de conducir, y las señales que recibe lo llevan a saturación. Por ello se ob

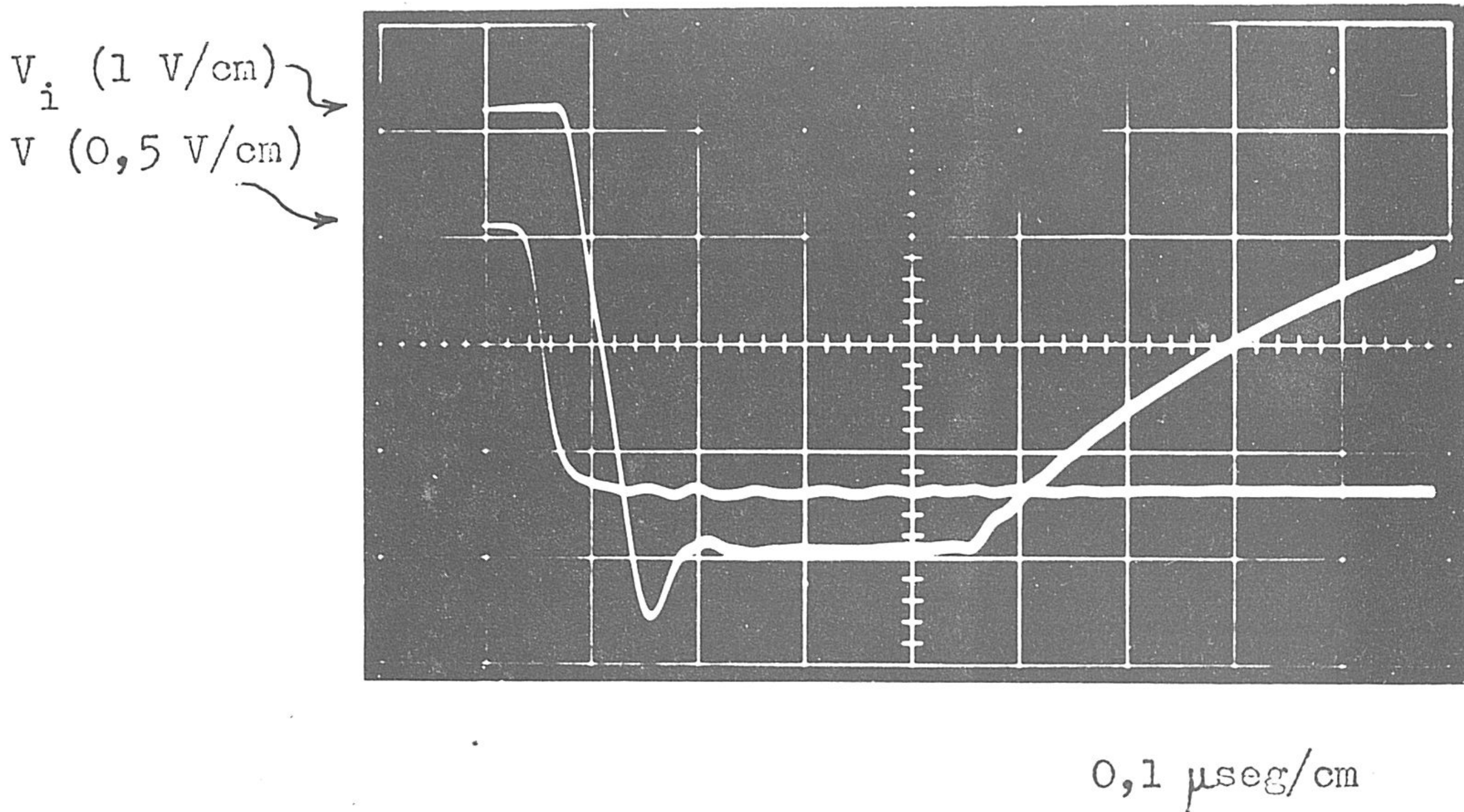
tiene en colector una señal de flanco negativo, de amplitud prácticamente igual a la alimentación de ± 6 voltios, apta para disparar un circuito biestable de los utilizados. Su duración y forma posterior modificada por la descarga del pequeño condensador de acoplo C3, no tienen influencia alguna. El oscilograma nº 3 muestra que el retarde con que se produce esta señal (V_i) a partir de la llegada del impulso negativo V , es de unos 60 nanoseg., medidos entre los puntos medios de los flancos.

El último paso de amplificación, T4, se dispone también como seguidor por emisor, pues sólo interesa amplificar en potencia. Este último paso carga, a través de D3, al condensador C5 (la conexión de este se indica con una línea a trazos, por pertenecer este componente al conversor amplitud tiempo, incluyéndose en el esquema de este, circuito Fig. - III-9). La última etapa, de amplificación en potencia, responde a la necesidad de cargar C5 a la tensión de pico en el menor tiempo posible. El transistor T4 tiene una carga adicional en emisor, D2 y R1C, para obtener en el punto B una tensión de referencia que aporte a los amplificadores diferenciales una de las entradas; la otra se obtiene, evidentemente del punto A.

T6 establece el estado de bloqueo cuando recibe un nivel de tensión positivo, proporcionado por un circuito binario, pasando entonces a saturación. Esta configuración en paralelo nos parece el mejor modo de conseguir la puerta de muestreo, pues con T6 en saturación no pasa ninguna señal a la salida del amplificador, mientras que tratándose de un - transistor de silicio la corriente de colector es despreciable en estado de corte, y no afecta en modo alguno la operación del amplificador.

La Fig. III-2 muestra las tensiones de los puntos más representativos, cuando llega un impulso a la entrada f. Notamos que las conexiones indicadas con letra minúscula corresponden a las de igual denominación en el esquema general de bloques de la Fig. II - 4.

En este circuito no se plantea el problema general del descenso de la tensión de trabajo debida al acoplamiento capacitivo, y que depende de la velocidad con que se presentan los impulsos, Ello debería reflejarse en el nivel de continua del punto C. Pero obsérvese que los impulsos que lle--guen con la puerta cerrada encuentran a D1 en estado de conducción con una resistencia dinámica muy baja, y a través de



Oscilograma nº 3

él tiene lugar la recarga del condensador, lo que supone una -
variación en el nivel de tensión de C despreciable (inferior a
1 mV). Todas estas consideraciones están condicionadas al peque-
ño valor dado a C2, el cual es suficiente para impulsos rápidos,
como los de un centelleador; sin embargo, para impulsos más an-
chos se necesitaría una mayor capacidad, con el consiguiente -
aumento del tiempo de recuperación. Para este caso, se sugiere
la modificación reflejada en el circuito de la Fig. III-3, vá-
lida en todos los casos. En esta variante, el diodo D1 conduce,
permanentemente, las siguientes corrientes: en bloqueo, como -
en el caso anterior, unos 5,5 mA; con la puerta abierta, unos

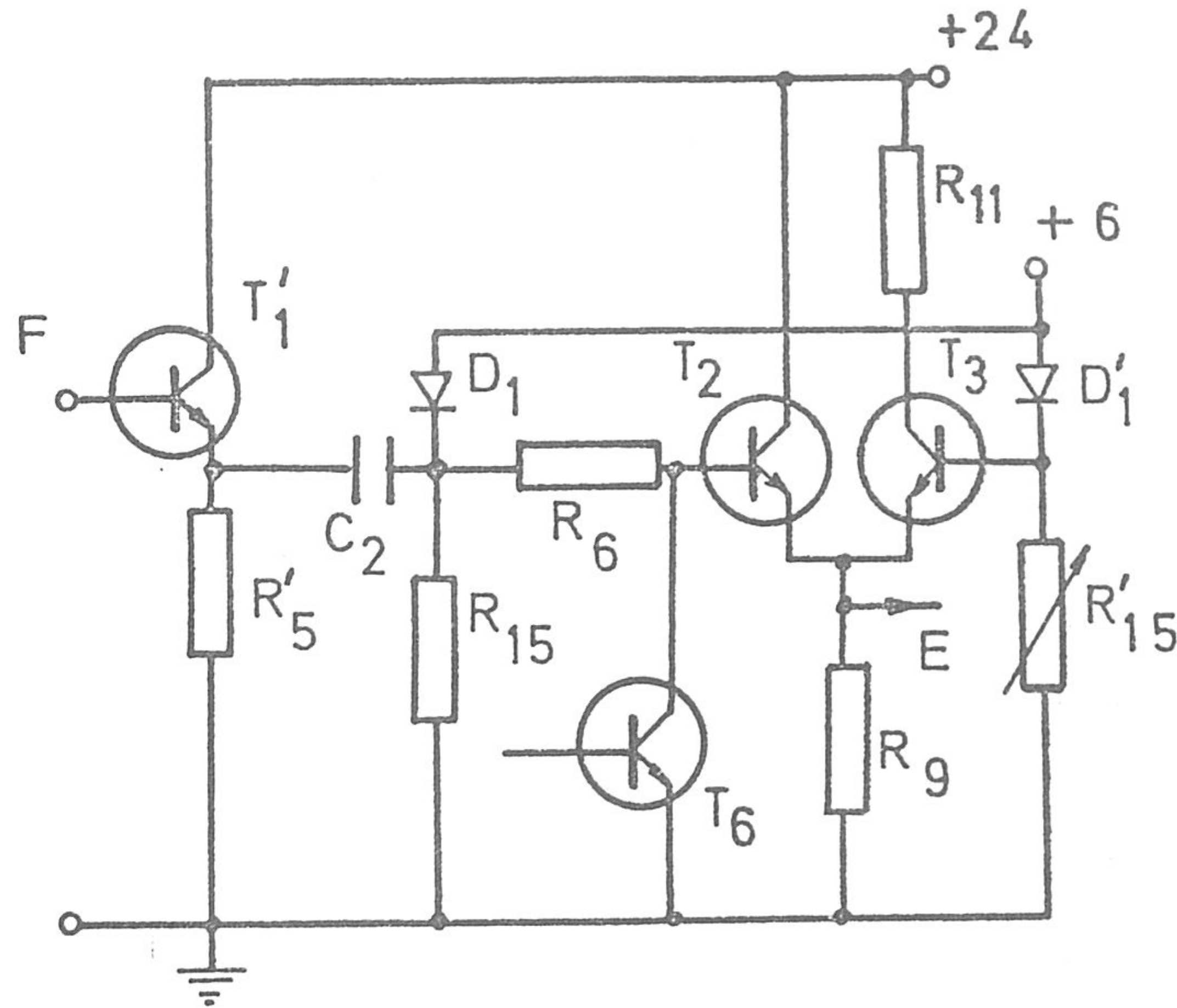


Fig. III - 3

0,5 mA ($R_{15} \approx 11K \Omega$). El paso del primero al segundo estado - implica una variación de tensión en C de 0,1 volt., según las características del diodo, que descargará a C2 con una resistencia dinámica media de unos 20 ohmios. Esta modificación - exige la inclusión de un paso más de amplificación en potencia a la salida de T1, que ofrezca un valor muy bajo de impedancia de salida Z, tanto en el flanco positivo como en el negativo de los impulsos; en el 1º, porque la subida del impulso corta a D1, y al suplir la corriente I de este, el impulso sufriría una pérdida en tensión ZI; en el 2º, porque la

descarga de C2 para restaurar el nivel del punto C, se efectúa a través del diodo por un lado, y de la impedancia de salida Z' por el otro, lo que determina prácticamente la constante de tiempo de la descarga. Este paso amplificador de potencia suplementario se sugiere como seguidor por emisor, con una resistencia de emisor de unos 200 ohmios, un transistor de mediana potencia, como el BFY50, siendo ahora admisible una capacidad C2 de hasta 5.000 pF con una constante de tiempo media de 1 microseg. R'15 debe ajustarse para una conducción equilibrada de T2 y T3. El empleo de diodos como restauradores de nivel constituye una modificación del sistema restaurador a doble diodo propuesto por Robinson en 1961 (Ref.30), pero acondicionado para las operaciones de bloqueo.

Terminamos la exposición del amplificador considerando su estabilidad. Es importante destacar que no se necesita estabilidad en la tensión de trabajo del punto E, como se verá al considerar el método de conversión en tiempo. Por lo tanto, los componentes que han de ser estables son únicamente los que determinan la ganancia total del amplificador. Estos son R4, R'4 y R5, resistencias que deben ser de película metálica; en todo caso, sólo son de esperar derivas a lar

go tiempo. Las alimentaciones sólo pueden influir en los niveles de continua, por lo que no necesitan estabilización, aunque sí un óptimo filtrado, pues las variaciones rápidas si pueden ser importantes. Por último, la temperatura no produce alteraciones sustanciales en el funcionamiento del circuito, pues los transistores T2 y T3 son iguales, y tampoco se precisan valores exactos en los porcentajes de corriente que conduce cada uno. En el circuito de la Fig. III-1, la temperatura influye en la tensión de codo de D1, pero esto sólo puede afectar a pequeñas variaciones en el tiempo de recuperación. En este aspecto, la modificación de la Fig. III-3 está térmicamente compensada.

III.b.- EL CONVERTOR AMPLITUD-TIEMPO

Sobre estos circuitos recae la mayor parte del interés de este trabajo. Dividiremos la exposición en dos partes; en la primera se tratan los circuitos de descarga lineal del condensador junto con las puertas que los gobiernan, y en la segunda, los amplificadores diferenciales que deben detectar los sucesos necesarios para el funcionamiento del conjunto.

III.b-1.- Circuitos de corriente constante

La operación del espectrómetro descansa fundamentalmente sobre la linealidad que pueda conseguirse en la descarga de un condensador, lo que implica la constancia de la corriente de descarga. Por tanto, vamos a analizar estos circuitos que se pretenden sean generadores de corriente constante.

La idea básica está contenida en el esquema simplificado de la Fig. III-4, en el que un transistor, en la configuración base común, tiene el emisor polarizado mediante V_{EE} , a través de una resistencia R_e . La corriente de emisor es aproximadamente constante, si V_{EE} es grande comparada con

V_{BE} , e igual a $\frac{V_{EE} - V_{BE}}{R_e}$, y la corriente de colector también lo será (αI_e) . La variación en la corriente de colector, que es la utilizable, viene dada en función de la pen-

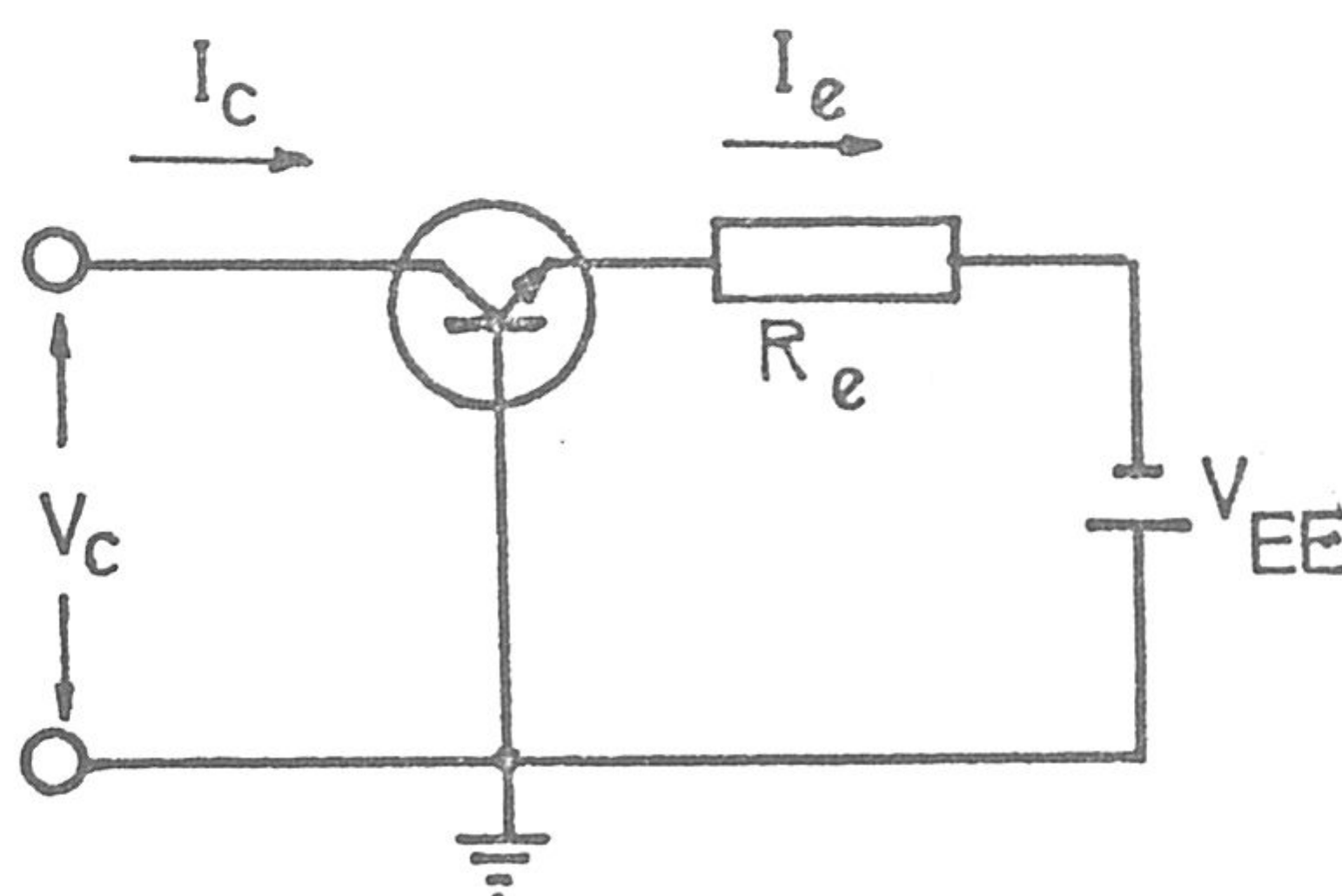


Fig. III - 4

diente de las curvas características de salida del transistor para la configuración base común.

J. Millman y H. Taub (Ref. 31) analizan este circuito, aplicándolo a un generador de base de tiempos de tensión, con ayuda del circuito equivalente, indicado en la Fig. III-5, en el que se utilizan los parámetros híbridos correspondientes a la configuración de base común. Desde nuestro punto de vista, interesa analizarlo como una red de dos terminales, encontrando la relación existente entre la corriente I_c , que circula por ellos, y la tensión V_c aplicada entre los mismos. Por ello se ha dibujado el circuito equivalente sin fuente de señal en el circuito de emisor, es

tando el mismo en cortocircuito. Se comprende que I_c variará al cambiar V_c por dos motivos: uno, debido a la admitancia de salida h_{ob} del transistor, y otro, a causa del generador de corriente constante, condicionado por I_e ; ésta úl

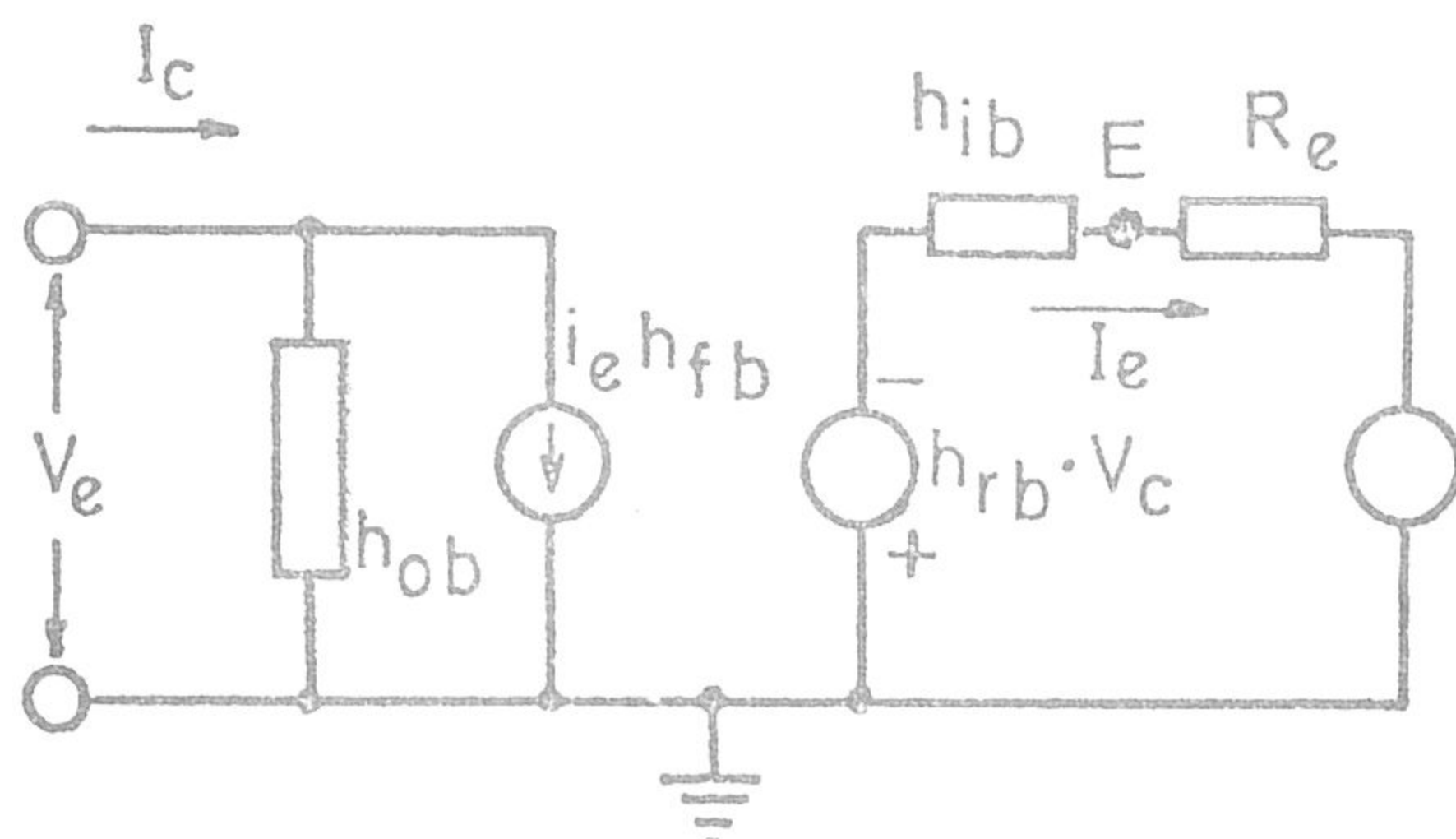


Fig. III - 5

tima, a su vez, varía en función de V_c a causa del generador de tensión $h_{rb} \cdot V_c$, presente en el circuito de emisor, y que representa la reacción de la tensión de colector en el mismo. Por todo esto, interesa expresar i_c en función de las variaciones v_c e i_e :

$$i_c = h_{ob} \cdot v_c + h_{fb} \cdot i_e \quad (\text{III-1})$$

y análogamente, para el circuito de emisor,

$$-i_e = \frac{h_{rb}}{R_e + h_{ib}} \cdot v_c \quad (\text{III-2})$$

y sustituyendo en (III-1),

$$i_c = \left[h_{ob} - \frac{h_{fb} \cdot h_{rb}}{R_e + h_{ib}} \right] \cdot v_c \quad \text{o bien,}$$

$$\frac{i_c}{v_c} = \frac{dI_c}{dV_c} = h_{ob} - \frac{h_{fb} \cdot h_{rb}}{R_e + h_{ib}} \quad (\text{III-3})$$

en donde los dos términos de que consta esta expresión tienen los significados anteriormente indicados.

En el diseño de los circuitos de descarga se han elegido transistores de la serie BC 147 a 149, por su alta impedancia de salida y alto h_{fe} . Las características del fabricante indican los parámetros híbridos en configuración de emisor común, por lo que la ecuación (III-3) debe transformarse, a efectos de cálculo, para disponerla en función de estos parámetros. La sustitución, efectuada con las adecuadas relaciones de transformación (Ref. 32), conduce a,

$$\frac{dI_c}{dV_c} = \frac{h_{oe}}{1 + h_{fe}} + \frac{h_{fe}}{R_e(1 + h_{fe}) + h_{ie}} \frac{h_{ie} \cdot h_{oe}}{1 + h_{fe}} \quad (\text{III-4})$$

que, para $R_e \gg h_{ie}$, se puede aproximar a

$$\frac{dI_c}{dV_c} = \frac{h_{oe}}{h_{fe}} + \frac{1}{R_e} \left[\frac{h_{ie} + h_{oe}}{h_{fe}} - h_{re} \right] \quad (\text{III-5})$$

A título de ejemplo, veamos el valor que tiene esta derivada, inversa de la resistencia dinámica del circuito de la Fig. III-4, para el caso de un transistor BC 149 C; los parámetros se obtienen de las citadas curvas características,

suponiendo unas condiciones dadas por $I_c = 1 \text{ mA}$, $R_e = 10 \text{ k}\Omega$, V_c (valor medio) = 10 voltios, $T_j = 25^\circ\text{C}$.

$$\frac{dI_c}{dV_c} \simeq (5,4 \cdot 10^{-8} + 3 \cdot 10^{-8}) \Omega^{-1}$$

lo que supone una resistencia dinámica de $(1/8,4) \cdot 10^8 \text{ ohmios} = 11,9 \text{ M}\Omega$. Este valor satisface la condición deducida en - (III-7) para un factor de alinealidad del 1%.

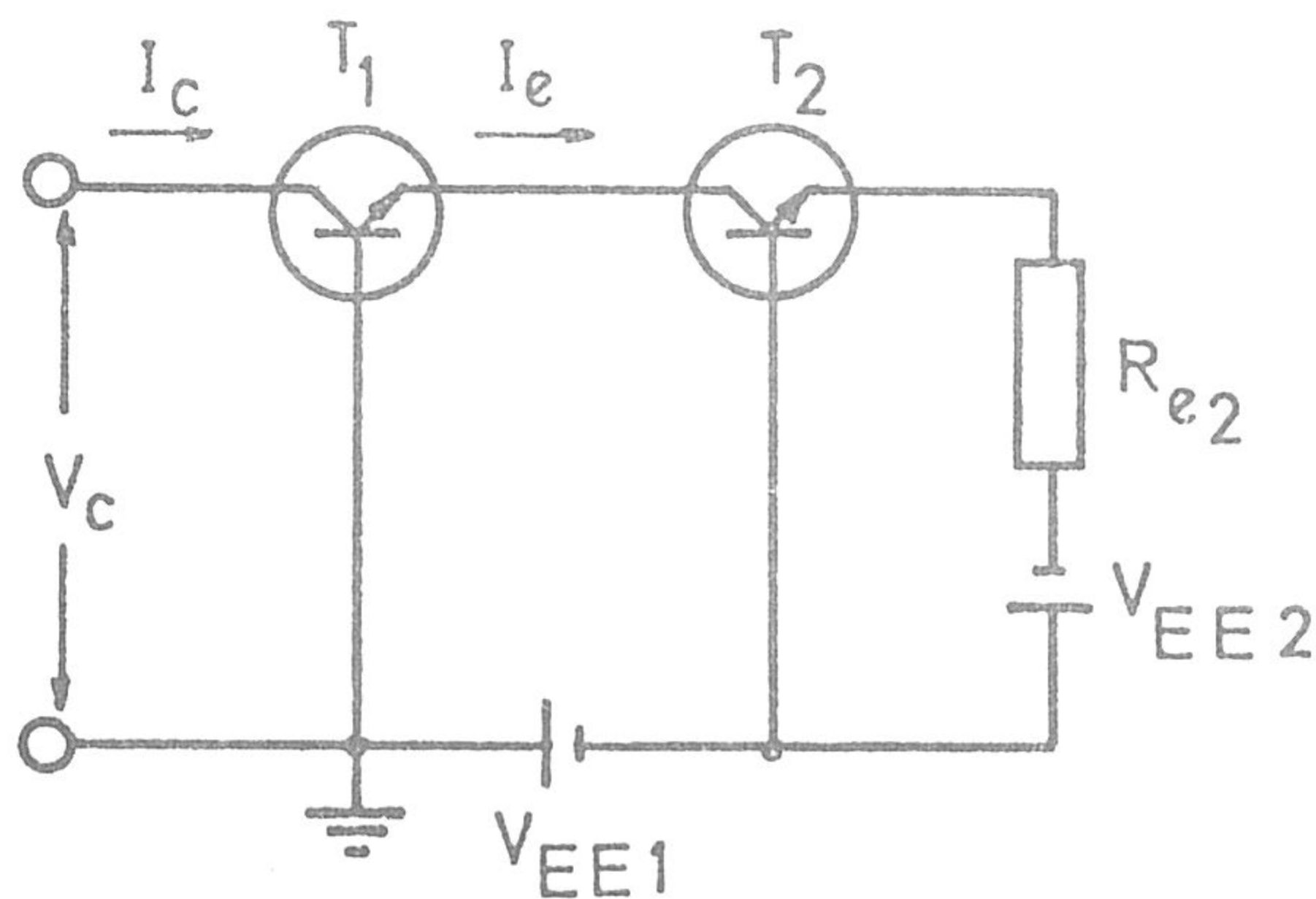


Fig. III - 6

Un circuito de descarga algo más elaborado (Fig. III-6) suprime la componente en (dI_c/dV_c) debida a la variación en la corriente de emisor. Este circuito deriva del anterior por sustitución de la resistencia de emisor por - otro circuito similar, que, teniendo la misma resistencia estática R_e (que determinará el mismo valor de la corriente - nominal), tenga una resistencia dinámica muy superior. Efectivamente, el circuito de T2 es una fuente de corriente co-

mo la discutida antes, pero cuya tensión de colector es igual a $V_{EE1} - V_{BE1}$. Admitiendo una variación $\Delta V_{BE1} = 10$ mv (ya que es igual a $h_{rb} \cdot \Delta V_{c1}$, y suponemos $h_{rb} = 3 \cdot 10^{-4}$ y una variación máxima $\Delta V_{c1} = 30$ voltios), la variación correspondiente en I_{C2} será, con el ejemplo numérico anterior,

$$\Delta I_{C2} = \left(\frac{dI_c}{dV_c} \right) \cdot \Delta V_c = \frac{dI_c}{dV_c} \cdot 10^{-2} = 8,4 \cdot 10^{-10} \text{ amp (III-5)}$$

lo que representa una variación porcentual en I_{C2} de un $10^{-6}\%$, totalmente despreciable, Pero $I_{C2} = I_{E1}$, por lo que se puede afirmar que T1 trabaja a corriente de emisor constante. Por ello pueden eliminarse los segundos términos de las ecuaciones III-3 y III-4, al mismo tiempo que, para el ejemplo anterior, queda $dI_c/dV_c = 5,4 \cdot 10^{-8} \text{ ohm}^{-1}$. El circuito equivalente de la Fig. III-6 es ahora más sencillo (Fig. III-7). Pue

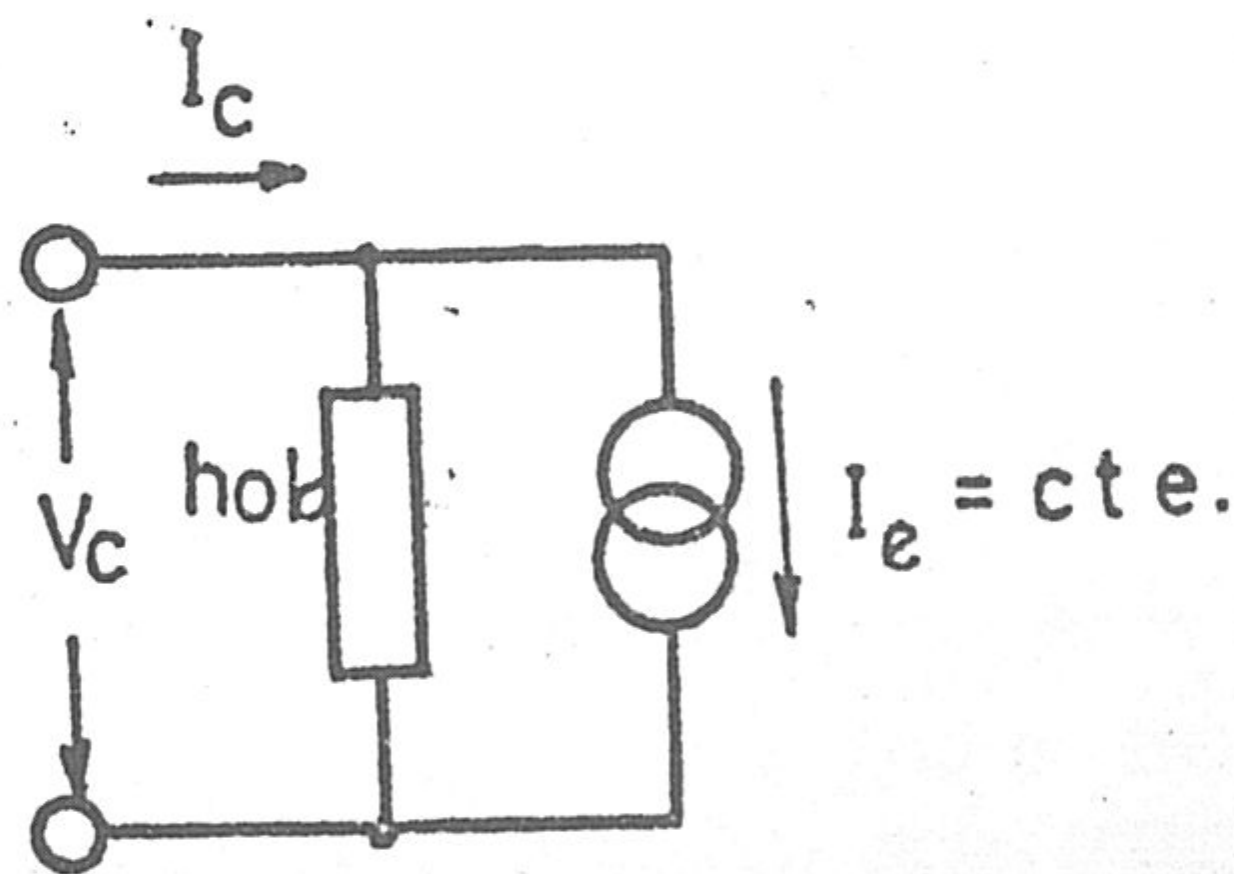


Fig. III - 7

de decirse que el transistor T2 trabaja en condiciones estacionarias, estando la corriente que suministra determinada por V_{EE2}/R_{e2} , mientras que V_{EE1} determina la tensión de trabajo del colector de T2, y no es crítica.

El circuito expuesto últimamente satisface con creces las condiciones impuestas por una desviación máxima de la linealidad del 1%, como se puede observar en los datos tabulados a continuación y calculados para transistores BC 149 C, a $T_j = 25^\circ\text{C}$, y una tensión media de entrada de 10 volt.

	h_{oe} ($\Omega \cdot 10^{-6}$)	h_{fe}	dI_c/dV_c (mA/V)	R_d (M Ω)	I_c^{**} (mA)	$(\frac{\Delta I_c}{I_c})_{\text{máx}}$ (%)
$I_c = 10\text{mA}$	350	700	0,5	2,0	0,015	0,15
$I_c = 1\text{mA}$	38	650	0,054	18,5	0,0016	0,16
$I_c = 0,1\text{mA}$	18	420	0,043	23,3	0,0013	1,3
Condiciones exigidas				10 0,25 \pm		2,0

\pm Corresponden a las dos etapas de la doble conversión, en las condiciones mencionadas en la Sec. II.c-3.

$**$ Corresponden a una variación de la tensión de entrada, $\Delta V_{cl} = 30$ volt.

Los datos de la última columna, calculados para el máximo intervalo de tensiones de entrada permitido por el circuito, - (en este caso es de 0 a 30 volt.), puede servir como "factor de mérito", ya que representa el producto de la variación relativa de corriente respecto a la tensión, por la máxima variación de esta admisible, es decir:

$$\left(\frac{\Delta I_c}{I_c \cdot \Delta V} \right) \cdot \Delta V = \frac{\Delta I_c}{I_c}$$

Así el transistor BC 147 admite de 0 a 50 volt., pero la variación relativa de corriente es más alta. En nuestro caso, en que no se va a pasar de 20 voltios, es preferible el BC149 C, especialmente por su elevada β .

Aunque el circuito expuesto reúne suficientes condiciones de linealidad, puede interesar mejorarlas. Para tal caso, se sugiere la sustitución del transistor T1 de la Fig. III-6 por un par Darlington, como se indica en la Fig. III-8. Este par sustituye ventajosamente a T1, puesto que su β equivalente es el producto de las correspondientes a los dos componentes, mientras que la resistencia dinámica de colector - equivalente ($1/h_{ob}$) es sólo un poco inferior a la de uno sólo. Desde otro punto de vista, nótese que, siendo constante la corriente de emisor, las variaciones en la de colector son

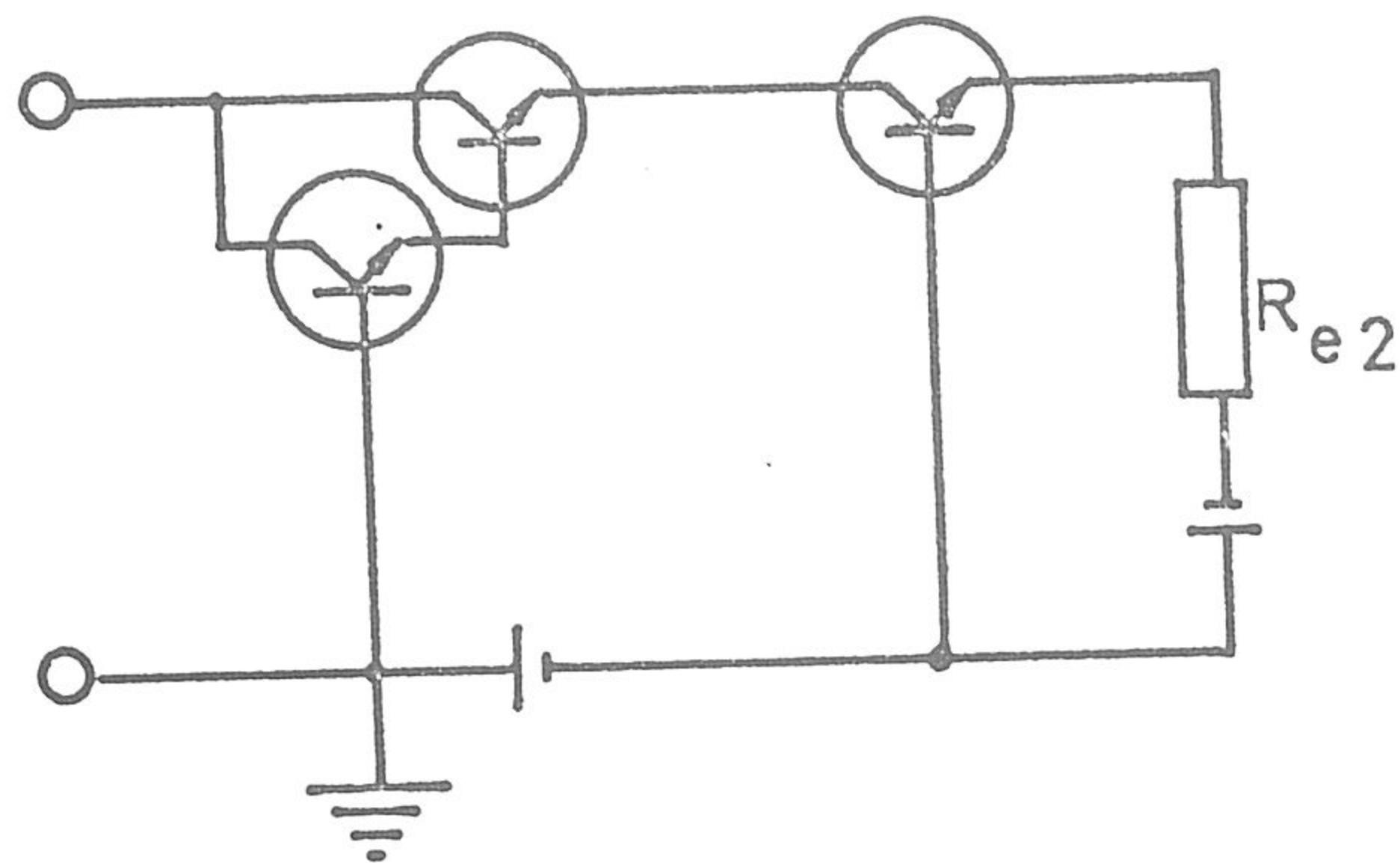


Fig. III - 8

iguales y de signo contrario a las de corriente de base; esta última, para el par Darlington, es mucho más reducida, y sus variaciones absolutas también.

También es posible mejorar la linealidad del circuito de corriente constante, sustituyendo T1 por un transistor de efecto de campo, con la puerta a masa (Ref. 41). En este caso, la corriente (de drenador) es idéntica a la de fuente; si ésta se mantiene constante, se mantendrá también la de drenador; sin embargo, es posible una mayor variación en V_{GS} debido a la variación en la entrada, y a esto se debería una muy pequeña variación en la corriente del transistor.

III.b-2.- Circuitos de descarga y puertas de control

Examinemos ahora el circuito completo de descarga a doble pendiente, con sus puertas correspondientes, cuyo esquema se da en la Fig. III-9. Los circuitos de corriente constante son los constituidos por los pares de transistores T1 y T2, T1' y T2', para las descargas rápida y lenta, respectivamente. C es el condensador que se carga a la tensión de pico del impulso, a través de T1 y D1, componentes ya incluidos en el esquema del amplificador (Fig. III-1), y se descarga después a través de los diodos D3 y D4. T3 es un transistor del mismo tipo que T2 y T2', y se ha incluido para la compensación térmica de las corriente de emisor en estos últimos. En efecto, las tensiones de emisor de T2 y T2', V_E y $V_{E'}$, varían con la temperatura si la tensión del punto F es fija, debido a las variaciones de V_{BE} para ambos transistores. Con este diseño, estas variaciones se corrigen con otra igual en oposición, que tiene lugar para V_{BE} en T3. Así, las tensiones en los puntos E y E' resultan independientes de la temperatura y, por consiguiente, las corrientes de emisor. La corriente de T3, así como las de base de T2 y T2' son suministradas por T4, conectado también como fuente de corriente, con objeto de que la corriente de colector de T3 que produce la óptima compensación

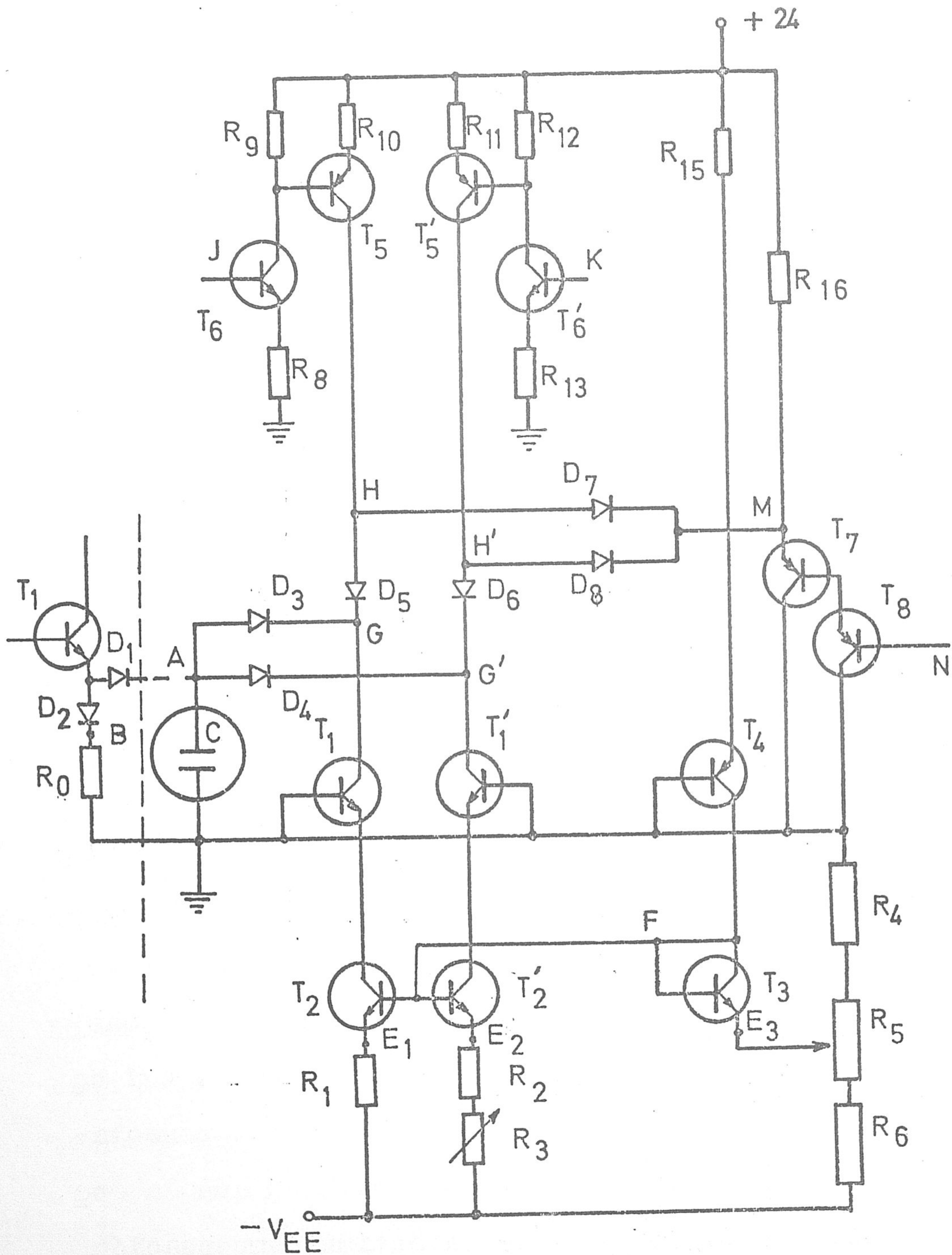


Fig. III - 9

no dependa del ajuste del potenciómetro determinado por R4, R5 y R6, sobre todo, si el ajuste se hace en una zona de tensiones próxima a masa.

La polarización de emisor de T2 y T2' se obtiene a partir de la alimentación $-V_{EE}$, y el divisor de tensión constituido por R4, R5 y R6, pero no tiene influencia alguna la carga que sobre este representan las corrientes de base de los citados transistores, pues son constantes. Obsérvese que toda la parte del circuito situada en el esquema bajo la línea de masa mantiene un funcionamiento estático, siendo constantes todas las tensiones y corrientes del mismo. La corriente de las bases de T2 y T2', si es apreciable comparada con la corriente del divisor, afectará únicamente a una falta de linealidad entre la relación de resistencias y la de tensiones en el divisor, lo cual carece de importancia. Es claro que no estaría indicado polarizar por este sistema el emisor del transistor de la Fig. III-4.

La parte superior del esquema representa sendos circuitos puerta, destinados a permitir o prohibir la descarga correspondiente. Los transistores T5 y T5' están conduciendo o completamente cortados. En el primer caso conducen una corriente superior a la de descarga del circuito que les corresponde,

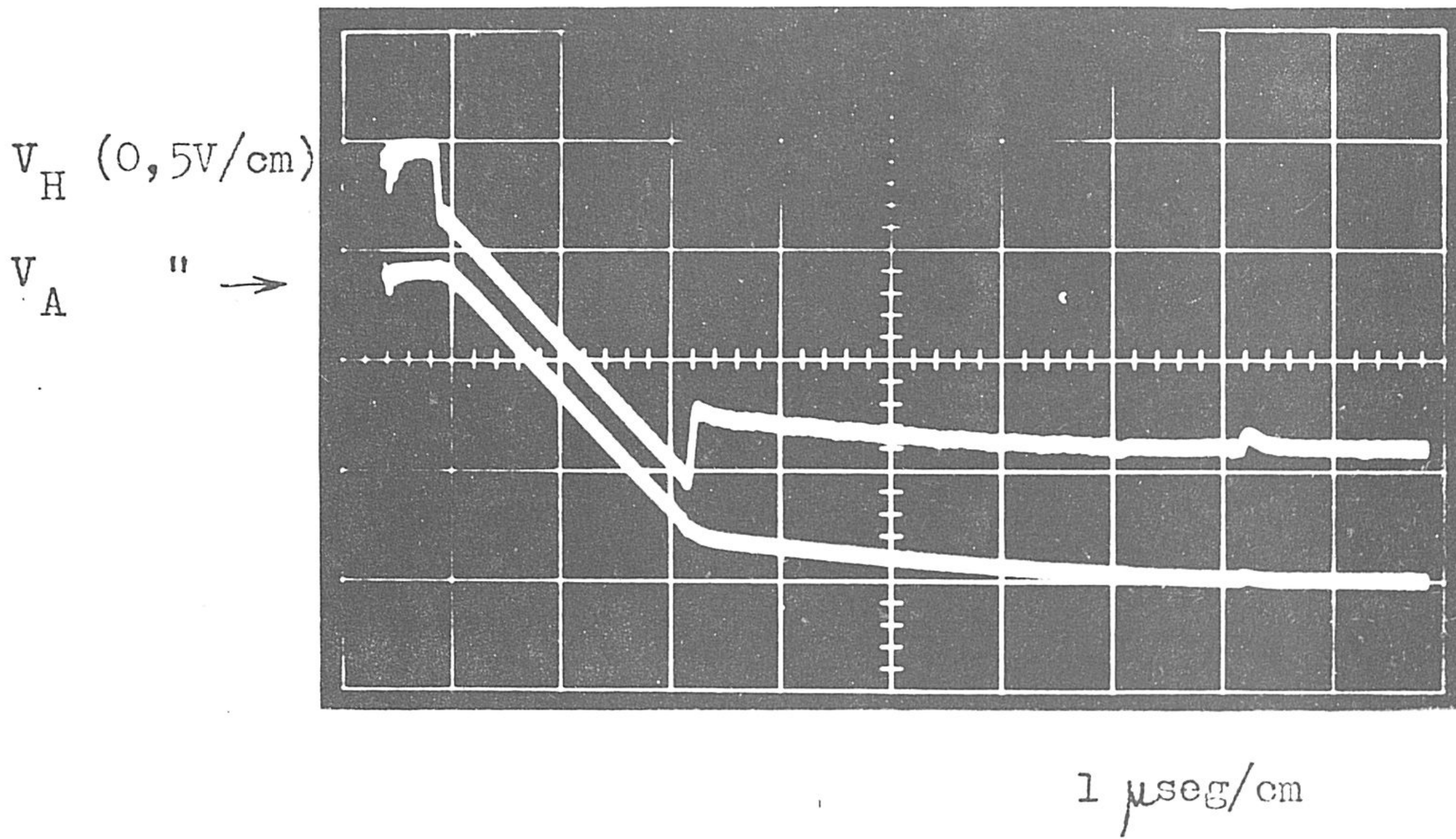
por lo que la tensión en el punto G (o G') sube, quedando cortado el diodo D3 (o el D4) y, por tanto, interrumpida la corriente de descarga de C por el circuito correspondiente. Pero si T5 (o T5') está cortado, no puede fluir corriente alguna - al punto G (o al G') que no sea la procedente de D3 (o D4), y no se alteran las condiciones de la descarga cuando esta se - efectúa. Las entradas J y K reciben señales directamente de - sendos circuitos biestables integrados; cuando son positivas, los transistores T5 y T6 (o los T5' y T6') conducen, a lo que corresponden puertas cerradas. Ambos transistores están auto- polarizados, para fijar de modo más estable el valor de la corriente en T5 y T5', siendo las resistencias R8, R9, R10, R11, R12, R13, las que determinan estas corrientes. Se previene , además, que las tensiones de base de T5 y T5' no puedan que-- dar por debajo del máximo valor que pueda encontrarse en los puntos G y G'. Los diodos D5 y D6, de elevada resistencia inversa, evitan toda posibilidad de descarga de C por otro conducto que el asignado.

D7 y D8 son diodos de retención que limitan la ex-cursión de la señal en H y H', puesto que su tendencia sería llevar el transistor T5 (o T5') a saturación, ya que su carga de colector es una fuente de corriente constante inferior a la que suministran estos transistores. Por una parte, es impor--

tante evitar el estado de saturación para conseguir tiempos de conmutación rápidos. Pero, por otra, las tensiones de los puntos H y H' se mantienen mediante los diodos a la tensión de M, punto que, a través del par Darlington T7 y T8, permanece a unos 0'5 volt. por encima de la tensión de A; esto tiene la ventaja de que las transiciones de T5 y T5', para abrir o cerrar los circuitos de descarga, tienen lugar siempre con un mismo salto de tensión a través de D5 y D6, independientemente del instante en que se produzcan con relación a la curva de descarga; esto iguala las pequeñas cargas que puedan pasar a C a través de la capacidad parásita de los diodos D3 y D4, los cuales se han escogido de un tipo apto para operaciones de conmutación rápida y, por tanto, de muy pequeña capacidad. La tensión del punto de entrada N, que ha de guardar una diferencia constante con la del punto A, se obtiene de los amplificadores diferenciales, en los que existe información de los niveles de tensión en los puntos A y B, mediante una operación tipo "bootstrap" (Ref. 31).

El oscilograma nº 4 muestra este seguimiento para la tensión del punto H, (V_H) respecto a la de A (V_A). Se observa el salto en V_H , de unos 0,3 voltios entre los dos estados de la puerta, que está abierta cuando la descarga es rápida, y cerrada si es lenta. Puede observarse que los tiempos de con

mutación son muy pequeños, del orden de 40 nseg.



Oscilograma nº 4

III.b-3.- Discusión numérica de las características de funcionamiento y componentes

El circuito admite señales de entrada desde 0 a 30 voltios con T1 y T1' del tipo BC 149 o desde 0 a 50 voltios.

con los BC 147. Se han utilizado los primeros.

Las corrientes de descarga pueden ajustarse desde 0 a 100 mA o más, cuidando, en casos extremos, de no sobrepasar los límites de potencia disipada en T1, T1', T2 y T2'; especialmente los primeros limitan por esta razón la corriente a unos 50 mA como máximo, dado que sus colectores se mantienen a una tensión de reposos de unos 4 voltios, suministrada por la salida del amplificador. De todos modos, no es previsible la necesidad de sobrepasar los 5 mA, pues, si interesan descargas más rápidas, es preferible disminuir la capacidad C. En cuanto al límite inferior, no es conveniente bajar de 0,05 mA, pues a estos valores la relación ($\Delta I/I$) aumenta sensiblemente.

El circuito se ha diseñado con una polarización de emisor común a T2 y T2', lo que permite efectuar el ajuste fino de las corrientes de descarga con R5 sin afectar a la relación de intensidades; pero esta, que debe ser exacta dentro del 0,1% (ver Ec. II-23) no tolera variaciones excesivas en las corrientes manipulando R5. Por ejemplo, si de este modo hacemos variar las corrientes en un factor de 2, a partir de 1 y 10 mA, de acuerdo con las características del transistor, varía V_{BE} en unos 20 y 25mV, respectivamente; la diferencia, de 5 mV, altera la relación de intensidades -

en un porcentaje igual a $5 \text{ mV} / V_{E3}$ inicial, por lo que V_{E3} inicial debe ser de 5 volt, por lo menos, para no alterar la citada relación en más del 0,1%. Parece suficiente, pues, hacer $R6 = R4 + R5$. La resistencia fija $R4$ tiene por objeto evitar que los emisores de $T1$ y $T1'$ trabajen en la zona de saturación de colector de $T2$ y $T2'$; basta para ello asegurar un intervalo de un par de voltios entre la tensión de F y masa. Siendo $-V_{EE} = 34$ volt, resulta un margen de variación para las caídas de tensión en las resistencias de emisor comprendido entre el 50 y el 95% de $-V_{EE}$.

La intensidad en cada circuito de corriente constante depende, además del valor de la polarización de emisor, de la resistencia de este; estas son $R1$ y $(R2 + R3)$; la última es variable para ajustar la relación de intensidades. Este ajuste debe ser sensible y estable, para lo que adoptamos el criterio de que $R3$ no sea superior a un 2% de $R2$; para ello es necesario utilizar para $R1$ y $R2$ componentes de una tolerancia del 0,5%, o efectuar una selección previa entre componentes de mayor tolerancia.

Otra cuestión de interés es analizar las fugas de corriente que pueden concurrir en el proceso de descarga del condensador C . Las posibilidades de fuga son las siguientes: A través del diodo de carga $D1$, que queda inversamente polarizado una vez que el impulso de entrada ha rebasado el va-

lor de pico. Esta corriente es del orden de 10^{-8} A , y además suele ser constante con la tensión. Téngase en cuenta que to dos los diodos del circuito son de silicio.

A través del dieléctrico del propio condensador. - Esto exige una elección cuidadosa del mismo, no sólo por es ta razón, sino por otras tales como estabilidad por derivas_ y coeficiente de temperatura. El condensador elegido, por lo que ahora concierne, presenta una resistencia de aislamiento superior a 10^4 M Ω , (Ref. 47) mucho mayor que la dinámica de los circuitos de descarga. Este componente admite elevadas - tolerancias, ya que se dispone de R5 para efectuar el ajuste de corrientes.

Los diodos D3 y D4 representan una posibilidad de fugas en sentido contrario al anterior, es decir, aumentando la carga contenida en C. Esta situación se presenta cuando - los circuitos de corriente constante están cortados, pero, co mo en el caso anterior, pueden despreciarse estas fugas, por la elevada resistencia inversa de los diodos de silicio; en este sentido , es admisible hasta una corriente de unos $30 \cdot 10^{-9}$ amp. Las mismas consideraciones pueden hacerse respecto de los diodos D7 y D8, los cuales aportarán una corriente a través de su resistencia inversa al circuito de descarga_ (cuando no está cortado), corriente que ha de restarse a la procedente de C a través de D3 o D4

través de D5 y D6, ya que el punto M debe estar situado a un nivel de tensión siempre por encima de los puntos G y G', - Los puntos H y H' están a una tensión prácticamente "flotante" cuando las puertas correspondientes están abiertas, ya - que en este caso, no puede fluir corriente hacia los mismos.

Obsérvese, además, que todas las fugas de corriente a través de diodos inversamente polarizados tienen lugar bajo tensiones de polarización constantes, cuyo valor depende de la diferencia de potencial constante que se mantenga entre A y M. La excepción la constituye el diodo de carga D1, que ha de soportar una tensión inversa, en el transcurso de cada descarga, variable entre el valor de pico del impulso y cero.

Queda por considerar la corriente de corte de colector de los transistores T5 y T5'. Estos han de ser indispensablemente de silicio, para minimizar esta corriente; además, se han diseñado con resistencias de base que aseguran un corte más radical de los mismos. En estas condiciones, y para - el tipo de transistor empleado, la corriente de corte de colector es del orden de 10 nA (Ref. 33).

El diodo D2 se ha incluido para que la diferencia de potencial entre A y B esté compensada térmicamente por lo

que respecta a la caída de tensión directa a través de D_1 . - Es evidente que los dos diodos deben ser iguales y es conveniente, además, que por ambos circule la misma corriente en condiciones de reposo, es decir, estando abierto el circuito de descarga lento. Téngase en cuenta que toda la información referente al proceso de descarga se va a obtener a partir de los puntos A y B, mediante transistores de efecto de campo - (se consideran en la Sec. III.b-4), y la diferencia de potencial estacionaria entre ambos ha de ser tan estable como sea posible.

Componentes

Determinamos a continuación los valores numéricos de los componentes de interés utilizados. Partimos para ello de las siguientes condiciones generales:

Amplitud máxima de impulsos, $V_{om} = 12$ voltios.

Frecuencia del oscilador, 2 Mc/seg.

Nº de canales, 400.

El tiempo máximo de conversión es para descarga lenta $t_{fm} = 200$ μ seg.

Con ello, nos queda una relación entre la corriente de descarga lenta I_2 y la capacidad C:

$$I_2 = C \frac{V_{om}}{t_{fm}} = k_2 \cdot C ; k_2 = 60 \frac{\text{mV}}{\mu\text{seg}} \quad (\text{III-6})$$

En principio se puede elegir arbitrariamente una de las dos variables aún no determinadas en (III-6). Sin embargo, existen ciertas limitaciones prácticas. Por una parte, la capacidad de C no puede ser tan grande como se desee, ya que el condensador debe ser cargado en el menor tiempo posible; con una corriente máxima de emisor de 1 amp. en T1, C no debe pasar de unos pocos nanofaradios para obtener un tiempo de elevación del orden de 10^{-7} seg. Por otro lado, I_2 no debe ser inferior a unos 0,05 mA para mantener una linealidad adecuada en el conversor. Entre estas limitaciones, se ha adoptado la siguiente solución de compromiso:

$$C = 1.500 \text{ pF}; \quad I_2 = 0,09 \text{ mA}; \quad (\text{III-7})$$

y $I_1 = 9 \cdot I_2 = 0,81 \text{ mA}$, ya que la descarga rápida se lleva a cabo a través de los dos circuitos de corriente constante simultáneamente.

Para calcular los valores apropiados de las resistencias R1, R2 y R3, supongamos que el divisor de tensión mantiene una postura media, siendo $V_{E1} = 25$ voltios. Entonces,

$$R_1 = \frac{25}{0,81} \approx 30,9 \text{ K}\Omega; \quad \text{y } R_2 + R_3 = \frac{25 + 0,07}{0,09} = 279 \text{ K}\Omega \quad (\text{III-8})$$

en donde la adición de 0'07 volt. se debe a la distinta V_{BE}

de los dos transistores. Si $R_3 = 0,02 R_2$, como se indicó,

$$R_3 \approx 5,0 \text{ K} \Omega \quad \text{y} \quad R_2 = 279 - 5,0/2 \approx 277 \text{ K} \Omega \quad (\text{III-9})$$

habiéndose redondeado todas las cifras a valores standarizados comercialmente, pertenecientes a la Serie E192, con una tolerancia del 0,5%. (Ref. 47).

La resistencia de emisor de T1, R0 debe elegirse de modo que la corriente estacionaria que pase por ella sea precisamente igual a I_2 , aunque esto no precisa exactitud. La tensión de reposo del punto B es de unos 4 voltios (ver esquema del circuito amplificador, Fig. III-1) ya que deben restarse las tensiones base-emisor de los transistores implicados y la de D1, a la alimentación de 6 volt. Se deduce que $R_0 = 4/0,09 \approx 4,7 \text{ K} \Omega$. (valor comercial para una tolerancia del 5%).

Las resistencias R8, R9, R12 y R13 no ofrecen problema; únicamente se ha tenido en cuenta que las de colector no tengan valores altos para una operación rápida de las puertas, y que las caídas de tensión en las resistencias de base, cuando los transistores conducen, sean de unos 3 voltios. R10 y R11 deben determinarse de manera que los transistores T5

y T5', en estado de conducción, aporten corrientes algo superiores a las de los correspondientes circuitos de descarga. Por la estabilidad de los circuitos puerta, parece suficiente margen de seguridad hacer estas corrientes superiores a I_1 e I_2 en un 50%; esto es suficiente también para una manipulación libre del potenciómetro de ajuste de intensidades, R5. Por tanto, las intensidades de R10 y R11, en estado de conducción, son 1,2 y 0,14 mA, respectivamente. El valor aproximado de las resistencias es, pues, para una caída de tensión en R9 y R12 de 3 volt.

$$R_{10} = \frac{3 - V_{BE}}{1,26} \approx 2,2 \text{ K}\Omega; \quad R_{11} = 18 \text{ Kohm.}$$

La resistencia R15 determina la intensidad de T3. La compensación térmica a realizar por este transistor no depende apreciablemente de su corriente de colector, ya que $\frac{dV_{BE}}{dT}$ es prácticamente independiente de la corriente del transistor. Para mayor estabilidad del divisor de tensión, haremos la intensidad de T3 del mismo orden que la de T2. Despreciando V_{BE} en T4 y las corrientes de base en T2, T2' y T3, resulta,

$$R_{15} = 24/0,09 \approx 270 \text{ K}\Omega \quad (\text{III-10})$$

Estabilidad

Consideremos ahora la estabilidad del circuito en función, principalmente, de la temperatura y de las alimentaciones. En conjunto, es de desear una estabilidad mejor del 0,1% (Sec. II.c-5), por lo que respecta a las corrientes de descarga, para evitar que la relación de intensidades no difiera de su valor nominal en más de este porcentaje. Debe notarse que es mucho más crítica esta relación que el valor de la constante de conversión puesto que esto se corrige en la operación de calibrado.

Por lo que respecta a la temperatura, el divisor de tensión que controla la intensidad de ambas descargas no es muy exigente, ya que pequeñas variaciones en la salida del mismo no influyen en la relación de intensidades, y además, es suficiente con que las tres resistencias que lo constituyen tengan el mismo coeficiente de temperatura. Como se ha visto, la operación de los transistores T2 y T2' está compensada térmicamente mediante T3. Los diodos del circuito no deben tener una repercusión apreciable, ya que sus corrientes inversas son muy inferiores al 0,1% de I_2 , y deben mantenerse así con los cambios de temperatura. La tensión de reposo del punto A no está compensada, pero si lo está respecto a B,

mediante el diodo D2, y esto es lo que interesa, dado el modo de operación de los amplificadores diferenciales, cuyas entradas provienen precisamente de los puntos A y B. El resto de los componentes no puede tener repercusión alguna, a excep--ción de los elementos clave, que son C, R1, R2, R3, T1 y T1', que analizamos con más detalle a continuación.

El condensador C no puede, evidentemente, influir en la relación de intensidades. Se ha elegido del tipo 2222 755, (Philips) con dieléctrico de mica (Ref. 47). Su coefi--ciente de temperatura es menor de $50 \cdot 10^{-6}/^{\circ}\text{C}$. Para un margen de temperatura de 40°C , es $\Delta C/C$ del 0,2%, lo que es suficiente. De este mismo orden son las derivas en el valor de la capacidad por otras causas.

Las resistencias R1, R2 y R3 pueden influir, por - falta de estabilidad, en la relación de intensidades, aunque sus variaciones deben ser semejantes. Las elegidas en el circuito (Ver lista de componentes) tienen un coeficiente de temperatura inferior a $+25 \cdot 10^{-6}/^{\circ}\text{C}^{-1}$, lo que representa un cambio relativo $\Delta R/R \leq 0,1\%$ para una variación total de temperatura de 40°C . La deriva máxima prevista es del orden de 0,075% despues de 1000 horas de funcionamiento, incluso a la temperatura de unos 80°C .

Los transistores T1 y T1' pueden variar las corrientes de descarga con la temperatura del siguiente modo: el valor estacionario, en cada caso, es la corriente de colector, y, por tanto, igual a la de emisor (que suponemos invariable) menos la de base; esta última es $I_b = \frac{I_c}{h_{FE}} \approx \frac{I_e}{h_{FE}}$. Si, como ocurre en realidad, h_{FE} depende de la temperatura, también dependerá $I_c \approx I_e \cdot \left(1 - \frac{1}{h_{FE}}\right)$. De las curvas características de estos transistores se deduce que, entre 0 y 40°C, - las variaciones en la corriente de base, para una corriente de colector de 0,1 y 1mA, son, aproximada y respectivamente, de 0,12 y 1 μ A. Esto supone una variación relativa $\Delta I/I$, para ese intervalo de temperatura, de 0,12 y 0,1%. En ese sentido, el transistor se comporta mejor cuando la corriente de colector es elevada. Aunque las variaciones calculadas están en el límite de lo tolerable, ambas ocurren en el mismo sentido, por lo que la influencia que puedan tener sobre la relación de intensidades debe ser mucho menor.

De la observación del esquema del circuito, se deduce claramente que la alimentación positiva de +24 voltios no tiene ninguna influencia en la estabilidad del conversor, por lo que esta fuente de alimentación no precisa ser estabilizada, como ocurría en el circuito amplificador, En cambio,

la alimentación negativa de emisores, $-V_{EE}$ si debe ser altamente estabilizada respecto a la tensión de entrada y a la temperatura (no es necesario respecto a la carga, pues ha de trabajar a carga constante). El problema se ha resuelto con un estabilizador de tensión integrado, el TAA 550, de Miniwatt, (Ref. 46) que tiene un coeficiente de temperatura típico de $0,13 \text{ mV}/^{\circ}\text{C}$ y una resistencia dinámica de 10 ohmios. Para un intervalo de temperaturas de 40°C (V nominal, 34 volt) resulta una estabilidad térmica del orden de $5/3 \cdot 10^{-4}$, lo que es más que suficiente. Vamos a analizar la regulación respecto a la entrada, con ayuda del circuito de estabilización, indicado en la Fig. III-10. La corriente de carga, su

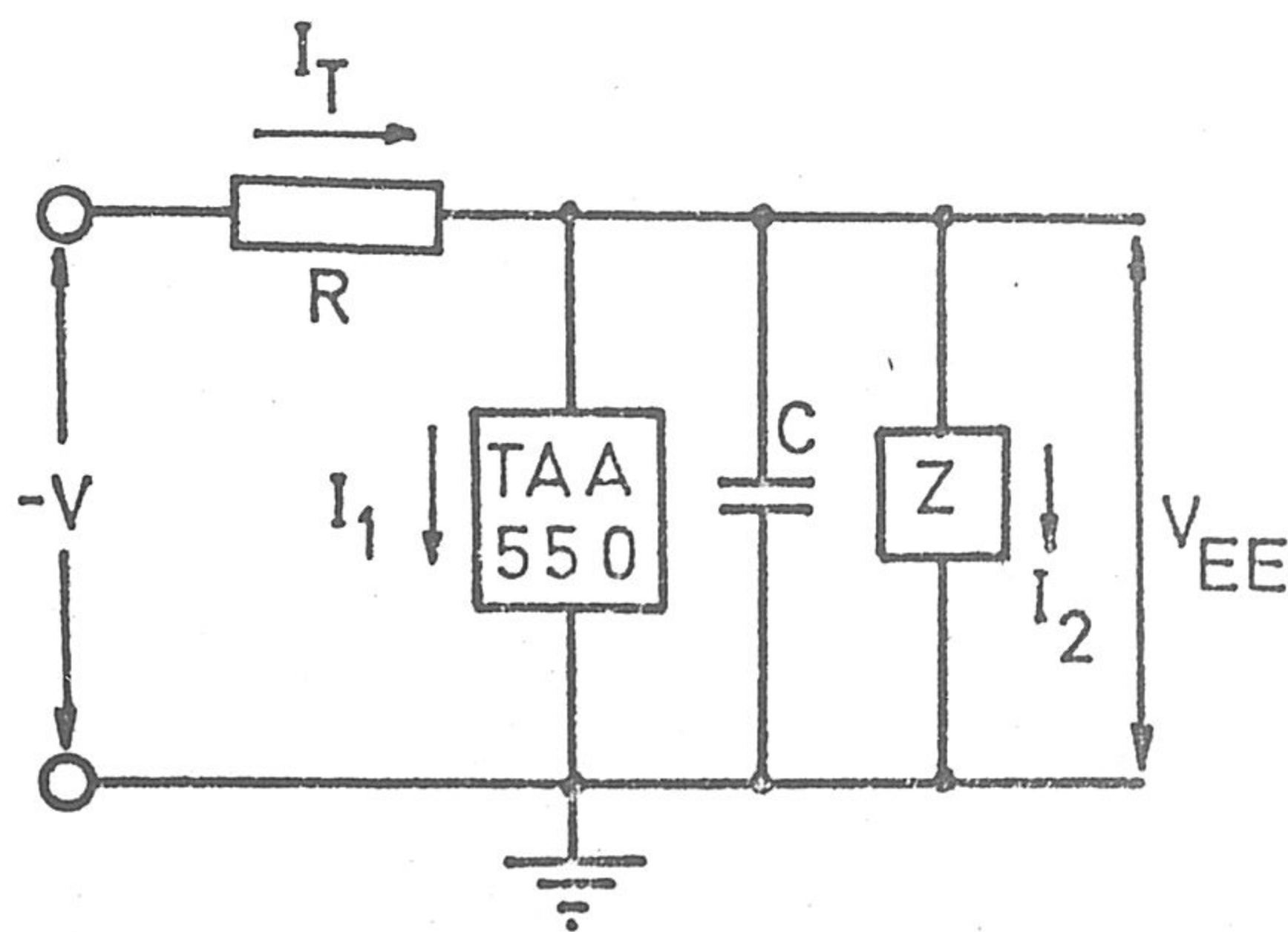


Fig. III - 10

ma de las que circulan por T2, T2', T3 y el divisor de tensión, vale, aproximadamente, 3,5 mA. El valor óptimo de I_1 es de 5mA, así que $I_{T1} = 8,5$ mA. Suponiendo una entrada $V = 2 \cdot V_{EE}$, $R = 4 \text{ K}\Omega$, e imponiendo una estabilidad del 0,1%, entonces $\Delta V_{EE} = 34$ mV, $\Delta I_1 = \Delta V_{EE} / r_d = 3,4$ mA, es decir, se tolera una variación en la entrada $\Delta V = R \cdot \Delta I_1 = 13,6$ voltios, lo que representa un cambio relativo de un 20%.

Podemos indicar como resultado de las anteriores consideraciones, que la estabilidad de la relación de intensidades es mejor del 0,1%, siendo algo inferior, del orden del 0,2%, la estabilidad en el valor de cada corriente individual, o sea, en la constante de conversión del espectrómetro. Estas condiciones están de acuerdo con la linealidad exigida, tal como se vió en las Sec. II.c-3 y II.c-4.

III.b-4.- Amplificadores diferenciales

Estos son los circuitos que, al recibir información analógica sobre la marcha del proceso de conversión, suministran las señales adecuadas, para regular la propia conversión, y para obtener finalmente la representación digital de la amplitud del impulso. Respecto a los mismos, cabe hacer, a apriori, las siguientes consideraciones de proyecto:

Las entradas están constituidas por las tensiones - de los puntos A y B de la Fig. III-9, aunque proporcionadas - por transistores FET (como se verá enseguida). Esto ocasiona una adición $\pm \Delta V$ constante, pero regulable; son por lo tanto, reproducciones del impulso de entrada y de la curva de descarga, más o menos desplazadas a lo largo del eje de tensiones . Esto quiere decir que el circuito ha de admitir tensiones de entrada dentro de un margen igual a la máxima amplitud de impulsos.

Las salidas, puesto que han de accionar circuitos - biestables integrados, deben estar constituidas por los niveles lógicos "1" (+6 volt), y "0" (cero voltios). No deben aparecer señales de salida intermedias, lo que requiere una elevada sensibilidad (ganancia), no utilizando realimentación positiva, que introduce histéresis difíciles de controlar. Ade

más, deben presentar la mínima histéresis posible, así como - el menor retardo entre el momento en que se igualan las entradas y la aparición de las señales de salida.

La operación de los amplificadores y, en particular, las transiciones que realice, no deben producir reacción en - las entradas, de modo que estas no sufran distorsión a causade la impedancia, variable, acoplada a la fuente de la señal.

Además, las transiciones deben tener una duración mucho menor que el período del oscilador, ya que determinan instantes que deben quedar muy bien definidos. En particular interesa esto porque un tiempo de conversión mal definido acarrrea una incertidumbre en el número de canal que corresponde a una amplitud dada, con la consiguiente pérdida de resolución en el espectro. Por todo esto es necesario que sean muy pequeños los tiempos de subida y de caída de las etapas finales de estos amplificadores diferenciales.

Teniendo en cuenta que el punto A citado, de donde ha de obtenerse una de las señales de cada amplificador, no ha de cargarse en absoluto, se intercala un transistor de efecto de campo como paso de entrada; esto se hace para las dos entradas con fines de compensación.

Circuitos de entrada

Exponemos, en primer lugar, estos circuitos de acoplamiento, con transistores de efecto de campo, dispuestos como seguidores de fuente, como se indica en la Fig. III-11. Se

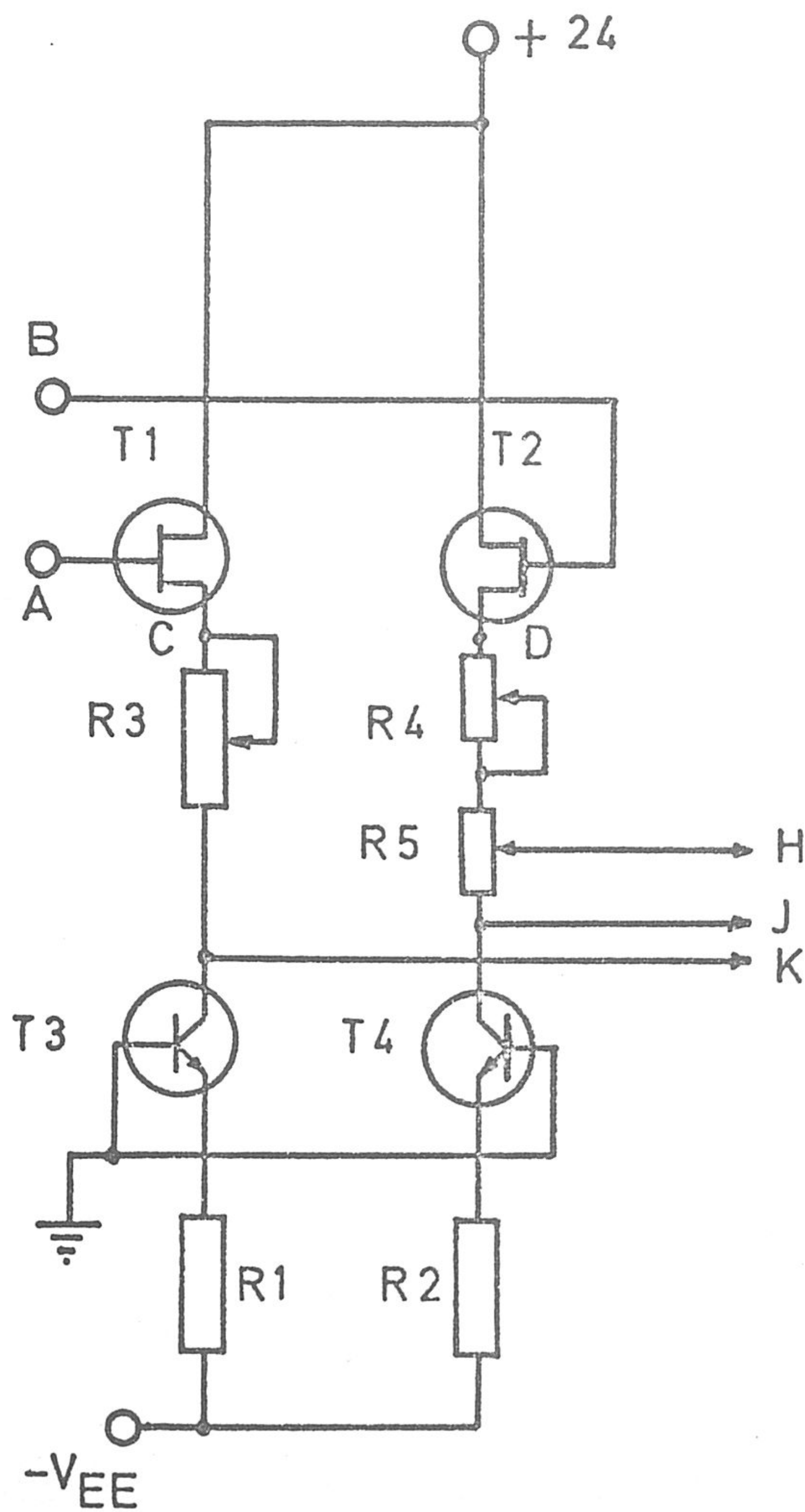


Fig. III - 11

han dispuesto los transistores T3 y T4 con polarización de emisor, $-V_{EE}$, como fuentes de corriente constante, del tipo indicado en la Fig. III-4. Esto determina valores constantes de las tensiones puerta-fuente, y la ganancia de los seguidores de fuente es igual a la unidad. Las caídas de tensión a través de R3, R4 y R5 son, asimismo constantes, y la posición de los potenciómetros sirve entonces, para establecer los valores de reposo más adecuados en las salidas.

Las entradas de esta etapa de acoplamiento, A y B, están conectadas a los puntos de igual denominación en la Fig. III-9, con una admitancia despreciable. Para aclarar mejor las posibilidades de ajuste de este circuito, se indica en la Fig. III-12, (a), las entradas V_A y V_B . En la parte (b) se indican las salidas, V_H , V_J y V_K . Se ha supuesto en este diagrama que las corrientes de fuente de los dos transistores, determinadas por R1 y R2, son iguales, y que, en estas condiciones, V_{GS} es la misma para ambos; por esto, V_C y V_D son, entre sí, como V_A y V_B , y no se han indicado en el esquema. La tensión de reposo V_K depende de R3, mientras que las de V_H y V_J , de R4 y R5. Los puntos de cruce t_p y t_f entre la primera y cada una de las segundas serán detectados por los amplificadores respectivos, los que, supuestos perfectos, darán señales de salida como las in

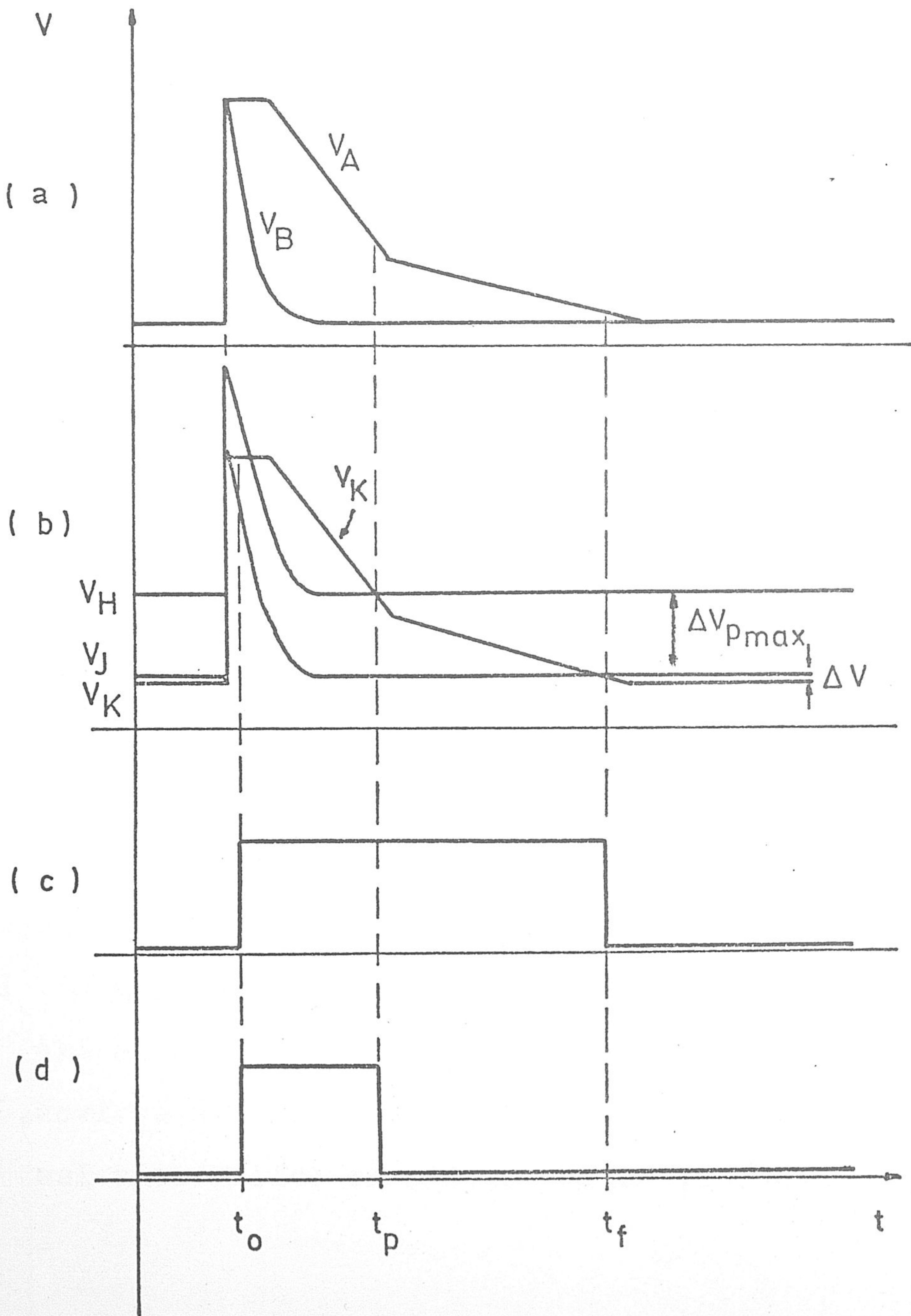


Fig. III - 12

dicadas en la parte (c) y (d). La primera de ellas sirve para establecer el tiempo total de conversión, y la segunda indica, con sus dos flancos, a partir de cuando debe efectuarse la transición de un régimen de descarga a otro (Cap. II). Se desprende de la figura que, $V_H - V_K = \Delta V_p \text{ máx}$, y se ajusta con R5; $V_J - V_K = \Delta V$, que es la tensión residual en el condensador (ver Fig. II-14), puede ajustarse, en principio, sólo con R3; sin embargo, se incluye R4 y se hace R3 más alta del valor teóricamente necesario, para corregir las diferencias que pueden presentar los transistores individuales montados en el circuito, por ser alta la tolerancia que presentan en el valor de V_{GS} para una I_S dada. Pero en cualquier caso puede efectuarse el ajuste apropiado manteniendo uno de los dos resistencias en el valor cero.

Para estimar el máximo consumo de corriente que puede hacerse en los puntos H, K y J, analizamos la impedancia de salida de estas etapas; esta impedancia es, en cada caso, y aproximadamente la suma de la resistencia de fuente más la propia del transistor, $(dV_{GS}/dI_S)_{V_{DS}}$; esta última, para el tipo BFW10, y para pequeñas corrientes de drenador, es del orden de $0,5 K \Omega$; para $I_D = 5mA$, se reduce a unos 300Ω (Ref. 45). Las variaciones en las tensiones de salida con los cambios de carga (de corriente, ΔI), serán, en general, $\Delta V = Z \cdot \Delta I$ (Z , im

pedancia de salida), Imponiendo un límite $\Delta V = 3 \text{ mV}$, lo que representa un 10% de la anchura de canal, $\Delta I = 3 \cdot 10^{-3} / Z$; pero una disminución de Z obliga a un aumento en la corriente de fuente, para obtener el mismo margen de ajuste, y esta corriente está limitada por la potencia disipada en el transistor, que trabaja normalmente a $V_{DS} \approx 16 \text{ volt}$. Siendo la máxima potencia de 300 mW, hacemos $I_S = 5 \text{ mA}$. Aceptando una tolerancia en V_{GS} de $\pm 2 \text{ volt}$, deben ser $R3 = R4 + R5 = 400 \Omega$; téngase en cuenta que ΔV no ha de valer en ningún caso más de unos 50 mV. Por otra parte, la posición de $R5$ determina $\Delta V_{p \text{ máx}}$ que, como se expuso en la Sec. II-1, debe ser como mínimo 10 veces la anchura de canal; suponiendo un valor doble de este, es decir, $\Delta V_{p \text{ máx}} = 0,6 \text{ volt}$, $R5 = \frac{0,6}{5} = 120 \Omega$, y $R4 = 400 - 120 = 280 \Omega$. Las impedancias de salida quedan, pues, en $400 + 300 = 700 \Omega$ y la máxima variación de corriente consumida en estos puntos resulta ser de $\Delta I = 4 \mu\text{A}$.

El resultado obtenido puede inducir a pensar que el circuito exige una estabilidad extremada, pero no es así. En primer lugar, el límite de 3 mV impuesto a la mayor variación en la señal de salida, lo es más por lo que atañe a la sensibilidad del amplificador diferencial conjunto que por otras razones. En segundo lugar, variaciones pequeñas en las tensio

nes de trabajo de los terminales de salida no afectan a la linealidad del conversor, que es su cualidad más apreciada, sino al error de cero (para ΔV) y a la posibilidad discutida en la Sec. II.a-1 sobre ΔV_p máx, que puede ser mayor de $10 \cdot \Delta V_o$, sin más influencia que un pequeño tiempo muerto adicional. En tercer lugar, la zona de interés está centrada en un pequeño intervalo de tensiones de unos 0,5 volt. sobre el valor de reposo de V_K , en el cual tienen lugar los cambios de signo en la diferencia que se amplifica. Por último, son indiferentes los valores de reposo de las salidas, pues sólo importan las diferencias entre ellas. Es, pues admisible, toda variación en estos niveles, a condición de que sea la misma en los dos circuitos, bien sea debida a estos o a sus propias entradas (puntos A y B).

En todo caso, los dos circuitos son perfectamente gemelos, salvo diferencias entre componentes individuales. Esto merece cierta consideración por lo que respecta a los coeficientes térmicos. Aunque suelen ser iguales para resistencias del mismo tipo, es más seguro que estas los tengan pequeños. Los transistores trabajan con la misma corriente de drenador, precisamente para asegurar un mismo coeficiente de temperatura de la tensión puerta-fuente. Una mayor seguridad

sólo se puede obtener utilizando un par de transistores compensados térmicamente, como el tipo BFS 21 A, (Ref. 45) en el que el fabricante garantiza un coeficiente de temperatura para la diferencia entre estas tensiones menor de 40 microvolts/ $^{\circ}$ C, lo que supone una variación en las diferencias de salida no mayor de 1,6 mV, para $\Delta T = 40^{\circ}$ C.

La igualdad de corrientes de fuente implica $R_1 = R_2$, aunque esto no exige gran exactitud. Teniendo en cuenta que $-V_{EE}$ es la misma que se utiliza en el circuito de la Fig. III-4 puede hacerse $R_1 = R_2 = 6,8 K\Omega$. Aunque se intercala un seguidor de emisor, para no sobrecargar el estabilizador; ya que no es tan importante la estabilidad de esta alimentación, pues repercute por igual en los dos circuitos.

A pesar de las tolerancias indicadas para este circuito, ΔV debe ser extremadamente estable durante el transcurso de una determinación experimental, pues una falta en este sentido significaría una pérdida de resolución en el espectro obtenido, por desplazamiento de los límites de canal.

Amplificadores

La Fig. III-13 muestra el esquema de uno de los amplificadores diferenciales, a los que se ataca con las salidas H y K, en un caso, y J y K en el otro. Constan de dos eta

pas de amplificación. En la primera se dispone de un circuito de corriente constante, como el de la Fig. III-4, como carga de los emisores, obteniéndose salidas en R2 y R3 de amplitud constante, independientemente de los valores de las seña

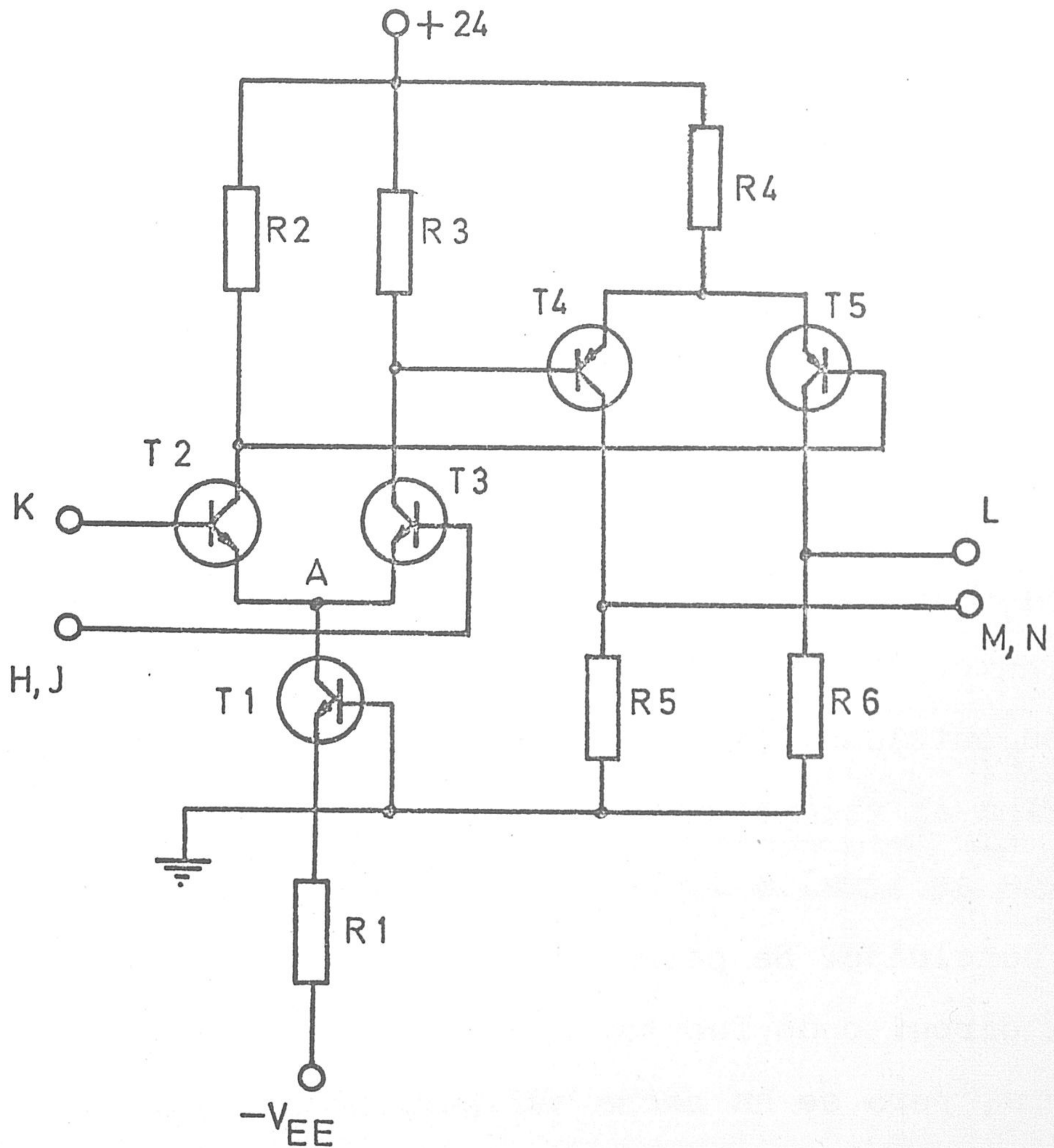


Fig. III - 13

les de entrada; estas salidas vienen determinadas por la corriente de T1 y los valores de R2 y R3, y se ha diseñado de tal manera que las citadas tensiones pueden estar comprendidas entre la alimentación de colector (para transistor cortado), y un valor próximo a este (transistor conduciendo); se evita así la posibilidad de que algún transistor pueda llegar a saturación, a pesar de que la señal de entrada tiene la amplitud de los impulsos que se analizan. Al estar los niveles de salida próximos a la alimentación, la segunda etapa - se dispone con transistores p-n-p (T3 y T4), con la resistencia de emisor R4; las tensiones de salida de esta segunda etapa, L y M ó N, son bajas respecto a masa.

Se utiliza el punto A del esquema para obtener la señal que se necesita en el terminal N de la Fig. III-9. En este punto, la tensión existente en cada caso es la mayor de las dos entradas, utilizándose para ello el amplificador que determina el tiempo total de conversión, pues así la señal obtenida es igual a la curva de descarga, excepto cuando esta ha concluido. Se podría haber obtenido la señal de un punto del circuito de fuente cuya entrada es la propia curva de descarga, pero se ha hecho así para no sobrecargar aquél.

Se han utilizado resistencias de colector de pequeño valor, y transistores de alta frecuencia, que no trabajan nunca en saturación; así los tiempos de conmutación son pequeños, y puede decirse que las dos señales de salida en cada amplificador son recíprocas entre sí, pero aún no aptas, por su amplitud e impedancia de salida, para accionar los circuitos biestables. Para ello se añaden las etapas finales, distintas una de otra, cuyo esquema damos en la Fig. III-14, partes (a) y (b).

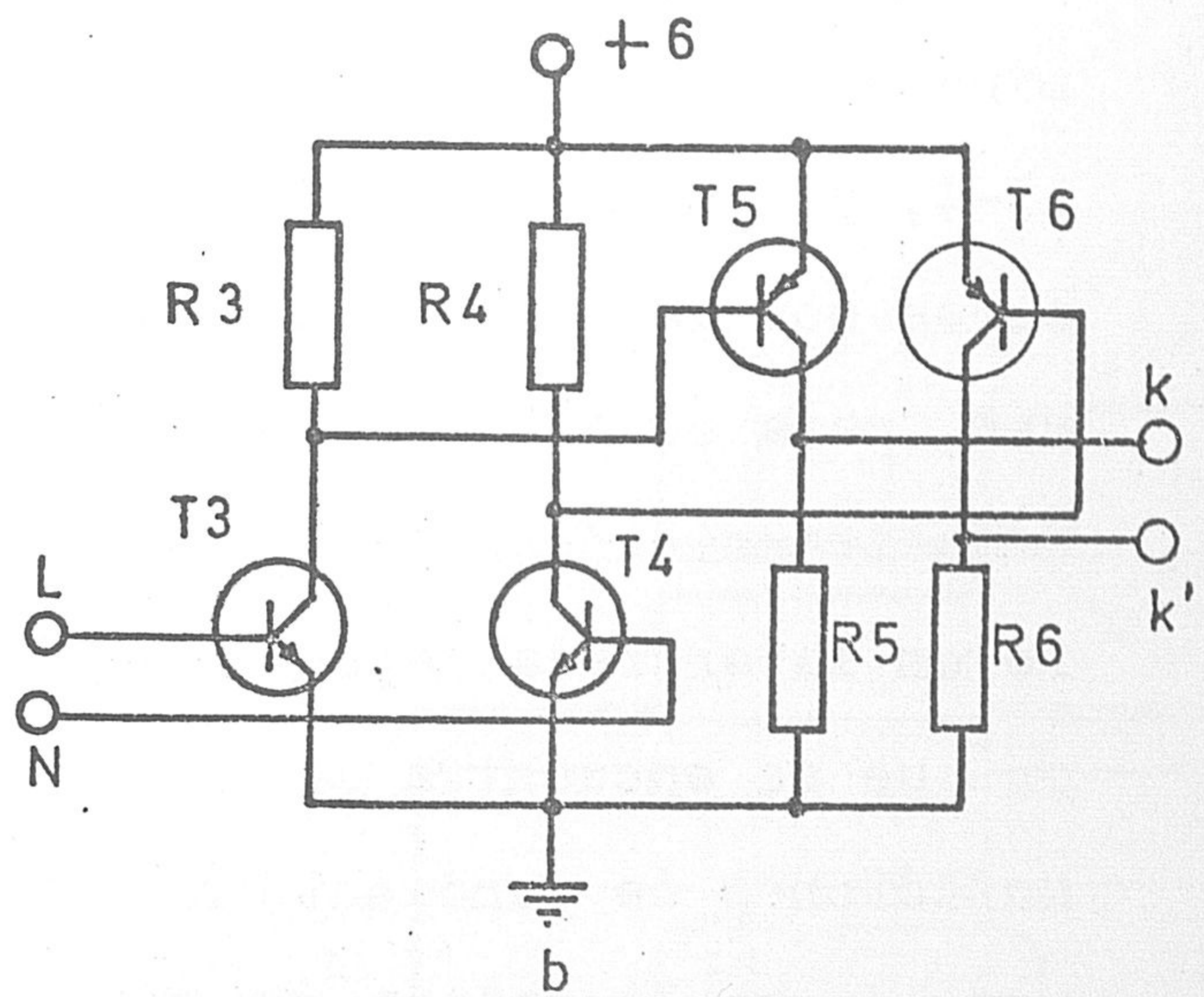
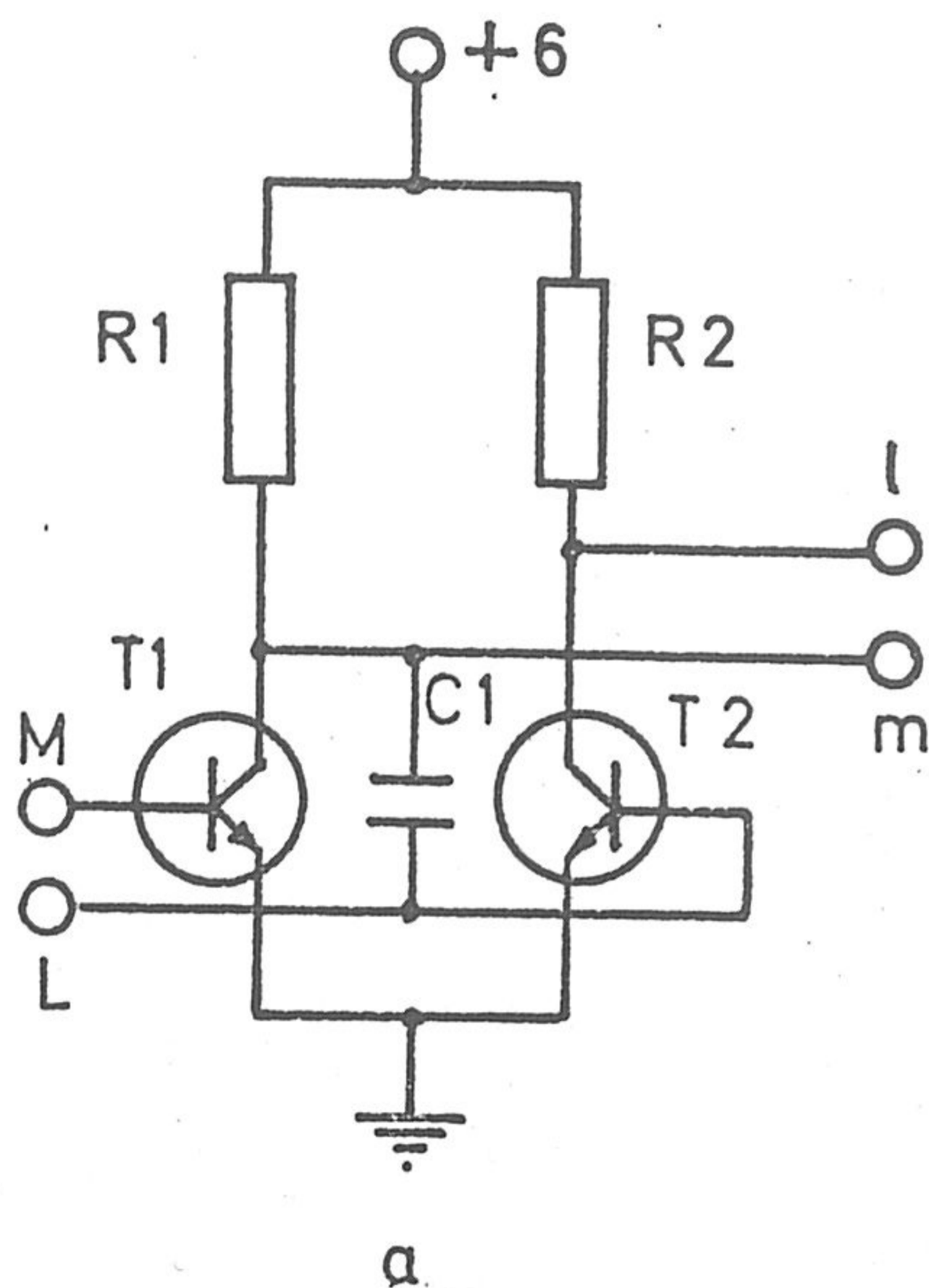


Fig. III - 14

En ambos circuitos, la alimentación es de +6 volt, y los transistores de salida realizan transiciones entre corte y saturación. En estas condiciones, al no ser iguales los tiempos de elevación y de caída (este es mayor por el almacenamiento de carga en el colector en estado de saturación), la transición de ambos transistores no es simultánea, y vamos a estudiar por separado las implicaciones que tiene el distinto retardo con que se produce las dos salidas complementarias.

El circuito de la parte (a) está conectado a un amplificador con las entradas J y K, determinando, por lo tanto, el tiempo total de la conversión; sus salidas son los terminales "l" y "m" en el esquema general de bloques de la Fig. II-4, y disparan asimétricamente los binarios FF1, FF2 y FF3; estos son del tipo "master-slave" FCJ 111 (Ref. 46) que requieren, para esta forma de disparo, impulsos de flanco negativo, Cada transición se realiza al recibirse un impulso de disparo en la entrada apropiada, independientemente del estado en que se encuentra la otra. Interesa, por tanto, que las conmutaciones de pendiente negativa sean las de menor retardo , por lo que la salida se dispone con transistores del tipo n-p-n, en los que la transición efectiva corresponde al paso del corte a la saturación. En la Fig. III-15 (a) se puede ver

la correspondencia entre las señales de entrada y las de salida; y aunque los cambios de flanco positivo son inactivos, no pueden presentarse con retardos cualesquiera. Especialmente, la señal que corresponde al punto "l", puesto que su bajada determina el final de la conversión, debe presentar un retardo en la subida inferior a $0,5 \mu\text{seg}$, es decir, menor que el tiempo de conversión para un impulso del canal nº 1; para que el retardo no supere este valor, se incluye un pequeño condensador acelerador, C1, en el circuito de la Fig. III-13, que disminuye el tiempo de subida de T2, sin aumentar apreciablemente el de bajada de T1. La salida de "m" es

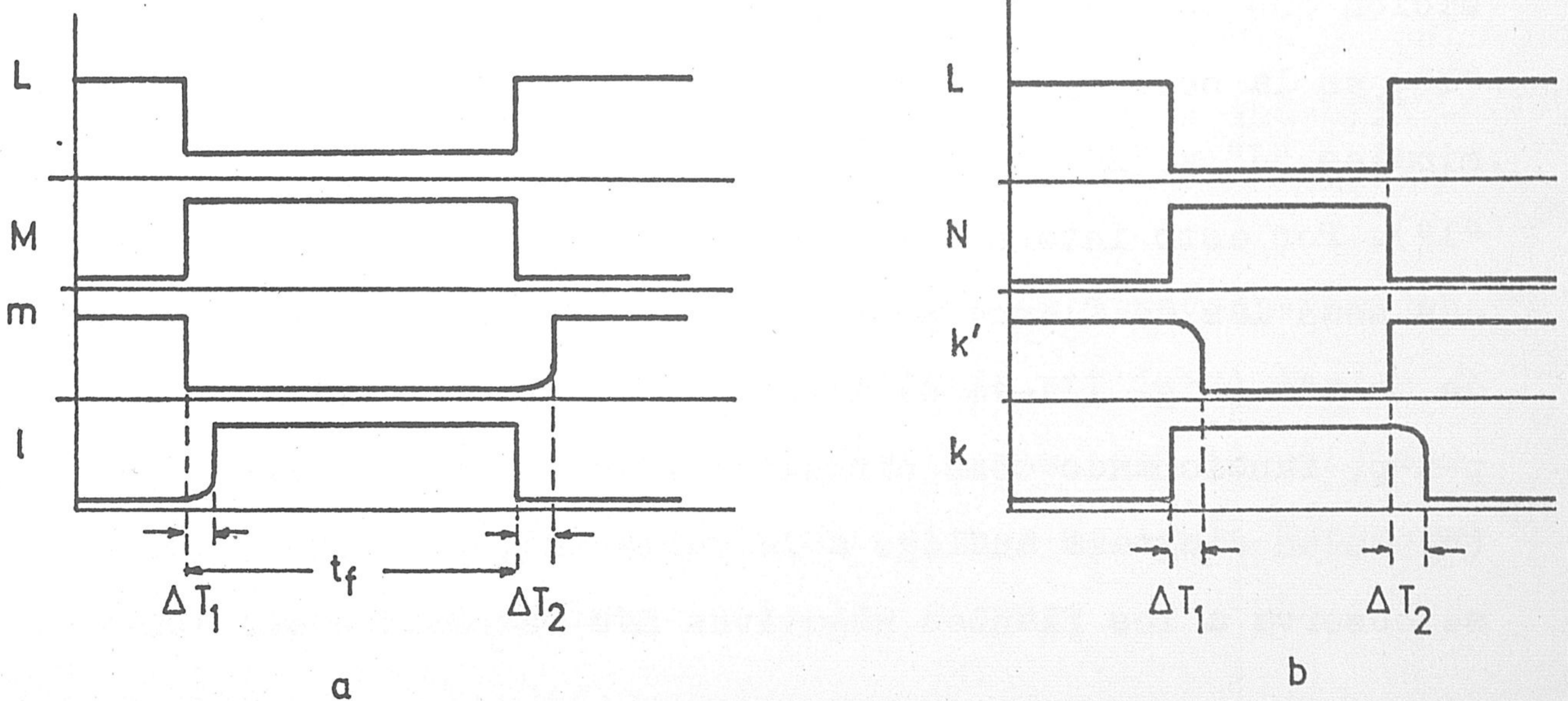


Fig. III - 15

menos exigente, pues acabado el proceso de conversión, el -
circuito debe esperar, al menos, a que se realice el ciclo_
de memoria, antes de realizar una nueva serie de transicio-
nes, disponiendo entonces para su recuperación de unos 5
 μ seg.

No valen las mismas consideraciones para el circui-
to de salida de la parte (b), cuyas señales corresponden a
las de los puntos "k" y "k'" en el esquema general de blo-
qus; estas actúan exclusivamente sobre el binario FF6 de -
aquel esquema, pero no disparándolo, sino condicionándolo;;
para ello es más adecuado el tipo FCJ 101 también "master-
slave", que no dispone de entradas para disparo asimétrico.
Según la Tabla de certeza de este último (Ref. 46), la tran-
sición que se realiza con señales de disparo en su entrada_
"T", es la seleccionada por los niveles positivos en los ter-
minales "J" y "K", previamente establecidos (niveles lógicos
"1"). Por esto interesa ahora que las transiciones más rápi-
das sean las de flanco positivo, para lo cual el circuito -
de salida (Fig. III-14 b) termina en un par de transistores
p-n-p, funcionando como circuitos inversores. La Fig. III-15
(b) es un diagrama análogo a la parte (a), pero en el que -
se observa a los flancos negativos más retrasados que los -

positivos. El retardo de una salida respecto a otra, como antes, tiene también sus limitaciones. Recordemos que la misión de este circuito es determinar cuando debe iniciarse la descarga con pendiente elevada y, en caso afirmativo, a partir de qué instante debe cambiarse el régimen de descarga. Para impulsos que hayan de ser alojados entre los canales 10 y 20, la duración de la descarga rápida es de 0,5 μ seg, correspondiente a un sólo impulso reloj. Este es, pues, el máximo retardo ΔT_1 que puede presentar el flanco negativo de "k'" respecto al positivo de "k". Pero es también el máximo retardo ΔT_2 , pues una vez conmutado FF6 para descarga lenta, el impulso siguiente (0,5 microseg. después) debe encontrar en "0" el nivel de "k", pues estando los dos electrodos de condición en el nivel "1", el biestable conmuta al recibir una señal en T. En resumen, aparecería un peldaño en la curva de descarga, por la reanudación indebida del régimen rápido.

Aunque se ha expuesto el modo de aprovechar mejor los distintos retardos en las señales de salida de los amplificadores, hay que contar, de todas formas, con la existencia de cierto retardo en las transiciones activas. Exponemos a continuación la influencia de los mismos.

En la Fig. III-16 se indica el efecto de los retardos para el amplificador que determina el tiempo total de descarga. En el comienzo de la conversión, el retardo ΔT_1 perjudica, únicamente, por el aumento del tiempo en que está abierta la puerta lineal, lo que eleva la probabi-

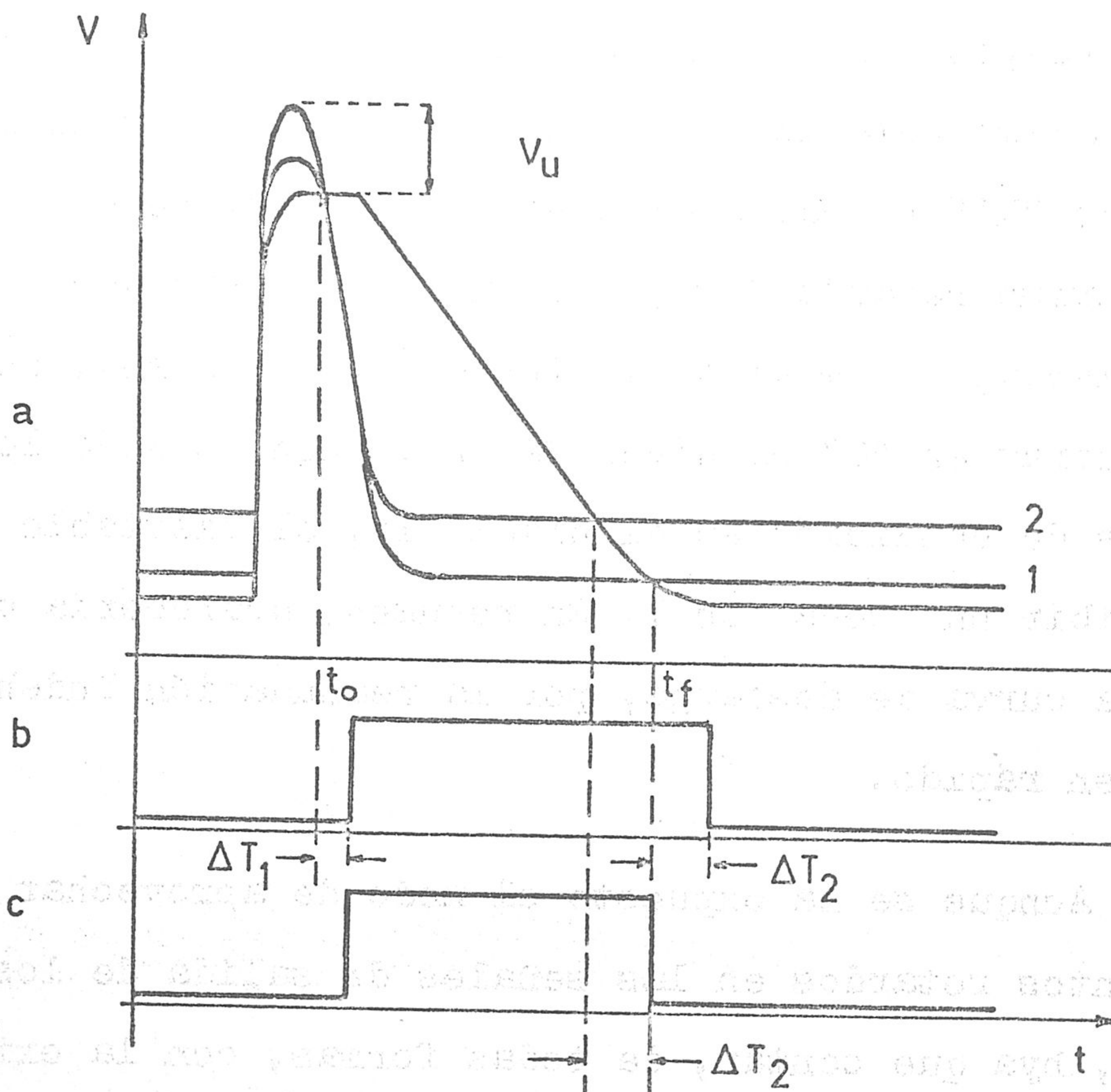


Fig. III - 16

lidad de apilonamiento de impulsos; el hecho de retrasar to do el proceso de conversión no tiene importancia pues, mien tras tanto, está cortado el circuito de descarga, y se man tiene la amplitud del impulso. El retardo ΔT_2 , como se in dicó, aumenta el tiempo de conversión por sí sólo e indepen dientemente de ΔT_1 . Se puede corregir elevando el nivel de trabajo de la entrada H, (de la curva 1 a las 2), hasta que el punto de cruce quede anticipado un tiempo precisamente igual a ΔT_2 , curvas (b) y (c) de la figura, correspondientes a las 1 y 2 de (a). Así la transición final, a pesar del retardo con que se produce, indica el instante final t_f deseado. Esta corrección tiene como consecuencia que la pri mera transición, en el instante t_0 , no llegará a producirse para impulsos de amplitud inferior a V_a , que es la diferencia entre los valores de reposo de las entradas al amplificador diferencial.

Cualquier histéresis presente en el amplificador exigirá una corrección adicional del mismo tipo que la des crita antes, siendo su efecto esencialmente el mismo. El re tardo experimental es inferior a $0,5 \mu\text{seg}$, por lo que su co rrección impone una amplitud umbral, para ser convertida en tiempo, del orden de la anchura de canal. Esto, más que un

inconveniente, puede ser una ventaja, ya que siempre hay que establecer un mínimo para no analizar también el ruido procedente de los circuitos de entrada; este umbral, por otra parte, es del orden de magnitud de la zona no lineal de los seguidores emitódicos del amplificador de entrada.

El efecto debido a los retardos e histéresis en el segundo amplificador diferencial puede explicarse de modo similar, con la ayuda de la misma figura. El retardo de la transición inicial, no influye, con tal de que sea menor que el tiempo de espera del conversor, de modo que el impulso que desencadena la descarga, el segundo del tren iniciado por la salida del otro amplificador, aparezca después de efectuada esta transición (si es que debe de ocurrir). De no ser así, se iniciaría la descarga en régimen lento, cuando correspondiese rápido, cambiándose a este una vez transcurrido este retardo; esto no falsea el número de canal, pero se parte ya de un cierto número de impulsos unidad, que quizá no hubieran sido necesarios, en perjuicio del tiempo muerto del conversor. Por ejemplo, si el retardo supera lo tolerable en 4 impulsos reloj, todas las conversiones comienzan por 4 unidades; a estas se añaden después las decenas y, por último, las unidades residuales. Es evidente que, para todas las amplitudes cuyo número de canal termine en menos de 4, este habrá sido

registrado empleando 10 impulsos unidad más de los necesarios, y uno menos de docenas, con un aumento supletorio del tiempo invertido en la conversación equivalente a 9 impulsos.

Como la segunda transición predispone al sistema a cambiar la pendiente de descarga, esta no debe ocurrir nunca por debajo de un valor equivalente a 10 veces la anchura de canal, pues esto sí falsearía grandemente la medida; el retarde debe compensarse, como para el otro amplificador, anticipando el punto de cruce de las entradas, para que la transición se presente en el momento oportuno; como esto se consigue elevando, en el ajuste, la tensión de trabajo de la entrada correspondiente, hay que contar de nuevo con un valor umbral, V_u , que ha de sobrepasar el impulso de entrada (además de $10 \cdot \Delta V_0$) para que se utilice el régimen de descarga rápido; así ocurre que este se emplea por primera vez para un impulso cuya amplitud no es la correspondiente a $10 \cdot \Delta V_0$, sino mayor. La Fig. III-17 ayuda a comprender la relación existente entre el retardo ΔT_2 y el valor umbral, cuando el primero se corrige eligiendo el punto de cruce en P' en lugar de P. La relación es:

$$V_u = k_2 \cdot \Delta T_2 = 10 \cdot k_1 \cdot \Delta T_2 \quad (\text{III-11})$$

donde k_1 y k_2 , son las Ctes. de conversión. Por ejemplo, para $\Delta T_2 = 0,2 \mu\text{seg}$, $V_u = 120 \text{ mV}$, equivalente a 4 canales. El efecto consistiría en que, si V_p está ajustado exactamente a 10 canales, no se emplearía la descarga rápida hasta el canal 14. Si no se trata de retardos grandes, el tiempo adicional de conversión debido a este efecto pasa

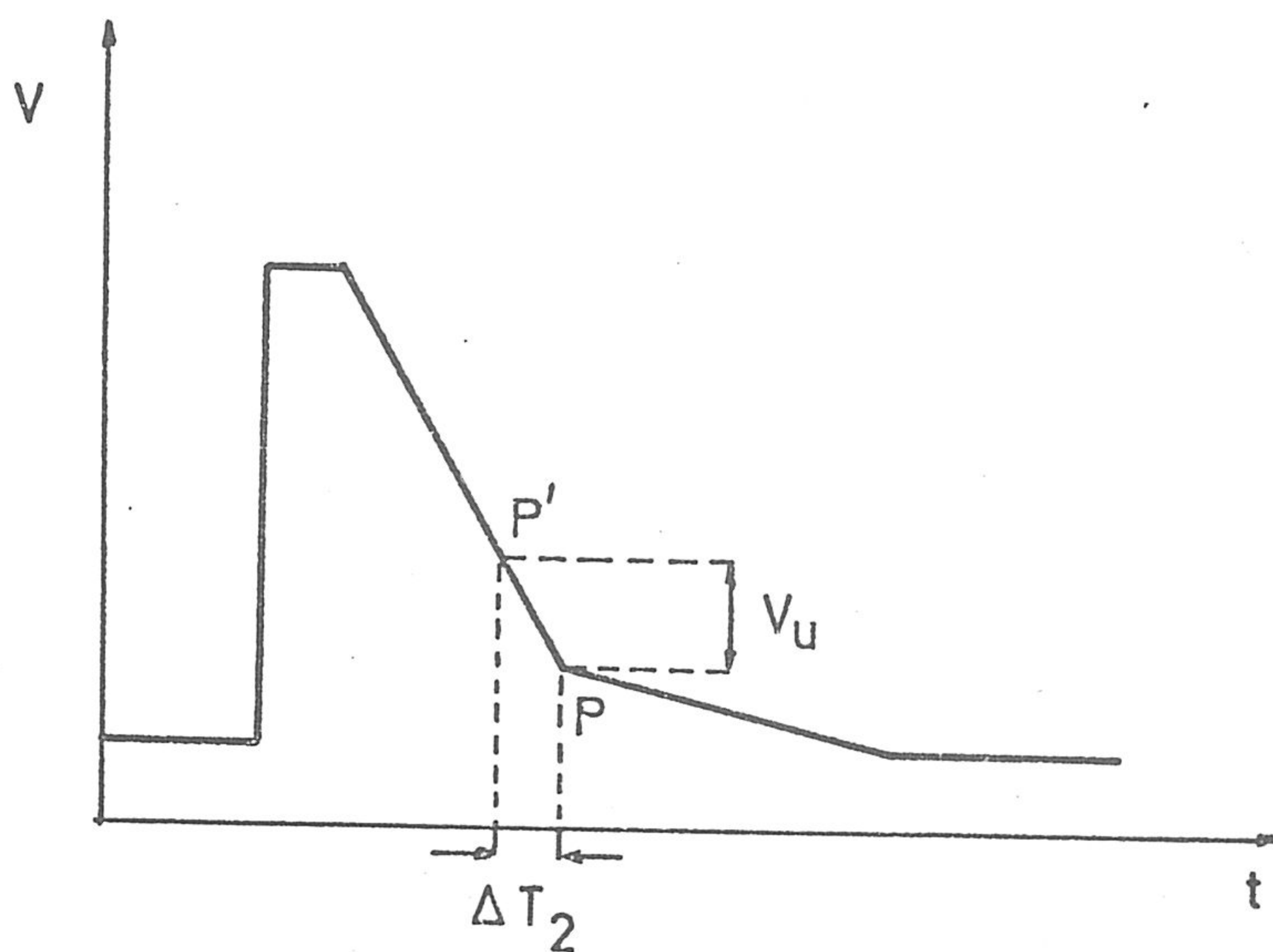
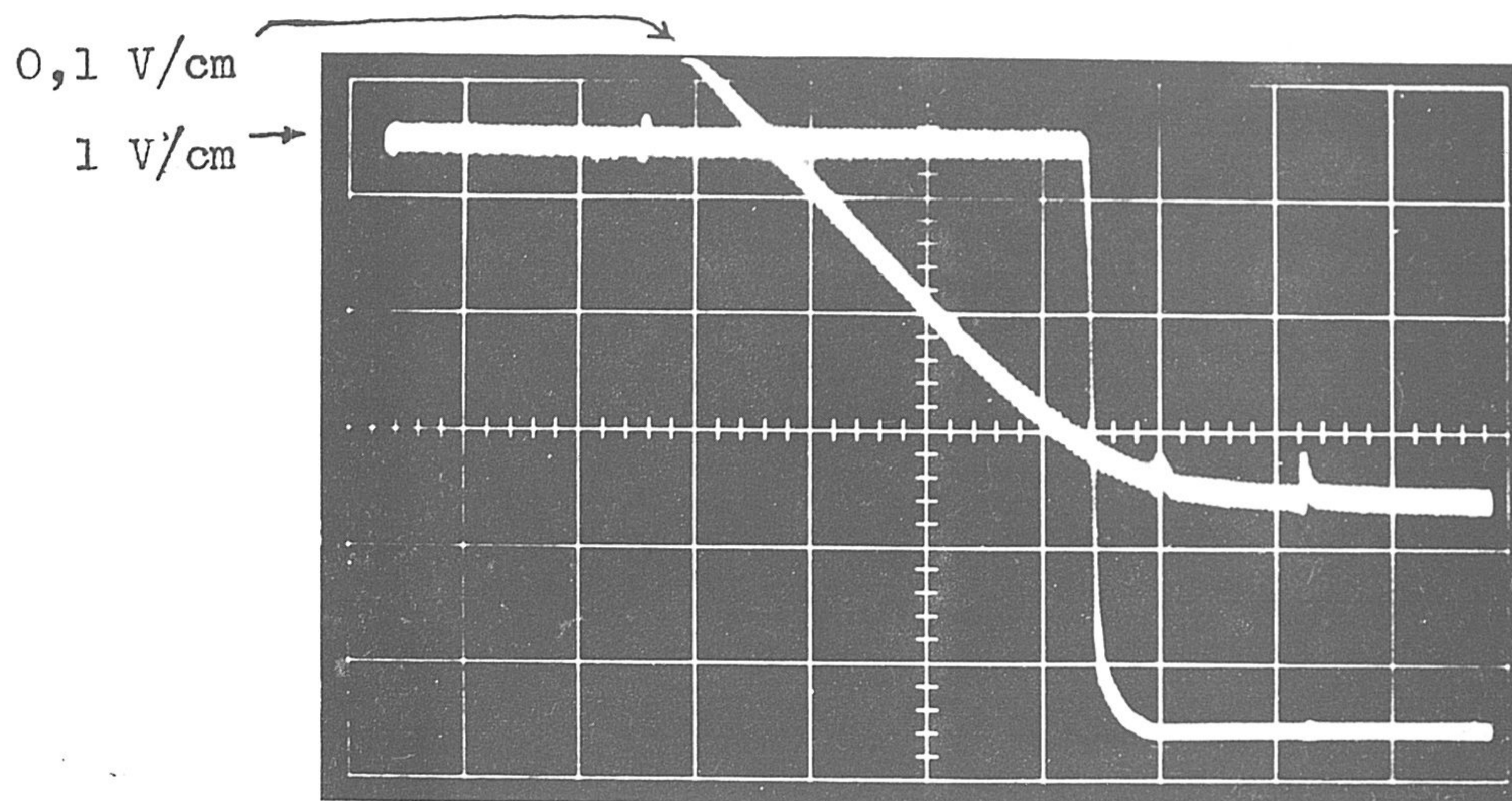
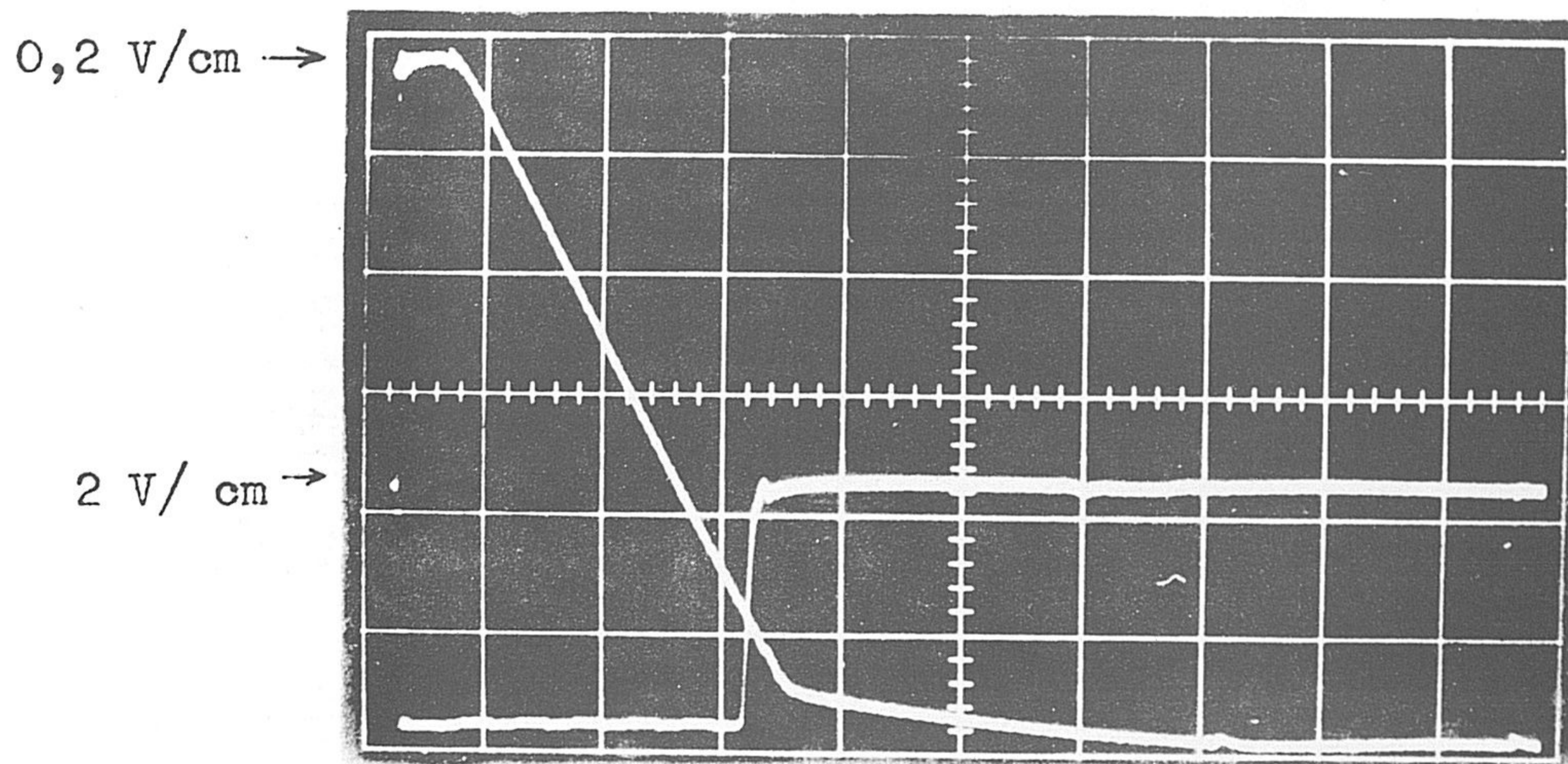


Fig. III - 17

casi inadvertido en una determinación espectrométrica, ya - que sólo afecta a muy pocos canales (en el ejemplo anterior, los comprendidos entre el 11 y el 14). Tiene pues, mucha menor trascendencia que el retardo que pueda presentarse en



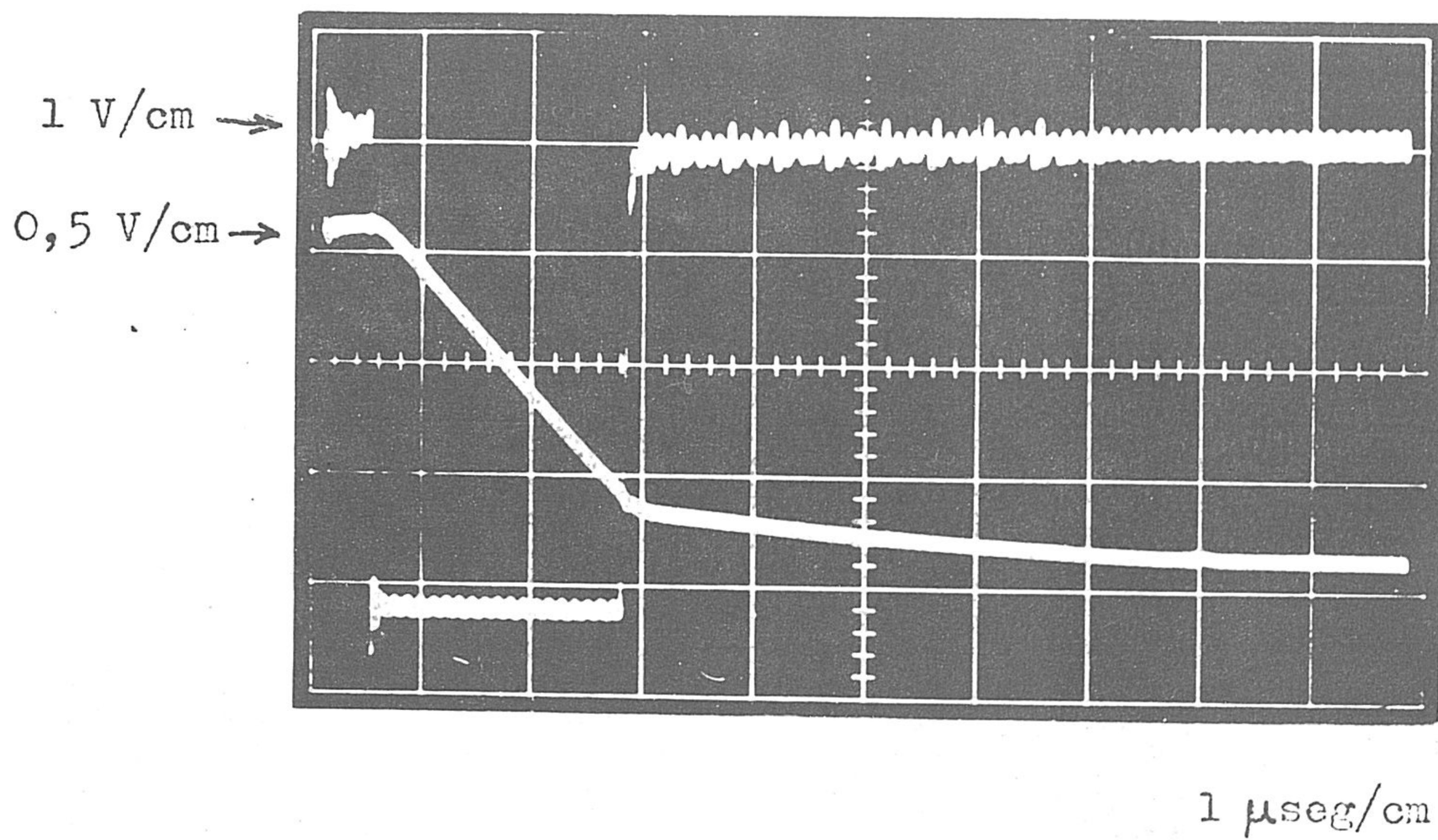
Oscilograma nº 5



Oscilograma nº 6

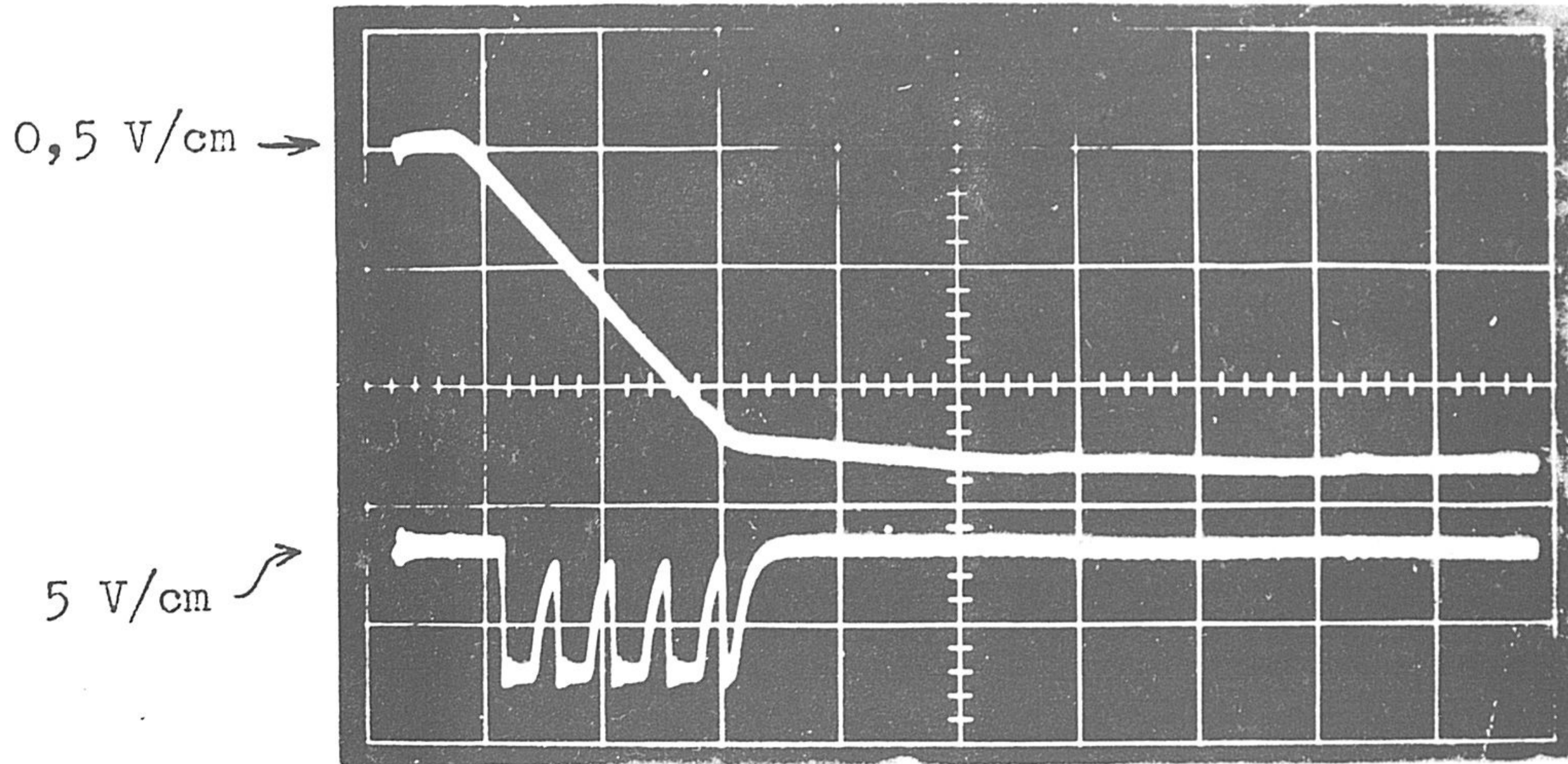
la primera transición, aunque este basta con que sea inferior al tiempo de espera del conversor.

Los oscilogramas N^{os} 5 y 6 muestran las transiciones efectivas efectuadas por los amplificadores diferenciales para la conversión total (N^o 5), y para el cambio de pendiente (N^o 6). La conmutación del biestable asociado a este último (el FF6 del esquema de bloques), se aprecia en el oscilograma N^o 7.



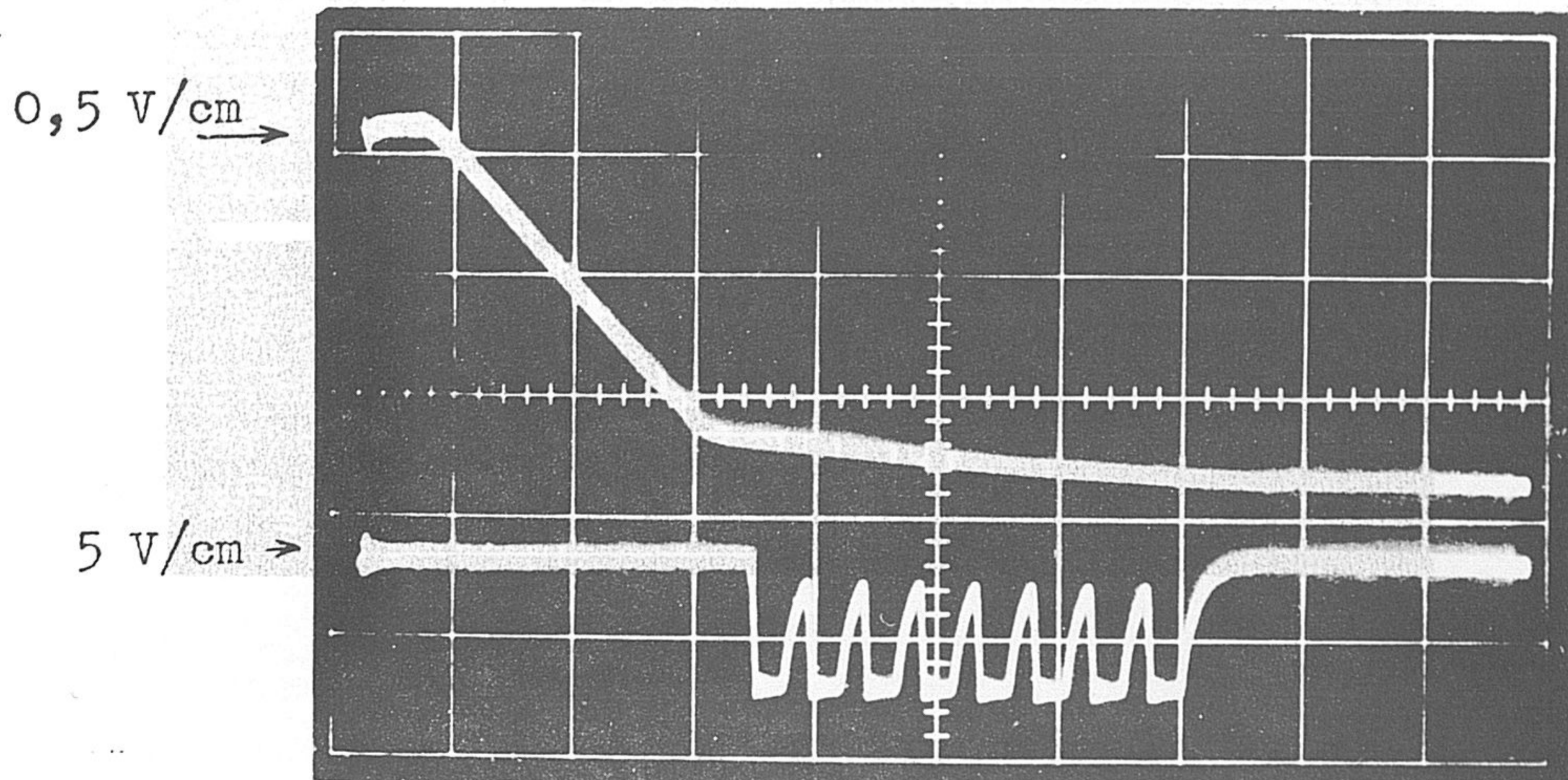
Oscilograma n^o 7.

Como se expuso en la Sec. II-b, al considerar el esquema de bloques del conversor, las salidas de estos amplificadores diferenciales determinan, con las puertas adecuadas los trenes de impulsos que establecen el número de ca



1 μseg/cm

Oscilograma nº 8

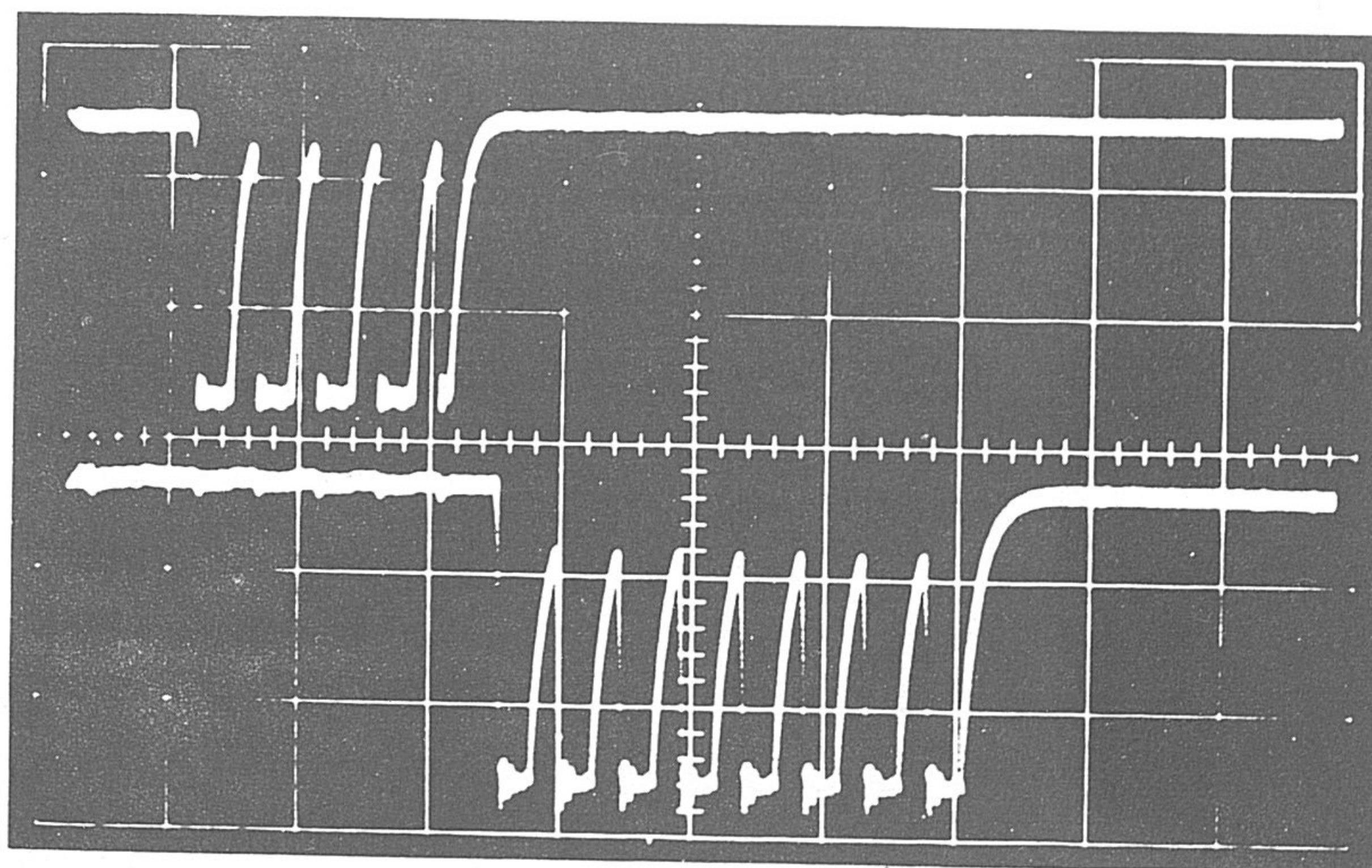


1 μseg/cm

Oscilograma nº 9

nal. El primer amplificador deja pasar directamente la totalidad de los impulsos empleados en la conversión (se escamotean dos para no contar el tiempo de espera). El segundo, - por intermedio del binario FF6, los distribuye para ser contados como unidades, o como decenas.

Los oscilogramas números 8 y 9 muestran una misma curva de descarga, junto con la salida del binario FF6, y - con cada uno de los trenes de impulsos, de unidades y de decenas, respectivamente. En el oscilograma nº 10 aparecen ambos trenes de impulsos; los tres corresponden a una amplitud que es registrada en el canal número 58.



1 μ seg/cm

Oscilograma nº 10

III.c.- EL OSCILADOR

En la Fig. III-18 se dá el esquema del circuito oscilador a cristal que, como se ha indicado en numerosas ocasiones, debe suministrar una señal de gran estabilidad en frecuencia respecto a la temperatura y a las condiciones de funcionamiento, ya que constituye el instrumento para la medida del tiempo.

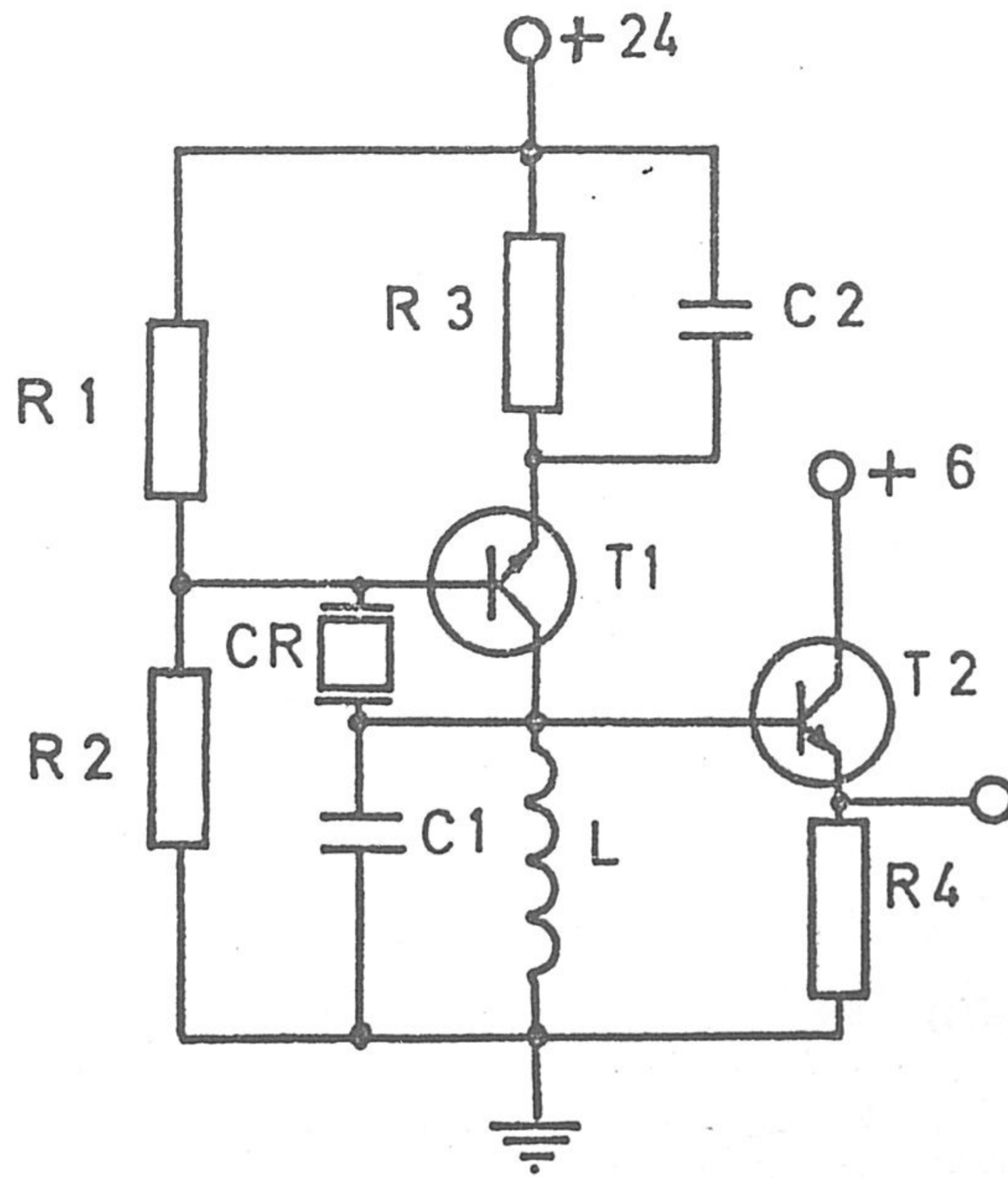


Fig. III - 18

El papel que desempeña el cristal de cuarzo, de acuerdo con su circuito equivalente (Ref. 32), es el de un circuito resonante, cuyos parámetros dependen de las propiedades mecánicas del cristal, lo que explica su extraordinaria estabilidad. El circuito oscilador es esquemáticamente un amplificador en configuración de emisor común, funcionando en clase A, y sintonizado a la frecuencia de resonancia f_0 del cristal, para lo cual se realimenta positivamente a través del mismo; así, sólo hay realimentación positiva de la señal de salida para una frecuencia igual a la de resonancia del cristal, obteniéndose una frecuencia muy pura debido al elevado factor de calidad Q de este. A la salida del amplificador se sitúa un paso de seguidor por emisor para acoplo de impedancias, con objeto de que el amplificador no resulte excesivamente cargado por los circuitos de utilización de la señal de salida.

La elección de componentes obedece a los siguientes criterios:

R1 y R2 polarizan la base del transistor T1 de tal forma que trabaje en clase A. R3 estabiliza, por realimentación de tensión, el punto de trabajo estático del amplificador. Como

$$I_{R1} \gg I_b \quad \text{y} \quad I_{R1} \approx \frac{24}{R_1 + R_2}$$

$$I_c \cdot R_3 + V_{BE} = I_{R1} \cdot R_1, \quad (\text{III-12})$$

resulta,

$$R_3 = \frac{24 - V_{CE}}{I_c}$$

La resistencia R_3 hace disminuir la ganancia del amplificador, por lo que se coloca en paralelo con ella el condensador C_2 . Este ha de ser de una capacidad tal que su impedancia sea muy pequeña a la frecuencia de resonancia.

La ganancia máxima, se obtiene cuando lo es la impedancia de colector, para lo que el circuito LC de colector debe estar sintonizado a la frecuencia de resonancia del crystal; por tanto, se elige L y C de acuerdo con la condición de resonancia $LC = \omega_0^{-2}$, y de forma que se obtenga una Q aceptable.

La resistencia R_4 debe ser tan pequeña como sea posible, ya que el producto $R_4 \cdot C_e$ (C_e , capacidad parásita de emisor), debe ser mucho menor que el periodo de oscilación, si se quiere que el seguidor por emisor siga fielmente a los flancos negativos. Esta resistencia está limitada por la máxima corriente que tolera el transistor. Es suficiente un valor de

330 Ω para la condición impuesta. El transistor T2 trabaja en conmutación, ya que la señal que se aplica a su base, procedente del circuito resonante de colector de T1, tiene una amplitud superior a la alimentación de T2, efectuando una operación de cortado o limitación; así se asegura una amplitud constante (casi igual a la alimentación de +6 volt.) cuyo valor es el adecuado para atacar las siguientes etapas, constituidas por circuitos integrados.

La discusión precedente justifica los valores empleados para los componentes, que se dan en la lista correspondiente a este circuito.

III.d.- CIRCUITOS LOGICOS Y CONTADORES

A continuación se describe el conjunto de puertas lógicas y de circuitos destinados al recuento de los impulsos de salida del conversor, para la selección del canal. Todos ellos se indican en el esquema de bloques de la Fig. II-4, del Cap. II, que debe tenerse presente en esta descripción.

En este punto debe aclararse una contradicción aparente que puede inferirse de lo expuesto hasta aquí. Se ha in

dicado repetidas veces que el conversor opera a la frecuencia de 2 Mc/seg, mientras que en el apartado anterior se ha descrito un oscilador de 8 Mc/seg; este se ha montado así, por disponer de este cristal, y por ser muy sencillo dividir frecuencia hasta el valor deseado, en caso de necesidad. Sin embargo, el conjunto del conversor no se ha diseñado para 4 u 8 Mc/seg, debido a las limitaciones impuestas por una buena parte de los circuitos biestables integrados (los del tipo FCJ - 111), que trabajan a una frecuencia media de 5 Mc/seg, los cuales no ofrecerían seguridad alguna si la frecuencia de trabajo fuese de 4 Mc/seg. Estos circuitos no son sustituibles por los FCJ 101, también utilizados, y que operan hasta unos 10 Mc/seg, al no poderse estos disparar asimétricamente; estos dos tipos de circuitos binarios han sido los disponibles, por razones de tipo experimental, en el laboratorio donde se ha realizado el trabajo, No obstante, todo el conversor podría operar, sin modificaciones, a una frecuencia doble, por lo menos, y bastante más alta mejorando las características de rapidez de operación de algunos circuitos.

De lo anterior se desprende la necesidad de dividir la frecuencia del oscilador por cuatro; esto requiere intercalar dos pasos binarios. Estos, al disponer de entradas direc-

tas (terminales S), que determinan según su nivel el estado del biestable, independientemente de lo que suceda en las otras entradas, simplifican mucho algunas de las operaciones lógicas a realizar, como se ve a continuación. En los esquemas que siguen, se omite la alimentación de los circuitos integrados (de 6V) para mayor claridad.

Las puertas Y1 e Y2 del esquema general de bloques se consiguen como indica la Fig. III-19, en la que los puntos marcados con letra minúscula corresponden a los de igual letra en el esquema de bloques, e igualmente los elementos sombreados. FF8 y FF9 son biestables del tipo FCJ 101, que dividen por dos la frecuencia del oscilador. También efectúan la operación lógica Y indicada en el diagrama de bloques por Y1 e Y2, sin más que conectar las salidas de FF1, una a cada entrada S de los anteriores. Para esta función, y para las similares que se expongan después, debe utilizarse aquella entrada S que mantenga la salida útil del biestable en el nivel "1", pues si se usa la otra, cada acción de cerrar la puerta supondría la aparición de un impulso extra en la salida; tengase en cuenta que estos circuitos son sensibles, en sus entradas ordinarias, a los flancos negativos.

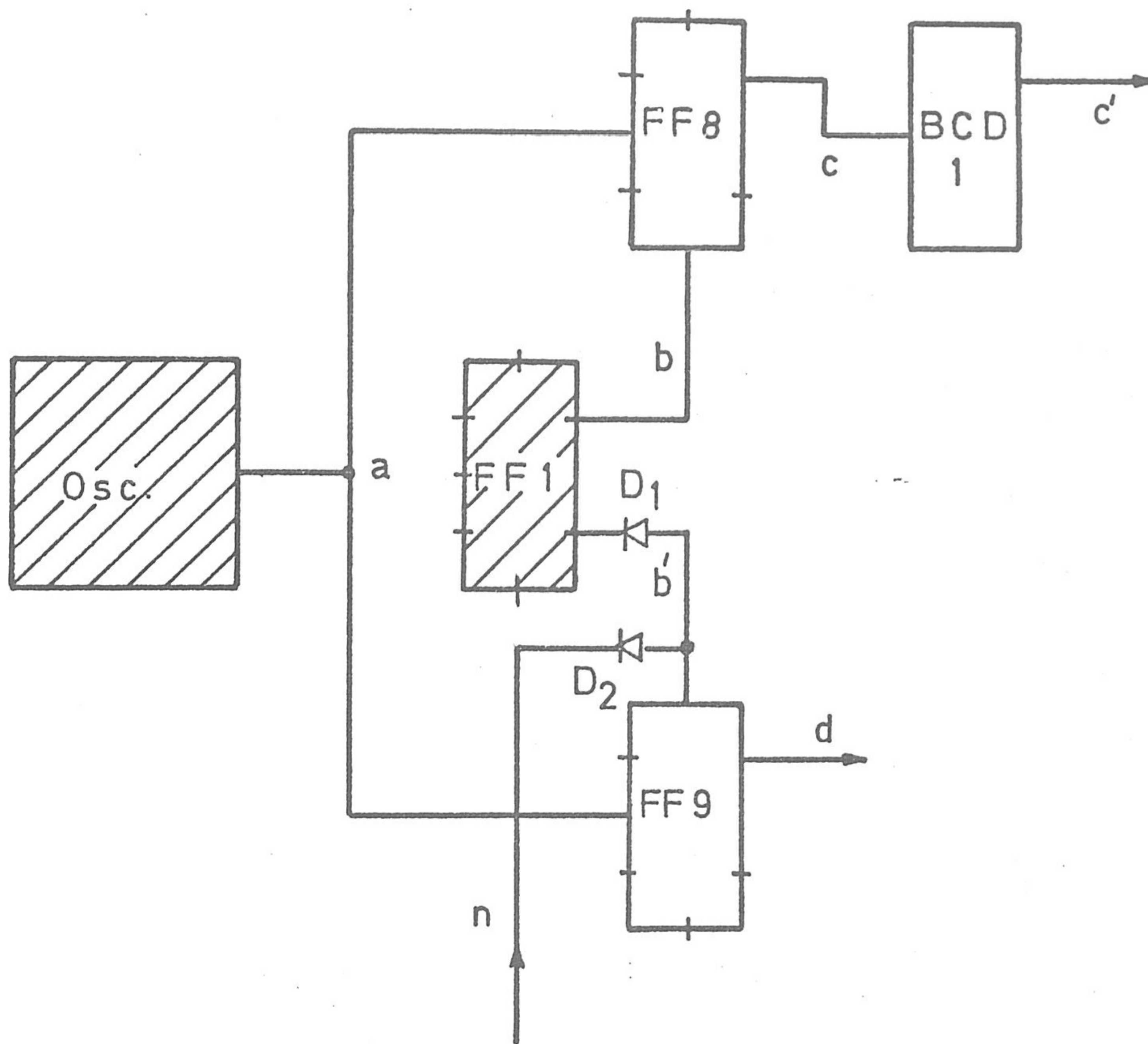


Fig. III - 19

FF8 y FF9 transmitirán, alternativamente, un tren de impulsos de 4 Mc/seg, cuando en b o b' se tenga un nivel alto. Los diodos D1 y D2 aportan una operación Y adicional entre la salida correspondiente de FF1 y el punto "n" del esquema de bloques, que se mantiene en nivel alto mientras dura el

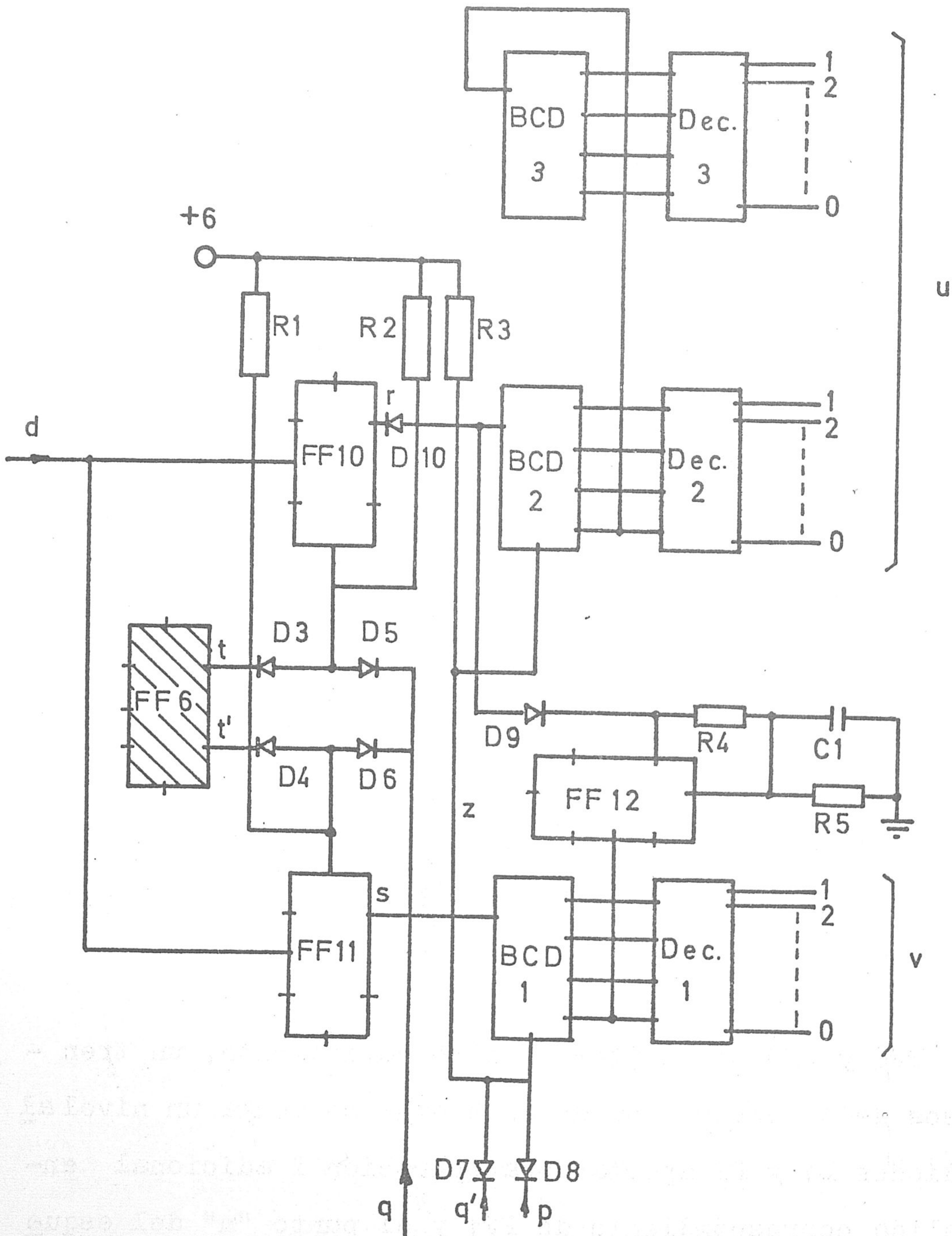


Fig. III - 20

proceso de conversión en tiempo. Por tanto, aparecerán impulsos en "d" cuando los niveles aplicados a D1 y a D2 sean ambos positivos. Por otro lado, BCD 1 es un contador de cuatro pasos binarios, decodificado a decimal (recicla en la cuenta 10), que divide nuevamente la frecuencia hasta un valor 5 o 10 veces menor (según se conecte a la entrada del primero o a la del segundo paso), en función de la rapidez del ciclo de memoria; se ha conectado al primer paso, por lo que la división total efectuada es por un factor de 10, teniéndose una frecuencia en el punto c' de 0,8 Mc/seg.

El circuito de la Fig. III-20 incluye las restantes puertas del esquema de bloques y los contadores de salida del conversor.

El tren de impulsos procedente del circuito anterior (punto d) alcanza simultáneamente a los binarios FF10 y FF11, originándose en esta bifurcación la posibilidad de contar por separado las unidades de las decenas, lo cual depende del estado de FF6. Las parejas D3-D5 y D4-D6 junto con R1 y R2 constituyen sendas puertas Y (Y3 e Y4), en las que la señal aportada por "q" (procedente de FF5) sirve para escamotear de la cuenta los dos primeros impulsos. Aparecerá un tren de impulsos

sos en "r" o "s" (exclusivamente) en el biestable que tenga - su entrada S en nivel alto, lo que ocurrirá cuando este sea - el nivel de los puntos "t" y "q", o "t'" y "q'".

Los impulsos obtenidos en "r" y "s" se aplican ya a las unidades contadoras, constituidas por circuitos integrados del tipo FJJ 141 (contadores de 4 pasos binarios) y decodificadores del tipo FJL 101 para obtener salidas en sistema decimal, directamente acoplables a válvulas indicadoras visuales que no se muestran en el esquema.

El número de impulsos correspondientes a las unidades se registra en BCD 1 con Dec. 1. El de las decenas, debiendo alcanzar hasta la cifra de 40, consta de dos pasos, BCD 2 y 3, con Dec. 2 y 3.

Queda por considerar el circuito de puesta a cero - de los contadores y el acoplamiento entre el de unidades y el de decenas.

La puesta a cero se consigue aplicando una señal positiva en la entrada adecuada de los contadores. Esta se tiene en el punto "z" cuando los niveles en "p" y "q'" son altos. La puesta a cero se efectúa inmediatamente antes de iniciarse

los registros, aprovechando el intervalo de un impulso en el que FF4 y FF5 se encuentran en distinto estado (ver Sec. II-b) . Para ello se emplean las salidas "p" del primero (que es alta a partir del primer impulso de "d") y la conjugada "q'" - del segundo (que es baja a partir del segundo impulso), siendo ambas altas sólo en el intervalo que media entre los dos primeros impulsos, efectuándose la puesta a cero en este mismo intervalo a través de "Z". Los diodos D7 y D8 junto con R3 constituyen una puerta Y para la puesta a cero, que juega el mismo papel que la puerta "O exclusive" indicada en el esquema general, por haber invertido la entrada adecuada, tomando la salida conjugada en FF5.

El acoplamiento entre los dos contadores exige la puerta "O", indicada en el esquema de bloques; esta no se puede obtener simplemente con diodos, ya que los disparos se hacen por flancos negativos, y al obtener un impulso en la salida "D" de BCD₁, este terminal quedará (puede que indefinidamente) en el nivel bajo, por lo que los impulsos procedentes de "r" no serían contados por BCD 2. Por ello se necesita un circuito auxiliar monoestable que dé un impulso negativo, de duración inferior al periodo de los impulsos que se cuentan, cada vez que BCD 1 alcanza la posición cero. Para esta

operación se ha montado un biestable FCJ 101, que actúa como monoestable gracias a la realimentación negativa de su salida a una entrada S. Se elige la combinación salida-entrada de tal manera que sólo sea estable la situación en que esta salida es positiva, pues al hacerse negativa (baja), este nivel, aplicado en S, conmutaría inmediatamente al binario a la otra posición; se aprovecha, evidentemente, la condición de que un nivel bajo en S determina un estado del binario, pero si es alto, no determina ninguno. FF12 es el binario en cuestión, cuyo estado es de reposo con la salida Q alta; la entrada S también se mantiene alta al nivel determinado por el divisor R4 y R5. Una señal en T conmuta el binario a su estado inestable, aunque esta inestabilidad queda diferida por el condensador C1, que necesita un tiempo para descargarse a través de R4 y R5. A partir de un cierto nivel de descarga, la entrada S es activa y conmuta nuevamente al biestable, esta vez a su estado normal. El retardo impuesto por C1, con una constante de tiempo determinada por su capacidad y la combinación en paralelo de R4 y R5, establece la duración de los impulsos de salida por Q realizándose el diseño para obtener una duración de 0,2 μ seg.

III.e.- AJUSTE Y COMPROBACION

Vista la totalidad de los circuitos que componen el conversor analógico-digital, examinamos a continuación las operaciones de ajuste que conducen a su correcta puesta en funcionamiento. Para terminar, el calibrado del mismo se realiza estableciendo la relación amplitud-número de canal, lo que es una comprobación de su linealidad.

III.e-1.- Ajuste. Puesta a punto.

Como operación previa, debe situarse el potenciómetro R4 de la Fig. III-11, en un valor cualquiera que haga funcionar al conversor, pues si las entradas al amplificador diferencial, que establece el tiempo total de conversión, no se cruzan, no se efectúa esta conversión. Una vez en funcionamiento el conversor, se puede proceder al ajuste del mismo en el siguiente orden.

El ajuste de las constantes de conversión se efectúa con el potenciómetro R5 de la Fig. III-9, Debe realizarse operando con una sola pendiente, con lo que se ajusta una constante de conversión; interesa k_1 (para descarga rápida),

para lo cual se bloquea el binario FF6 del esquema de bloques en el estado que corresponde a la misma, conectando a masa la entrada S adecuada. Puede hacerse un ajuste aproximado con ayuda del osciloscopio, determinando en el mismo la amplitud de los impulsos de entrada, suministrados por un generador de impulsos. Esta constante (que debe valer $0,6 \text{ V}/\mu\text{seg}$ como se vió en la Sec. IV-2.3), se consigue logrando que, para impulsos de entrada de 12 V (medidos en el punto K de la Fig. III-11 para que no influya la ganancia del amplificador), se obtengan a la salida 40 impulsos en el contador de decenas, lo más exactamente posible. Se puede realizar un ajuste más preciso utilizando impulsos calibrados en amplitud, ajustado previamente la relación de intensidades. Si no se dispone de un generador de impulsos calibrados, puede efectuarse con ayuda de pilas, como se verá al exponer el calibrado del conversor.

A continuación, y con el conversor trabajando a doble pendiente, se procede al ajuste de $V_p \text{ máx}$, o máximo valor de la tensión de descarga a la que puede producirse el cambio de régimen. Como se ha visto en secciones anteriores, no es aconsejable un ajuste preciso con $V_p \text{ máx} = 10 \cdot \Delta V_0$, - pues cualquier falta de estabilidad, en los niveles a compa

rar en el amplificador diferencial correspondiente, se reflejará de modo inadmisibile en la medida digital del tiempo de conversión. Se suficiente margen de seguridad hacer $V_p \text{ máx}$ de 10,5 a 11 veces la anchura de canal. En el último caso, - al introducir impulsos de amplitud variable, la salida del - contador de unidades consistirá en un número de impulsos comprendido entre 1 y 11, si la relación de corrientes es correcta, o entre 1 y otro valor, si no lo es. A este criterio se puede acudir para obtener el valor deseado de $V_p \text{ máx}$, ya que requiere una simple observación osciloscópica del tren de - impulsos unidad, mientras se varía de modo continuo la amplitud de entrada. Puesto que los ajustes son independientes, - basta conseguir que la menor salida de este contador sea de un impulso. Todo ello depende de la posición del potenciómetro R5 en el circuito de la Fig. III-11.

La relación de intensidades es la que exige el ajuste más crítico del conversor, pues ya se ha visto que es muy pequeña la desviación admisible respecto al valor teórico 10 (0,1%). No es suficiente la medida de las corrientes con amperímetro, pues siempre se hace con un error superior a lo - tolerable. Tampoco basta observar que impulsos de una determinada amplitud quedan registrados con el mismo número de ca

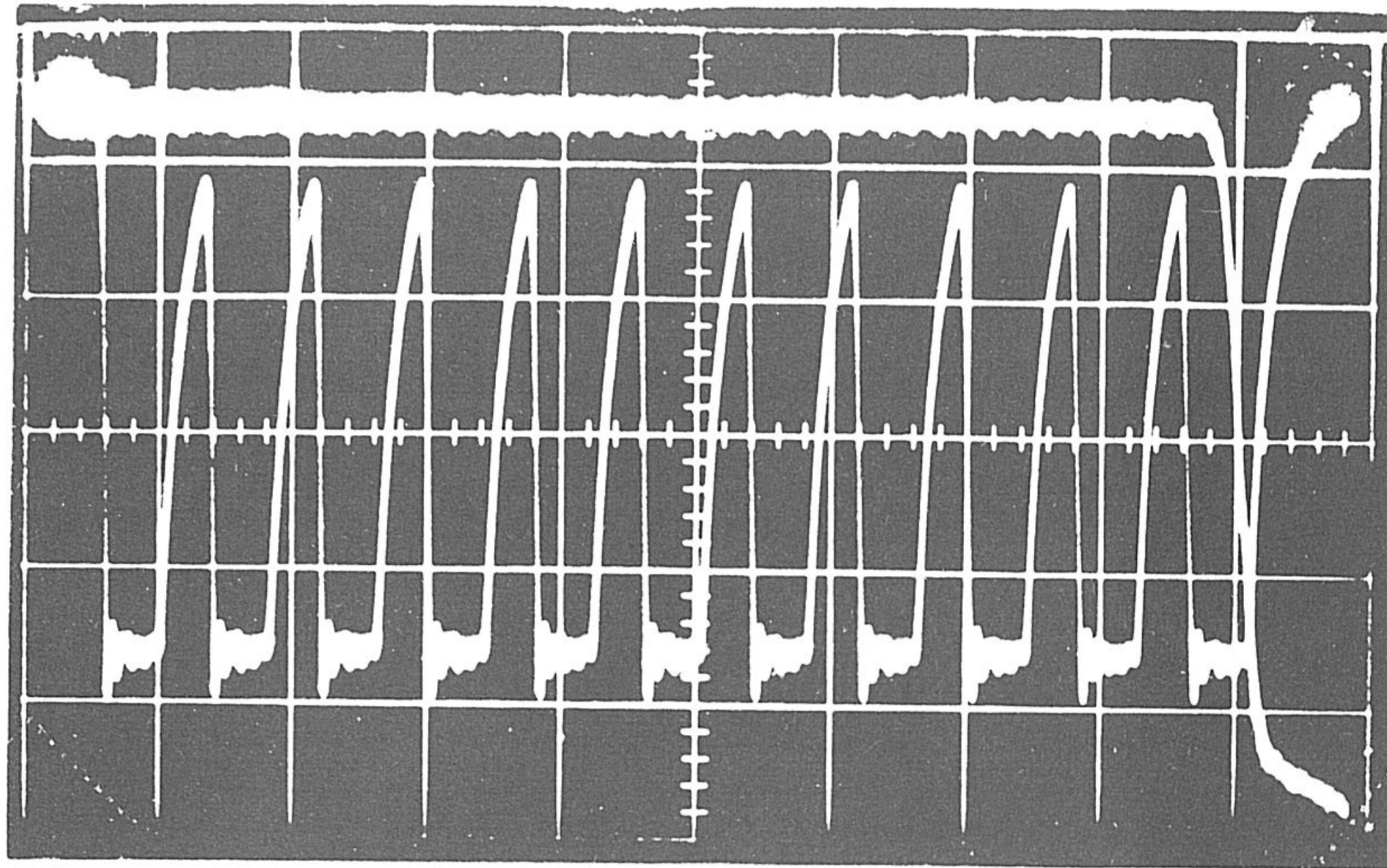
nal, haciendo la descarga a pendiente simple y doble, pues de este modo no se detectarían pequeños errores, que consisten, como se expuso, en que un canal de cada diez, resultaría algo más ancho, o algo más estrecho.

El procedimiento utilizado se describe a continuación. Con un generador de impulsos, se varía la amplitud - hasta conseguir la cuenta máxima en el contador de unidades; supongamos que esta cifra sea 11, y la amplitud ha de ser - tal que un aumento insignificante determina una decena más y diez unidades menos, es decir, situamos al conversor trabajando con un impulso "frontera", que resulta registrado - como $10 \cdot N_1 + 11$, o como $10 (N_1 + 1) + 1$, indistintamente . Evidentemente el número total de impulsos del conversor es de 9 unidades menos en el segundo caso que en el primero, y si esta diferencia es exacta, la relación de corrientes también. Pero esta diferencia se puede apreciar con gran precisión en el osciloscopio, introduciendo en un haz la serie - de impulsos unidad que, en este caso, se emplea como escala de tiempos y no para ser contados. En el otro haz se observa la señal del amplificador diferencial que establece el - final de la conversión. Al pasar de un modo de registro al otro, esta señal debe desplazarse en la pantalla una longi-

tud equivalente a nueve impulsos reloj. Puede conseguirse - que esta señal coincida con uno de los flancos de los impulsos de salida, y entonces este desplazamiento de nueve impulsos se determina con gran precisión, si se consigue que el cruce entre los dos trazos en el osciloscopio se produzca a la misma altura, al manipular el potenciómetro R3 de la Fig. III-9. Se puede aumentar la sensibilidad del procedimiento usando la máxima ganancia X del osciloscopio, aunque este debe funcionar en régimen de disparo exterior, efectuándolo precisamente con la señal que marca la transición de un régimen de descarga a otro, pues así el suceso que se quiere observar ocurre en un tiempo máximo de 5,5 μ seg, después del disparo, y puede utilizarse la máxima frecuencia de barrido (0,5 Mc/seg.).

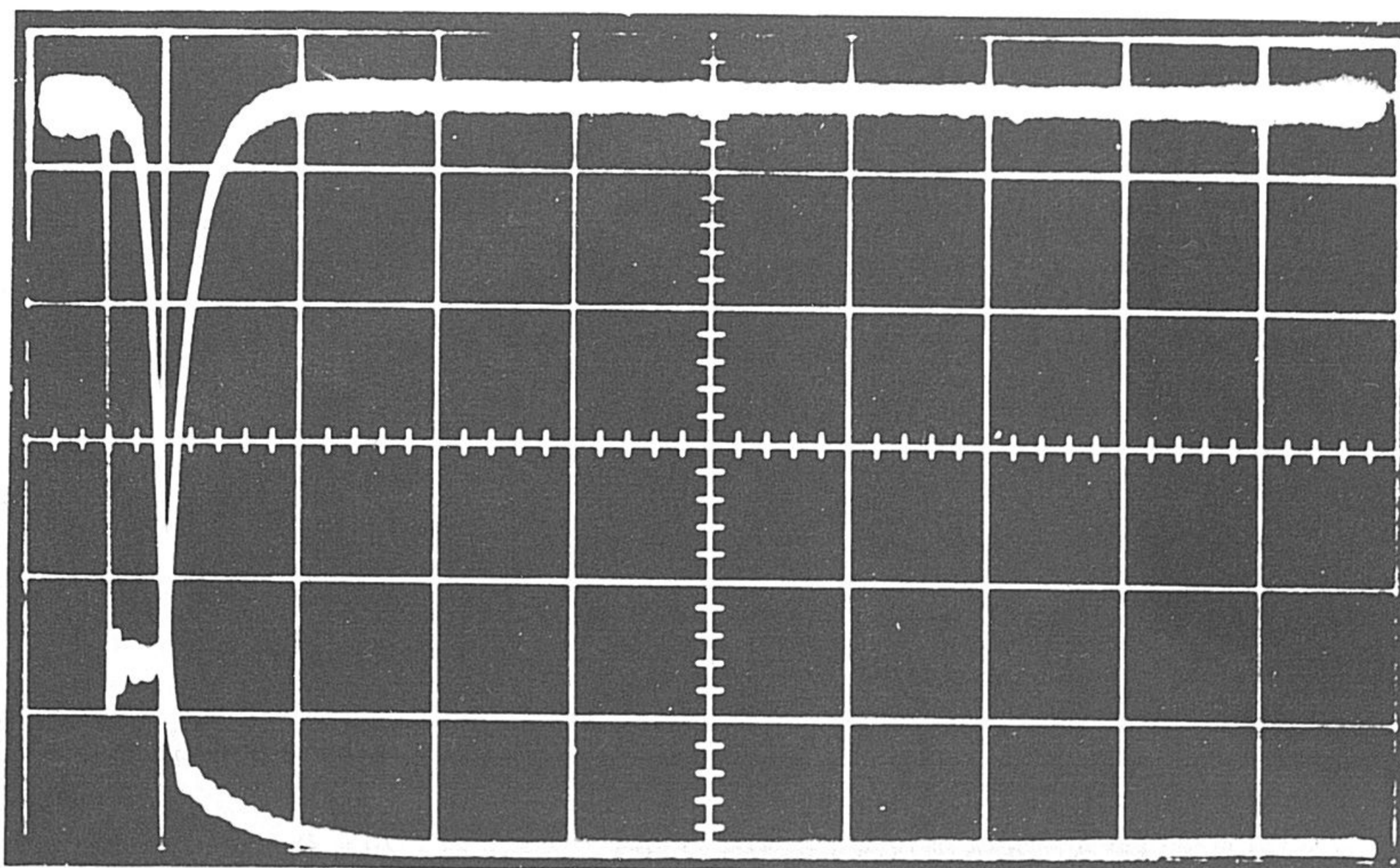
En los oscilogramas números 11 y 12 se observan - las señales utilizadas en el ajuste, advirtiéndose una diferencia de 10 impulsos unidad. Se puede apreciar la finura - del procedimiento.

Por último debe ajustarse el instante final de la conversión, teniendo en cuenta la cola redondeada de las - curvas de descarga. Sin embargo, no debe efectuarse un ajust



0,5 μ seg/cm

Oscilograma n^o 11



0,5 μ seg/cm

Oscilograma n^o 12

te geométrico, como se indicó en la Sec. II.c-6, sino que, en previsión de algún error de cero que pueda cometer el instrumento, debido a la existencia de retardos, o pequeños cambios en el nivel de base, debe realizarse un ajuste empírico, de modo que la curva de calibrado pase por el origen. Este ajuste, como se ha dicho anteriormente, se efectúa con el potenciómetro R4 de la Fig. III-11.

La ganancia del amplificador de entrada no tiene relación con el ajuste del conversor y su valor, determinado por la posición de R4 en la Fig. III-1, sólo puede depender del detector que entrega los impulsos a analizar y del intervalo total del espectro que se desea explorar.

III.e-2.- Comprobaciones. Calibrado

Se ha comprobado experimentalmente la constancia de la corriente en los circuitos de descarga, en régimen estático. Con un amperímetro, operando a fondo de escala, no se ha observado variación superior a 0,2 % en una corriente de 0,5 mA, cuando la tensión de entrada se hace variar entre 0 y +24 voltios.

También se ha comprobado la estabilidad térmica - de los circuitos de corriente constante, no observándose variación superior al mismo porcentaje de 0,2 (límite de sensibilidad del amperímetro), cuando la temperatura varía entre +10 y +40°C. Esta comprobación se ha efectuado con la - lentitud necesaria para asegurar la uniformidad térmica del conjunto.

La comprobación de linealidad se ha efectuado obteniendo la curva de calibrado del conversor. Al no disponer - de generador de impulsos calibrados, se han obtenido los puntos experimentales, mediante impulsos que se pueden considerar calibrados con el circuito de la Fig. III-21. A la entrada

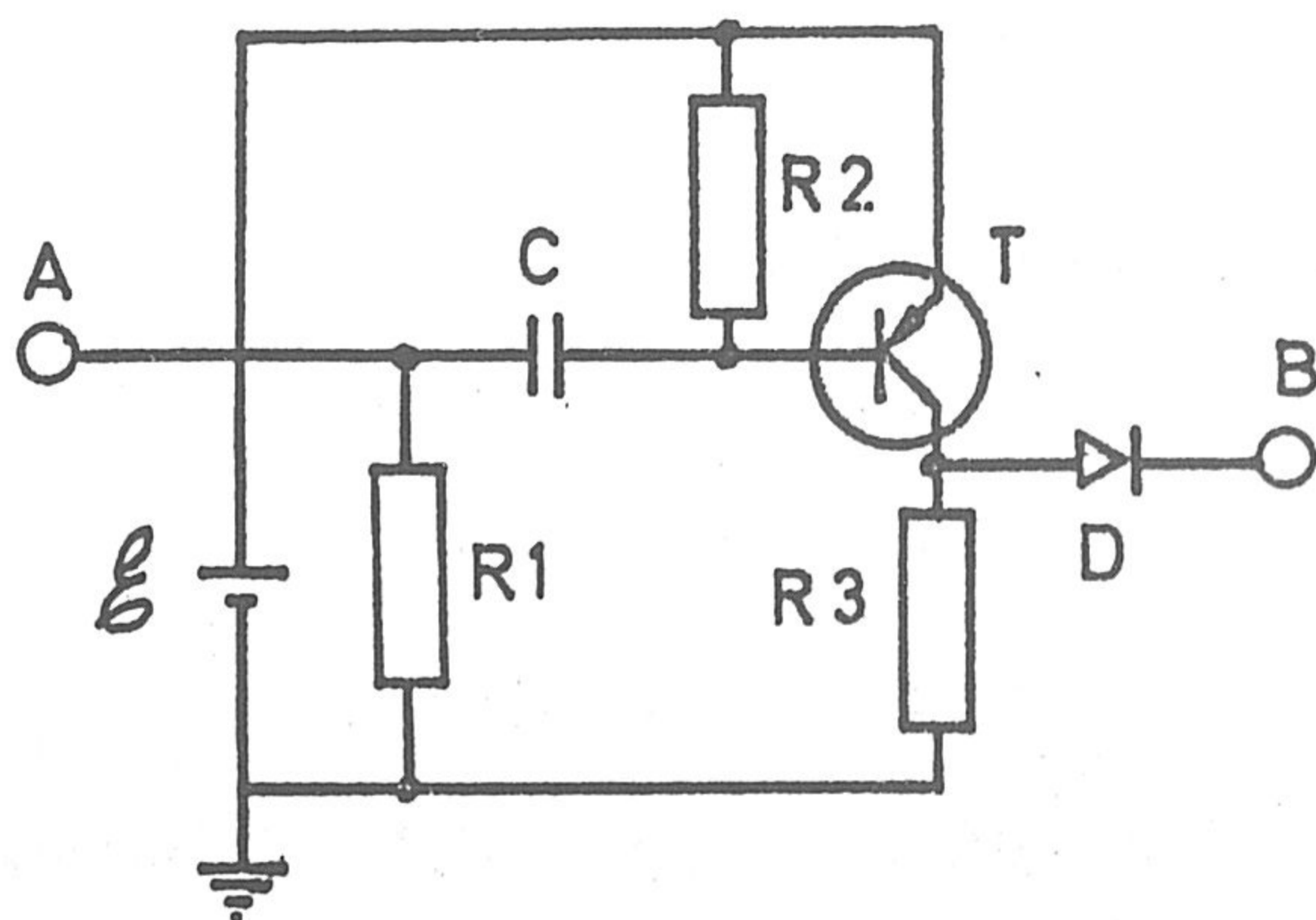


Fig. III - 21

da "A" se aplican los impulsos negativos de un generador, -
cuya duración y amplitud, mantenidas constantes para todas_
las determinaciones, deben proporcionar a la salida (punto_
B) impulsos positivos, rectangulares por actuar el transis-
tor "T" a saturación, y de varios microsegundos de duración.
El circuito se alimenta con un conjunto de pilas E, cuya -
fuerza electromotriz se va variando por adiciones sucesivas.
En cada caso, la amplitud de los impulsos de salida será el
valor de la alimentación menos la tensión de saturación V_{CE}
del transistor. Para que esta sea constante, debe operarse_
en todos los casos a igual corriente de colector, por lo que
 R_3 se modifica con este criterio, teniendo en cuenta la car_
ga del circuito, aplicada en el punto B; esto iguala también
en principio la posible caída de tensión interna en las pi-
las. Las salidas en B se aplican al conversor, en el emisor
del transistor de salida del amplificador (el T_1 de la Fig.
III-9). La carga en B es la resistencia R_0 . El diodo D se
incluye para no sobrecargar a T_1 en situación de reposo, -
pues descendería el nivel de tensión en el punto B de la -
Fig. III-9, con lo que se obtendrían números de canal supe-
riores a los reales. Como no se dispone de pilas patrón y,
en todo caso, habría que contar con caídas de tensión inter

nas, variables de unas a otras (aunque no de unas determinaciones a otras), se efectúa una prueba previa consistente - en determinar el número de canal que corresponde a cada una por separado, más otra de referencia común; la diferencia - entre los números de canal obtenidos en cada caso, y el de la referencia sólo constituyen una medida, en unidades convencionales, de la f.m.m. de cada pila con el error posible de ± 1 canal; no puede haber error apreciable al determinar amplitudes tan próximas entre sí, y además, en la misma zona inicial del espectro. Aunque se usan pilas del mismo tipo, aparecen ciertas diferencias entre ellas, como se aprecia en la tabla de datos (prueba preliminar), lo que no constituye dificultad. El verdadero calibrado consiste ahora en determinar los números de canal cuando se añaden las pilas, una a una, a la misma referencia inicial citada antes, y - cambiando convenientemente el valor de R_3 a cada determinación. Los resultados obtenidos se tabulan a continuación, - dándose finalmente la curva de calibrado. Se utilizan pilas de Hg, de pequeña fuerza electromotriz, (1'35V) para obte-ner más puntos experimentales.

Puede apreciarse en la tabla de valores y en la - curva de calibrado (Fig. III-22) que la linealidad del con-

versor está dentro del límite admisible del 1%, previstos - en la Sec. II.c. En la tabla de valores se añade una columna para indicar la diferencia ΔN , entre el número de ca--nal teórico y el práctico, para una comprobación más fácilde la linealidad.

TABLA DE CALIBRADO DEL CONVERTSOR AD

Prueba preliminar: valoración de los elementos de alimentación individuales.

Elementos E_i	Nº de canal	V_i en unidades arbitrarias
E_r	12	-
$E_r + E_1$	59	47
$E_r + E_2$	58	46
$E_r + E_3$	59	47
$E_r + E_4$	57	45
$E_r + E_5$	58	46
$E_r + E_6$	58	46
$E_r + E_7$	57	45
$E_r + E_8$	58	46
$E_r + E_9$	59	47
$E_r + E_{10}$	58	46

Datos del calibrado

Elementos	$V = \sum V_i$ (unidades arbitrarias)	Nº de canal	ΔN
$E'_1 = E_r + E_1$	59	59	0
$E'_2 = E_2 + E'_1$	105	105	0
$E'_3 = E_3 + E'_2$	152	151	1
$E'_4 = E_4 + E'_3$	197	197	0
$E'_5 = E_5 + E'_4$	243	241	2
$E'_6 = E_6 + E'_5$	289	287	2
$E'_7 = E_7 + E'_6$	334	333	1
$E'_8 = E_8 + E'_7$	380	377	3
$E'_9 = E_9 + E'_8$	427	423	4
$E'_{10} = E_{10} + E'_9$	473	469	4

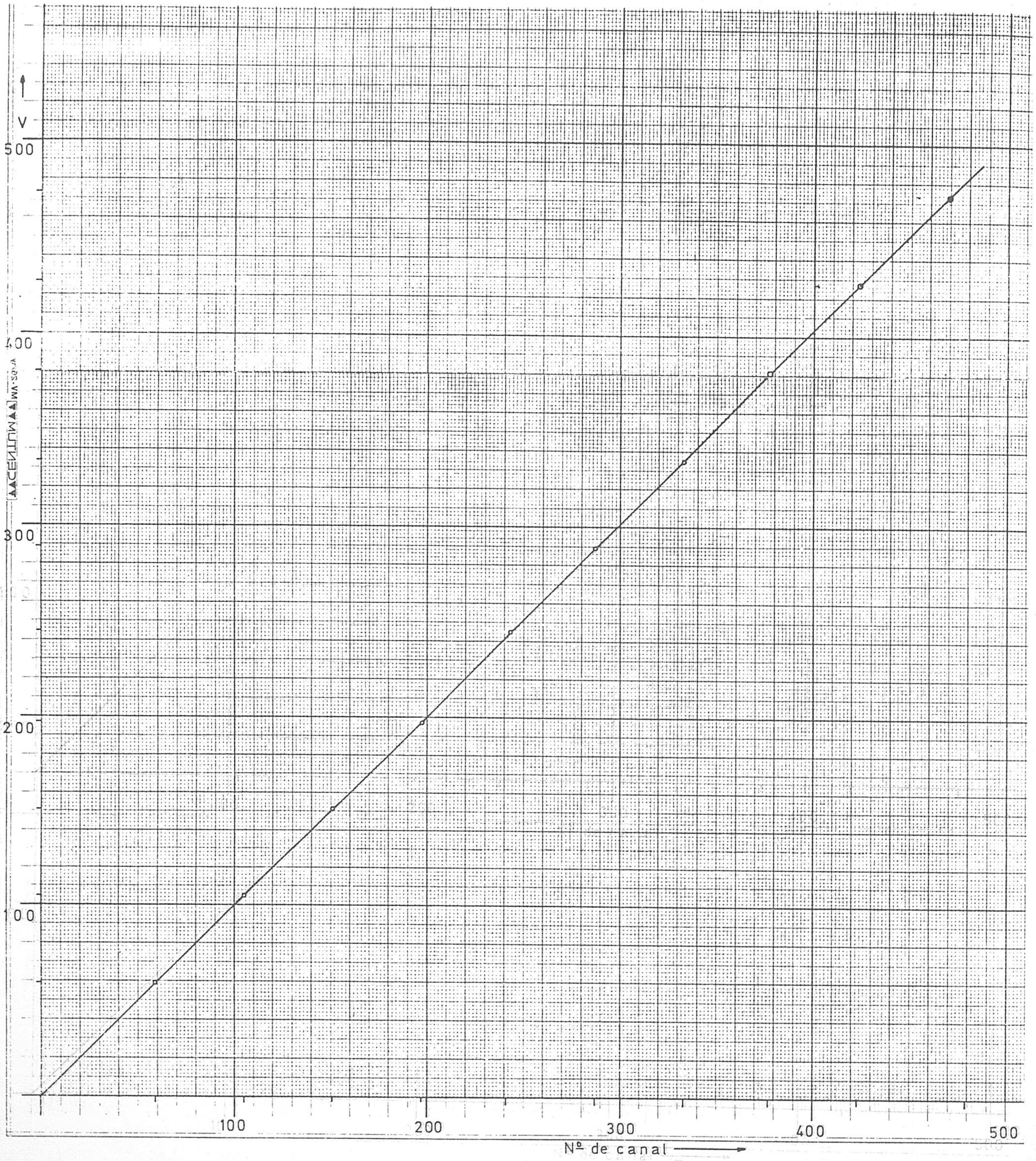


Fig. III - 21

IV.- CIRCUITOS DE LA MEMORIA

En este capítulo se expone, como complemento de nuestro trabajo, el sistema de memoria utilizado para el almacenamiento de la información procedente del conversor analógico digital. Se emplea para ello un bloque de anillos magnéticos de ferrita. En las secciones siguientes se expone, en primer lugar, el bloque de memoria utilizado, y a continuación, el esquema general de funcionamiento, y los circuitos diseñados para su gobierno (Ref. 29).

IV.1.- Generalidades. Bloque de memoria

Los anillos de ferrita utilizados en este trabajo presentan las siguientes características fundamentales de operación a 15°C:

Intensidad de imanación, 600 mA.

Duración de impulso de corriente magnetizante, 0,6 μ s.

Tiempo de elevación del impulso de corriente, 0,2 μ s.

Amplitud de los impulsos de respuesta, con carga de 100 Ω , 60 mV.

Los anillos se encuentran agrupados por planos en disposición matricial de 50 x 40, con un total de 2.000

anillos por plano. El conexionado de los anillos, que determina la cantidad y conjunción de los circuitos de gobierno, y el diseño de algunos de ellos, se describe a continuación (Ref. 7).

Cada anillo es atravesado por cuatro hilos; dos de ellos son comunes a todos los anillos de una misma fila o columna, respectivamente, y se utilizan para efectuar la lectura y la escritura, por superposición de sendas semicorrientes en el anillo; constituyen, por tanto, los hilos de selección, que llamaremos en adelante x e y , por la disposición cartesiana de los mismos. Las operaciones de lectura y escritura se realizan entonces con impulsos de corriente $\frac{1}{2}$ I, y con un número de circuitos muy inferior al número de anillos (la suma de los números de filas, x e y).

El tercer hilo es común a todos los anillos del plano, y está destinado a obtener un impulso de respuesta en el proceso de lectura, correspondiente al cambio en el estado de imanación del anillo que se interroga. Su trenzado está dispuesto de tal manera que se efectúa una cancelación de las señales producidas por los anillos no seleccionados, y que han sido perturbados por una corriente $\frac{1}{2}$ I. Es

te es el hilo de respuesta (s), el cual, por ser único en cada plano, obliga a efectuar la lectura del estado de los anillos uno a uno.

El cuarto hilo es también común a todos los anillos del plano, pero su trenzado es distinto, ya que está destinado a inhibir la operación de registro cuando por él se hace pasar una corriente $-\frac{1}{2}I$, de sentido contrario a la corriente magnetizante que se envía por los hilos x e y ; la corriente total se reduce de este modo a $\frac{1}{2}I$, insuficiente para conmutar el estado del anillo. Este procedimiento, en el que se emplean tres semicorrientes, tiene la ventaja de evitar la multiplicidad de circuitos generadores de impulsos de corriente para la operación de registro, utilizándose uno sólo para todos los planos de anillos. Por su función se llama a éste, hilo de inhibición o de veto (z).

El bloque de memoria se constituye con 24 planos de anillos. Cada columna del bloque se destina al registro de cuentas de cada canal. El bloque tiene, pues, capacidad para 2.000 canales, con una capacidad de 10^6 cuentas por canal, ya que la información queda registrada en código binario; el exceso de 4 planos se debe a la conveniencia, por razones de decodificación, de operar en sistema binario de de

codificable a decimal, en el que cada cuatro dígitos representan una cifra en sistema decimal.

Como ya se ha mencionado, se reduce notablemente el circuitado del conjunto efectuando simultáneamente, y con un sólo impulso de corriente, la operación de lectura y escritura de todos los anillos de una misma columna (canal), para lo cual se conectan entre sí, y en serie, todos los hilos que corresponden a una misma coordenada x o y.

De lo expuesto puede deducirse que la lectura del contenido de la memoria se hace simultáneamente en todos los anillos de una columna, mediante un impulso de corriente $\frac{1}{2}I$ aplicado en los hilos x e y que seleccionan el canal deseado; pero la lectura de canales distintos tiene carácter sucesivo. En todo caso, el resultado del proceso será la aparición de impulsos de polaridad determinada en los hilos de respuesta que correspondan a un anillo cuyo estado era "1"; así se obtiene el número de cuentas registrado en un canal, suministrado en paralelo, y en código binario-decimal. Esta lectura es esencialmente destructiva, siendo necesario, ordinariamente, reintegrar al bloque la información obtenida (o modificada). El proceso de escritura, o registro, es similar al anterior, pero suministrando

impulsos de corriente de sentido contrario al anterior, si se desea registrar "1"; esta operación también se efectúa simultáneamente para todos los anillos de un canal, aplicando los impulsos de "veto" a los planos en los que se deba mantener el estado "0" alcanzado en el proceso de lectura; así, se necesita aportar, en paralelo, los impulsos de veto correspondientes a los ceros de la representación binaria del número a registrar. Se comprende que la escritura en los distintos canales ha de ser, como la lectura, sucesiva.

IV.2.- Esquema general

El funcionamiento general del sistema de memoria de anillos magnéticos se adapta esencialmente a las indicaciones de la bibliografía especializada (Ref. 7, 8, 29). - Las operaciones a realizar para el registro de un espectro son las siguientes:

1º.- El proceso de conversión analógico-digital termina con el registro del número de canal en los contadores de salida. Este número requiere una decodificación pa

ra seleccionar la columna de anillos correspondientes a ese canal; el haber seleccionado una columna significa que todas las operaciones subsiguientes se efectúan exclusivamente con los anillos de esa columna.

2º.- Como los propios anillos (componentes pasivos) no son susceptibles de operación aritmética alguna, la adición de una cuenta en el canal seleccionado exige la extracción del número acumulado anteriormente, a un registro de componentes activos. Por lo tanto, hay que efectuar la lectura del contenido en ese canal, el cual, momentaneamente queda borrado.

3º.- El número obtenido en el proceso de lectura anterior debe ser incrementado en una cuenta, por lo que el resultado del proceso de lectura debe ser transferido a una unidad aritmética, que efectúa la adición.

4º.- El número alcanzado en la unidad aritmética deba ser reintegrado a la memoria, por lo que hay que efectuar ahora la correspondiente operación de registro. Esto precisa, además del impulso de corriente adecuado, sendos impulsos de veto en los planos en que debe registrarse "0", con una duración al menos igual a la del impulso de escritu

ra, para asegurar la acción inhibitoria de los mismos.

Las operaciones indicadas anteriormente se comprenden mejor con ayuda del esquema de bloques de la Fig. IV-1. Este conjunto admite dos entradas: una, destinada al registro del número de canal (puntos h y h') recibiendo los impulsos procedentes del conversor analógico-digital; la naturaleza especial del proceso de conversión requiere dos terminales para este fin; los contadores Cx y Cy, así como la puerta "0" que precede a Cy aparecen sombreados, para indicar que ya fueron incluidos en el esquema general de bloques del Cap. II (Fig. II-4). La otra entrada (punto g) acciona el circuito programador del ciclo de memoria (P), cuyas señales de salida promueven las operaciones del mismo. En este punto de entrada se reciben, como ya se vió (Sec. II-2), los trenes de impulsos iguales procedentes del oscilador.

M representa el bloque de memoria. En el esquema se asocia cada uno de sus lados con cada uno de los hilos disponibles en los anillos. Los 400 anillos de cada plano utilizado (correspondientes a 400 canales del espectrómetro) constituyen una matriz cuadrada de 20 x 20 anillos, ya que esta es la disposición que precisa menor número de circui-

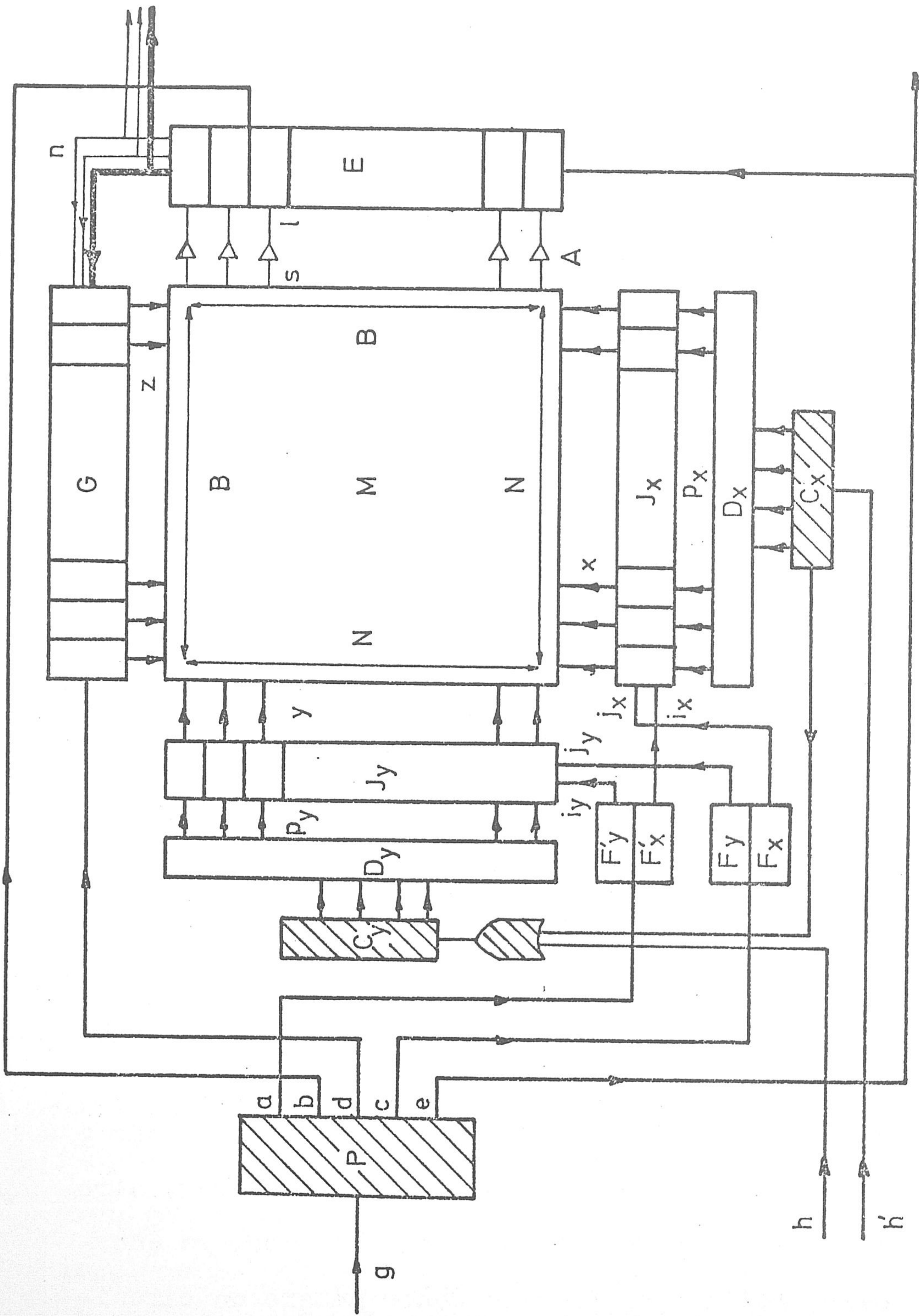


Fig. IV - 1

tos de ataque. En la Fig. IV-1, $N = 20$. Los otros dos lados del bloque M, marcados con B, corresponden, respectivamente, a las conexiones de los hilos de respuesta (parte derecha) y de inhibición (parte superior), siendo en cada caso $B = 24$, que es el número de planos utilizados.

Por lo que respecta al registro de dirección, las salidas de los contadores son decodificadas por D_x y D_y para seleccionar la columna de anillos correspondientes; debe tenerse en cuenta que esta decodificación no tiene por qué coincidir con la indicada en el esquema de bloques del conversor y en la Sec. III-5, puesto que en aquella ocasión estaba destinada a la presentación numérica visual del número de canal. J_x y J_y son los circuitos de acoplamiento entre los decodificadores y los hilos de selección x e y, y deben ser tantos como hilos en cada coordenada de la matriz. La misión de estos circuitos es canalizar la corriente de lectura o escritura, enviada por los generadores de impulsos F_x y F_y a través de los terminales i y j, al canal previamente seleccionado, y sólo a este.

Los amplificadores de lectura A entregan un impulso de polaridad adecuada a los elementos que componen la -

unidad aritmética E. Las salidas (n) de esta, en paralelo, gobiernan las puertas que controlan los circuitos de veto; G contiene, en el esquema, estos circuitos y sus puertas. Las salidas n de la escala aritmética presentan una derivación destinada a la unidad de presentación (analógica, digital visual o por impresora, etc.).

En las secciones que siguen, se describen sucintamente los circuitos particulares que componen el sistema de memoria, y que han sido indicados en el anterior esquema de bloques, haciendo referencia al mismo cuando proceda.

IV.3.- La decodificación

La Fig. IV-2 representa los circuitos destinados a la decodificación completa del número de canal registrado en los contadores, para la selección de la columna de anillos correspondiente. El número de canal se encuentra en los contadores en forma binaria; C_x y C_y son circuitos integrados tipo FJJ 141, que contienen 4 pasos binarios cada uno, y con una capacidad de hasta 10 cuentas. El primero registra solamente el número de unidades recibidas por h' ; el segundo registra el número de decenas, pero como es

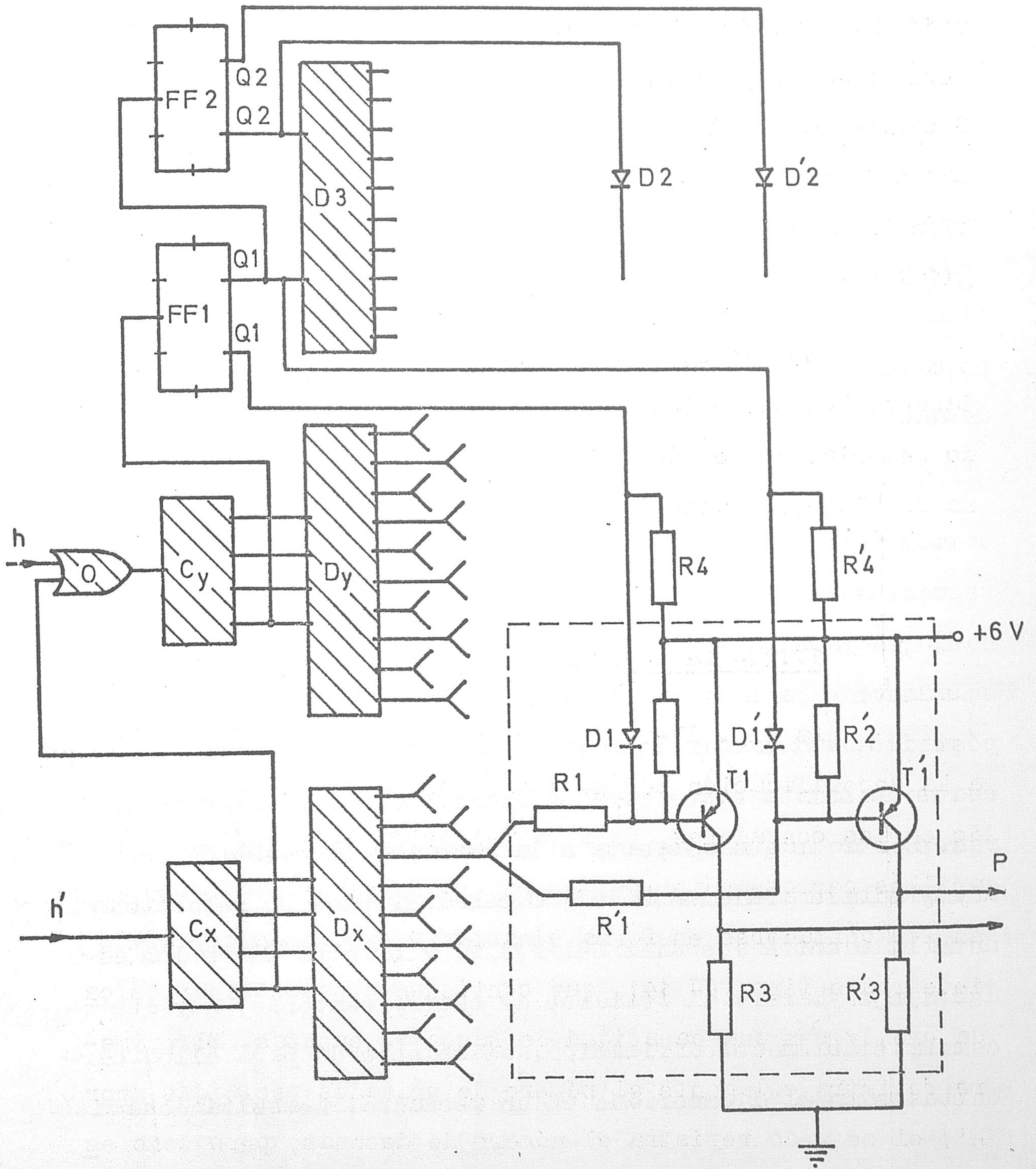


Fig. IV - 2

te puede alcanzar hasta 40, debe completarse con otra uni-
dad posterior, sin entrada independiente; en este punto se
ha optado por el empleo de dos circuitos biestables independe-
dientes, FF1 y FF2, en lugar de otra unidad contadora como
las anteriores, para facilitar la decodificación; este pro-
ceso debe, partiendo de un número registrado como se ha in-
dicado antes en los contadores, conducir a la selección de
un hilo de coordenada x elegido entre 20, y de otro de coor-
denada y elegido del mismo modo.

Una primera decodificación se realiza por los cir-
cuitos integrados del tipo FJL 101, de Philips (Ref. 46) ,
representados en el esquema por D_x , D_y , D_3 ; este último -
no juega papel alguno en el proceso que nos ocupa y sirve_
solamente para la indicación numérica visual; con este pro-
pósito, estos circuitos integrados disponen de transisto--
res de salida aptos para el gobierno de los tubos indica-
dos. Por lo que respecta a la memoria, la cuestión sería -
muy simple tratándose de 100 canales, pues D_x seleccionaría
un hilo entre los diez del eje x, y D_y otro entre los diez
del eje y. Pero al tratarse de cuatro centenas, hay que -
completar la decodificación, estableciendo para ello, cir-
cuitos como el encerrado en un recuadro, necesitándose diez

de ellos para cada coordenada, x e y. Cada uno de estos - circuitos contiene, esencialmente, dos inversores idénti--cos con la entrada común, conectada a una de las salidas de los decodificadores binario-decimal; la salida significativa de estos, se caracteriza por el estado de conducción del transistor de salida, con lo que los transistores corres--pondientes T1 y T1' conducen también, y el nivel de sali--da (puntos P) será alto; así se dispone ya de 20 salidas - para la cifra de unidades (dos por cada una), y otras 20 para la de decenas, que son las necesarias. Pero, naturalmente, una de cada par debe ser eliminada, en consonancia con el número de centenas, que viene determinado por la combi--nación de estados de FF1 y FF2. Por ejemplo, FF1, supuesto excitado el circuito enmarcado, corta, mediante el diodo D1 (o D1'), el transistor T1 (o T1'), según que sea la salida Q1 o la $\overline{Q1}$ la que se encuentre en el nivel lógico "1" (alto). El circuito dibujado como ejemplo en la figura, aparece conectado a la cifra 3 de unidades, y las salidas "p" - están aplicadas a los hilos de coordenadas x, 3 y 13; pero sólo una de ellas será la verdaderamente seleccionada, lo que depende ahora del estado de FF1; exactamente igual ocurre con las salidas de D_y , aunque no se ha dibujado ningún circuito por ser idéntico al anterior. Las series de diodos

D2 y D'2 eliminan igualmente una de cada dos salidas. Esta parte de la decodificación se aclara en la Fig. IV-3. En ella se representa, esquemáticamente, una matriz cuadrada

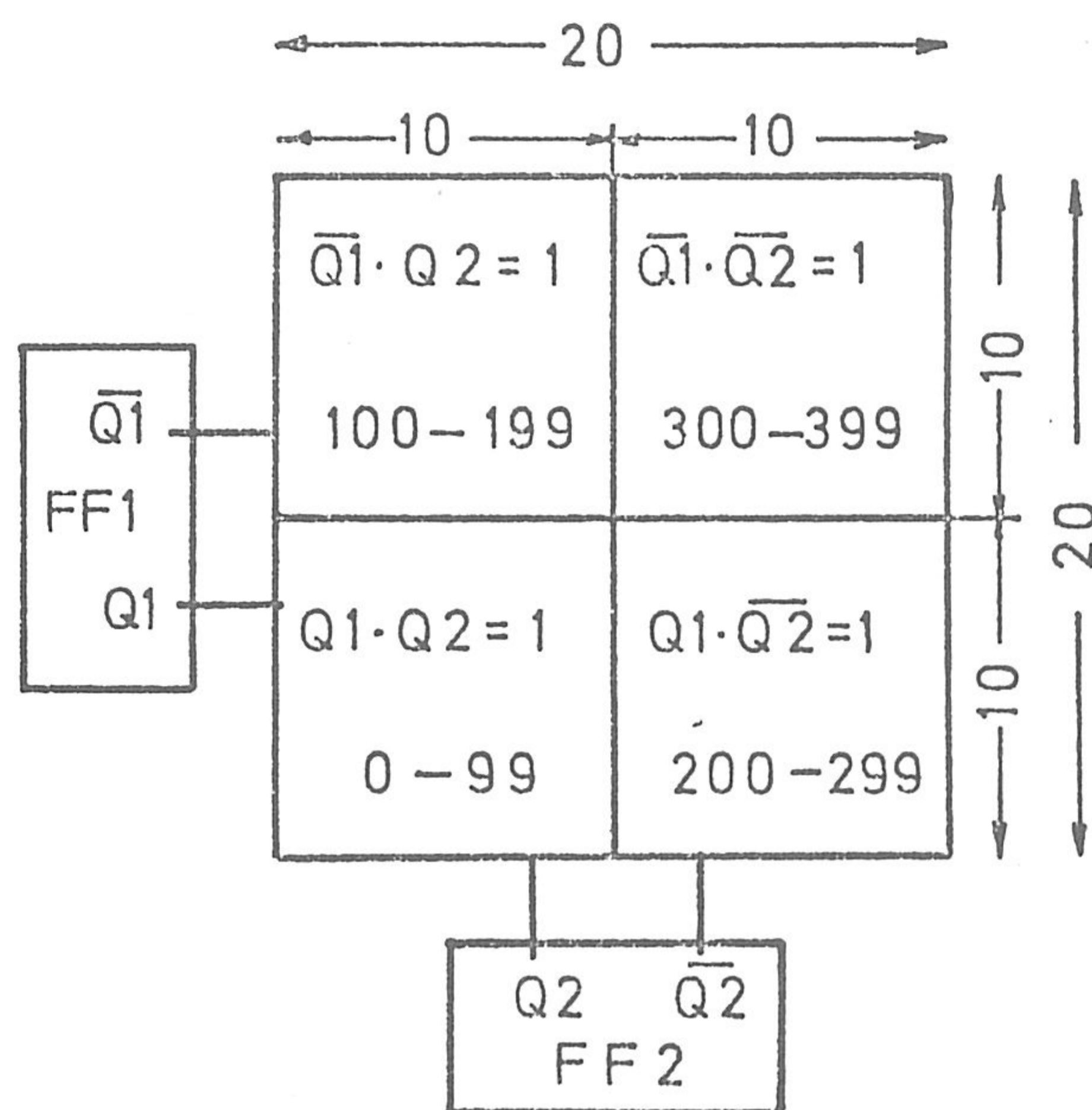


Fig. IV - 3

de 20 x 20 canales, dividida en cuatro cuadrantes de 100 canales cada uno (10 x 10); los cuatro cuadrantes son explorados simultáneamente por las salidas de los circuitos D_x y D_y ; pero los binarios FF1 y FF2, cuyos estados dependen del número de centenas del canal, seleccionan el cuadrante apropiado; en el interior de cada cuadrante se indica, mediante una igualdad lógica, la condición de selección del mismo, y el número de los canales que incluye.

Las resistencias R4 y R'4 se han incluido para asegurar el bloqueo de la serie de circuitos correspondientes, por la carga que D_x y D_y puedan suponer para FF1, cuyas salidas son de impedancia elevada en el nivel lógico "1". Sin embargo, hay que tener en cuenta que sólo existe consumo a través de R4 (o R'4) por parte de una resistencia R1 (o R'1) de la serie de 10, pues sólo un transistor de salida de D_x , y otro de D_y se hallan en cada instante en estado de conducción. R2 y R'2 garantizan la situación de corte absoluto de los transistores. R3 y R'3 tienen valores altos, predominando la carga aportada por los circuitos de acoplamiento, conectados a "p", y que se consideran en la sección siguiente.

IV.4.- Circuitos de acoplamiento

El número de estos circuitos ha de ser de 20 para los hilos de selección x, e igual número cantidad para los de selección y, Cada uno de ellos será excitado por la salida correspondiente del decodificador, consistente en un nivel de tensión alto. Como se ha visto en el esquema de bloques de la memoria, todo el conjunto de circuitos

de acoplamiento de cada coordenada recibe un sólo impulso de corriente para la lectura y otro para la escritura; pero sólo el circuito de acoplamiento seleccionado por el decodificador, ha de estar predispuesto para efectuar la conducción de estas corrientes destinadas a la lectura o escritura. Resaltamos el hecho de que estos circuitos, con relativa simplicidad, se han diseñado para conducir ambas corrientes, de sentido contrario, para efectuar la lectura y la escritura de información en los anillos. Además, carecen de alimentación, comportándose como meros receptores pasivos de los impulsos de corriente, y actúan como circuitos puerta respecto de la señal procedente del conversor. Además, y esto es una ventaja adicional, la forma de los impulsos de corriente viene impuesta por los circuitos formadores de los mismos, de los que sólo se necesitan 4, y no por los de acoplamiento, evitando desigualdades en aquellos por la influencia de estos.

El esquema de estos circuitos se da en la Fig. - IV-4. El conjunto serie de los hilos de selección de todos los planos correspondientes a una cierta coordenada, se designa por x , y . Como es habitual, la parte de circuito enmarcada es la que se repite, una para cada coordenada. Las

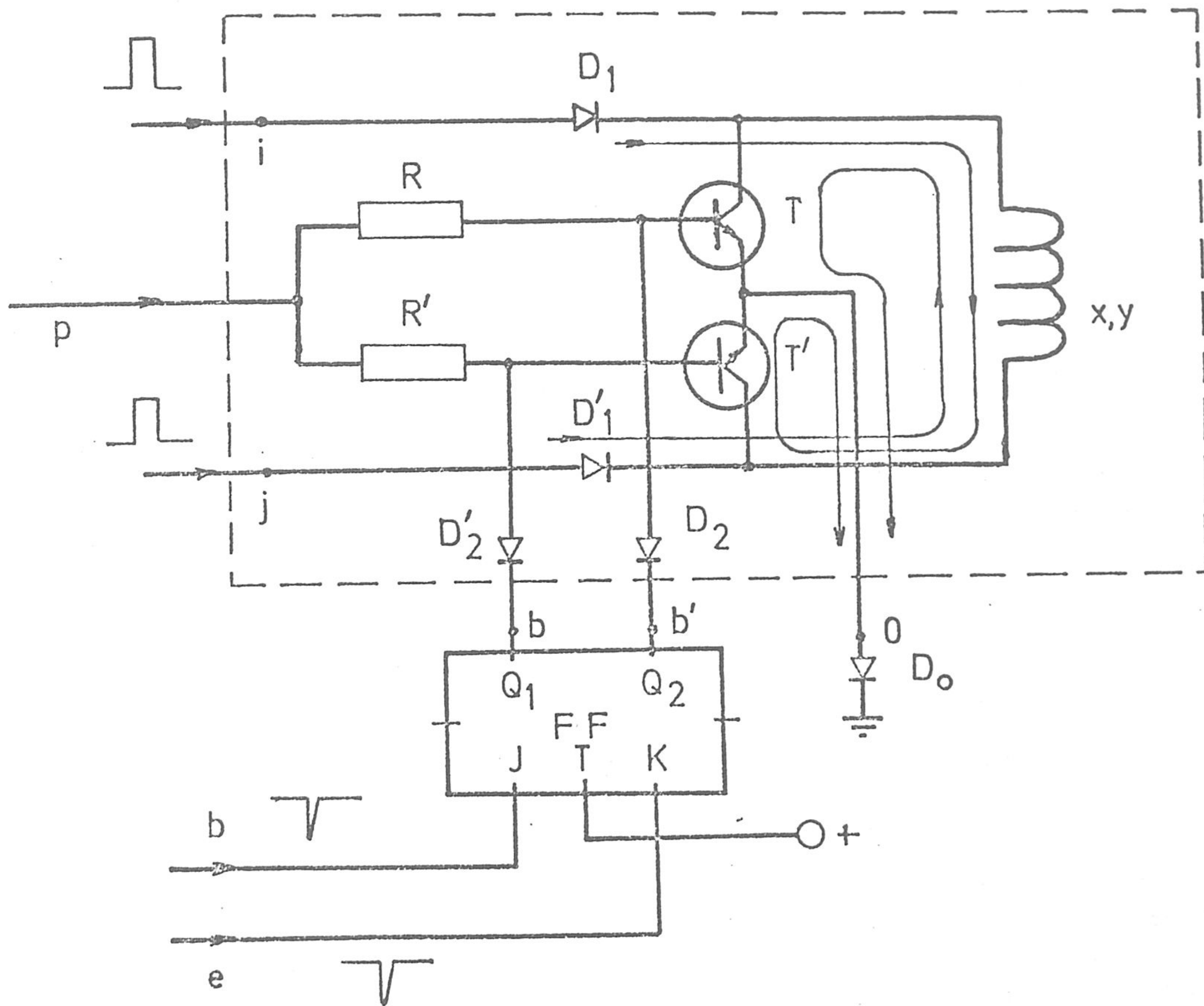


Fig. IV - 4

entradas $i_{x,y}$ y $j_{x,y}$ reciben los impulso de corriente para lectura y escritura, respectivamente, y son comunes para todos los circuitos de acoplamiento, como se había previsto. En cambio, la entrada $p_{x,y}$ es única para cada uno, y va conectada a la salida correspondiente en el decodificador. El punto 0 es el sumidero común de todas las corrientes

tes de estos circuitos.

Veamos primeramente la situación de este circuito en estado de reposo. Si no corresponde al canal seleccionado, no entra corriente alguna en el mismo y, al estar la entrada p en nivel bajo, todas las tensiones están a masa. Se supone que, en situación de reposo, las entradas i y j se hallan a tensión nula; el generador de impulsos de corriente debe cumplir esta condición. Si el circuito corresponde al canal seleccionado, la entrada p se encuentra a un nivel de tensión alto (unos 5,5 voltios). De aquí proviene una corriente, a través de R y R', hacia las bases de los transistores T y T'. Puesto que la corriente de colector es nula, la de base es también la de emisor de los transistores. En esta situación estarían ambos dispuestos a conducir, de no ser porque el biestable FF, a través de los diodos D2 y D'2, mantiene cortado uno de los dos, que será en todo momento - el conectado a la salida del binario que se halle en nivel bajo; en este nivel, la salida es de baja impedancia, y el binario consume la corriente procedente de R o R'. Aunque - el circuito biestable FF es común para todos los de acoplamiento, no está sobrecargado, ya que recibe corriente en su salida de nivel lógico bajo, procedente exclusivamente de -

dos circuitos de acoplamiento, uno x , y el otro y , que son los que seleccionan el canal. El diodo D_0 asegura el estado de corte de uno de los dos transistores.

El estado del biestable FF debe alternarse durante el ciclo de memoria, siendo distinto para leer o registrar en la misma. Por ello se dispara asimétricamente, por las salidas b y e del circuito programador, que corresponden a instantes intermedios entre las dos operaciones. Veamos ahora como se comporta el circuito frente a estas operaciones. Para la lectura, se aplica un impulso de corriente en una de las entradas, por ejemplo, la i . Esta corriente pasa a través de D_1 y debe encontrar cortado al transistor T ; por lo tanto, el binario debe tener en este momento su salida Q en nivel bajo. La corriente recorre los hilos de selección x , y , y pasa por T' , que se encuentra en estado de conducción, terminando en masa. Con línea fina se indica en la Fig. IV-4, la trayectoria seguida por este impulso de corriente, I_1 , correspondiente a la lectura. Si se trata ahora de efectuar el registro, el impulso de corriente, similar al anterior, se presenta en la entrada j , pasa por $D'1$, debiendo encontrar cortado al transistor $T'1$ (el binario ha conmutado), pasa por los hilos de selección y retorna a masa a -

través de T, que está conduciendo. Se indica también la tra
yectoria de esta corriente de escritura, observándose que -
circula en sentido contrario al anterior por el hilo de se-
lección.

Análogamente a lo expuesto respecto a la carga que
el conjunto de circuito de acoplamiento representa para FF,
puede decirse respecto a la carga de los mismo para el cir-
cuito formador de los impulsos de corriente, pues sólo con-
sumen los del canal seleccionado. Sin embargo, existe la sal
vedad de que hacen falta dos circuitos formadores de impul-
sos, uno para cada coordenada, x e y; se presenta una segun
da duplicidad respecto a estos circuitos, al necesitarse uno
para efectuar la lectura de la memoria, y otro para el regis
tro. En total, 4 circuitos formadores de impulsos de corrien
te, que pueden ser gemelos, ya que tienen que suministrar -
impulsos iguales; esto evita diferencias de diseño y fuentes
de alimentación de polaridad opuesta, ventajas que en defi-
nitiva, provienen del diseño logrado en los circuitos de aco
plamiento.

Terminamos la exposición de estos circuitos con -
ciertas consideraciones relativas a los componenetes utilizada

dos. Los transistores son de silicio, el tipo BFY 50, que admiten corrientes de colector relativamente intensas (1 amp.). Los diodos D1, D'1 y D0, han de admitir también estas corrientes, lo que no es difícil, por rtrabajar en régimen impulsado. Resulta conveniente que sean de silicio, especialmente D0, en virtud de su más elevada tensión directa, ya que su papel es "levantar" la tensión de emisor del transistor que conduce, para asegurar el corte del que no debe conducir. Por esta misma razón puede interesar que D2 y D'2 sean de germanio, aunque no llega a ser necesario, ya que el nivel bajo en las salidas (puntos b y b') del binario representan sólo unos 0,2 voltios. Las resistencias R y R' deben satisfacer varias condiciones. La primera es que la corriente en las mismas debe permitir a los transistores trabajar a plena saturación, para que no se modifique el valor previsto de la corriente de gobierno (ver Sección siguiente). La segunda es que no deben constituir una carga excesiva para el binario FF, ni para los circuitos de salida del decodificador, que las alimenta. A pesar de estas condiciones, la elección de R y R' no resulta crítica.

IV.5.- Circuitos formadores de Impulsos de corriente

Son los circuitos que han de generar, ante la señal oportuna, los impulsos de corriente $\frac{1}{2}I$, con los que se efectúa la lectura y el registro de información en los anillos, previamente seleccionados por los circuitos de acoplamiento. Se necesitan cuatro de estos circuitos, dos para los hilos de coordenada x, y dos para los y; en cada caso, uno para leer y otro para escribir. Como los 4 son iguales, la Fig.- IV-5 presenta el esquema de uno de ellos.

El circuito se dispara mediante impulsos positivos en a y c, procedentes del programador, que ponen en saturación a T1. La salida de este tiene idéntica consecuencia sobre T2, y finalmente la salida de este paso, positiva, se tiene en el seguidor por emisor de T3;. El circuito es por tanto, un amplificador, en donde el primer paso amplifica la señal desde unos 5 voltios de amplitud hasta 24, mientras que el segundo paso sólo tiene función inversora de polaridad; - ambos transistores trabajan entre corte y saturación, siendo esto especialmente importante en T2, pues de ello depende el que los impulsos de corriente obtenidos a través de R6 sean de amplitud estable, y de forma aproximadamente rectangular.

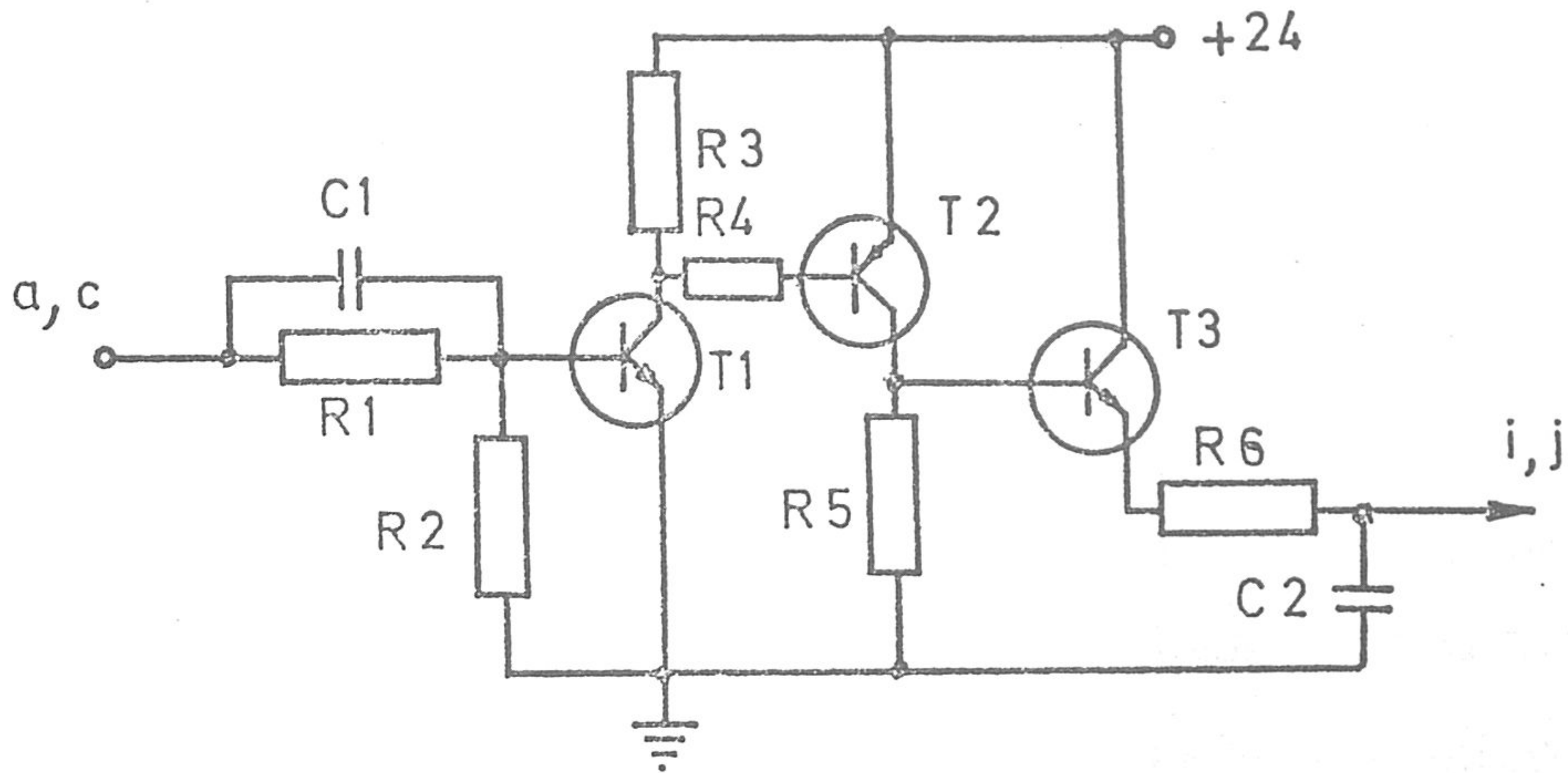


Fig. IV - 5

Por lo demás se trata de un circuito convencional, siendo R6 la resistencia limitadora de la corriente obtenida en la carga aplicada a i, j, que son los circuitos de acoplamiento; estos presentan una impedancia de entrada muy baja, - por lo que la intensidad obtenida vale,

$$\frac{1}{2}I = \frac{24 - V_{EC}(T2) + V_{BE}(T3)}{R6}$$

El condensador C2 se incluye para suavizar los flancos de entrada de los impulsos obtenidos, que no deben presentar tiempos de elevación inferiores a 0,2 μ seg; de ello dependen de la posible aparición de efectos perturbadores debidos a -

acoplamiento capacitivos e inducciones en el trenzado de los hilos de la memoria.

IV.6.- Amplificadores de lectura

Estos circuitos, de los que son necesarios uno por cada plano, o "bit" del número de cuentas, deben amplificar los impulsos de respuesta de los anillos, de unos 60 mV, hasta el valor preciso para disparar los elementos que componen la unidad aritmética; estos son circuitos biestables del tipo FCJ 111, y se disparan mediante flancos negativos comprendidos, al menos, entre +3 y +1 volt. La ganancia necesaria se consigue con un sólo paso de amplificación, como indica la Fig. IV-6. El hilo de respuesta, s, se carga con R1 y C1

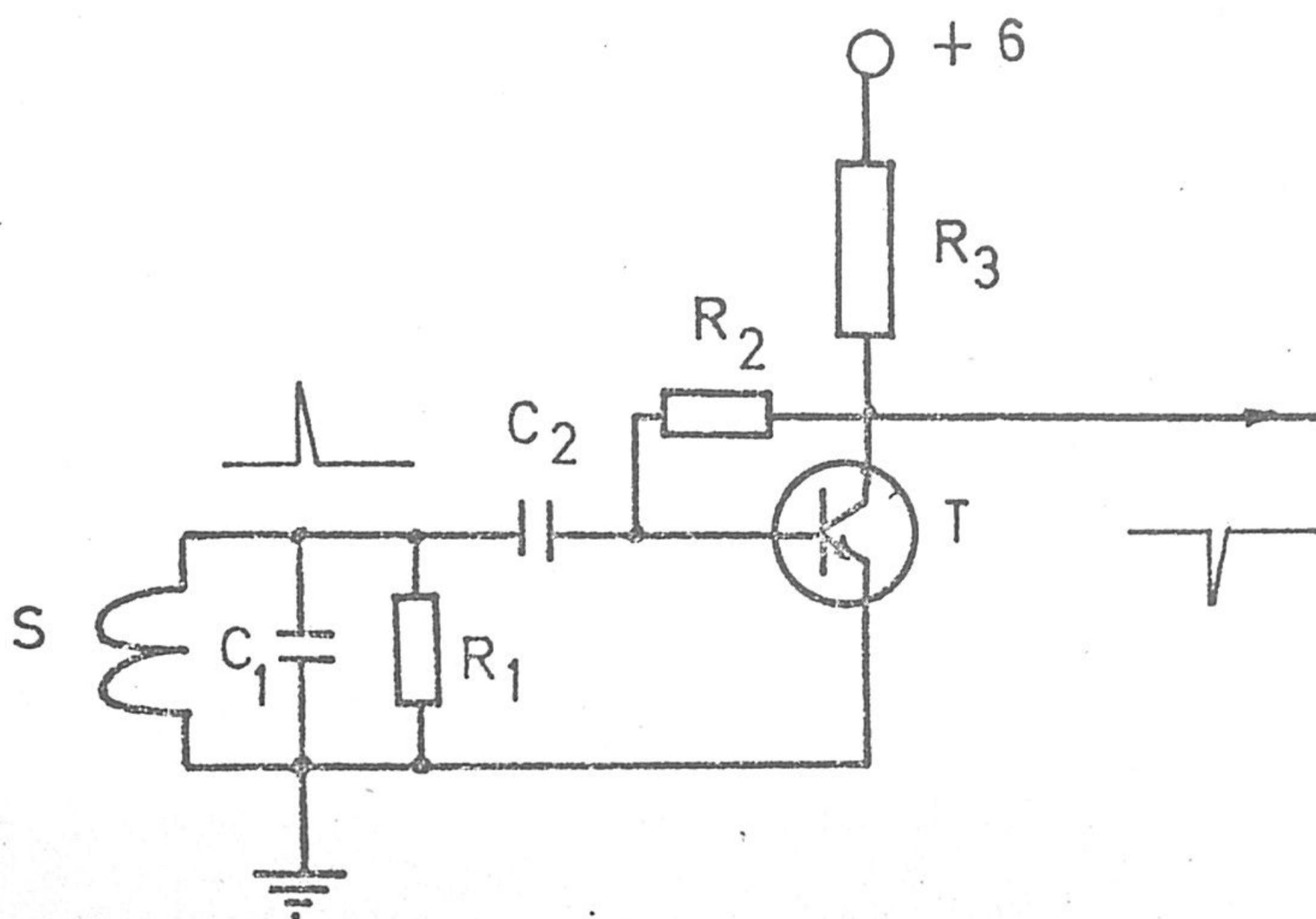


Fig. IV - 6

para reducir notablemente el ruido generado en el mismo. Las conexiones se disponen de modo que el impulso obtenido en la lectura sea el positivo, ya que la salida del amplificador debe consistir en un impulso negativo, y hay que contar con la inversión de polaridad. El impulso de respuesta es acoplado a la etapa amplificadora por condensador, C2.

El diseño de este amplificador está condicionado por la necesidad de obtener impulsos de salida negativa cuyo pico alcance prácticamente el nivel de masa, para asegurar el disparo de los circuitos binarios; por esta razón no se incluye resistencia de emisor para conseguir la polarización de base-emisor adecuada al punto de trabajo. Este se obtiene entonces mediante una corriente en base lo más fija posible. La resistencia R2 suministra esta corriente de base, además de una realimentación negativa que estabiliza el punto de operación. La salida es por colector, con la resistencia de carga R3.

R3 se ha elegido con el mínimo valor necesario para obtener, sin realimentación, una ganancia doble de la necesaria; de acuerdo con las curvas características del transistor empleado, con una resistencia de carga de $1,2 \text{ K}\Omega$, se obtiene un impulso de salida de unos 5 voltios, para una en

trada de 60 mV, si el punto de trabajo se elige en $V_{BE}=600\text{mV}$, $V_{CE}=5\text{ V}$; esta última condición se obtiene eligiendo adecuadamente la resistencia R2, que resulta ser de $680\text{ K}\Omega$. Por ser muy elevado este valor, la realimentación negativa resulta muy débil, pero es suficiente para estabilizar el punto de reposo. En resumen, el punto de trabajo se caracteriza por $V_{CE}=5\text{ V}$, $I_C=1\text{ mA}$. Para los impulsos de respuesta de 60 mV, se obtiene una salida de 5 voltios, entrando el transistor en saturación, por lo que la ganancia es, al menos, de 80, cuando la necesaria es de unos 50. El amplificador trabaja en clase AB, y reúne dos características importantes adicionales; los impulsos que aparecen en el hilo de respuesta al efectuar la escritura son de polaridad opuesta, y, aunque originan una salida de +1 voltio (el transistor se corta completamente), no tienen influencia alguna sobre el circuito binario. Por otra parte, el amplificador no actúa linealmente, y un impulso de amplitud mitad (30 mV), no ocasiona una salida también mitad, sino que es de -1,5 volt. Esta falta de linealidad implica una protección contra el ruido y especialmente frente a los impulsos perturbadores que siempre se obtienen en la lectura de un "0" (debidos a la acción de $\frac{1}{2}I$ en todos los anillos de las filas excitadas). En cambio, puesto que la saturación se alcanza sobradamente, no existe

diferencia alguna cuando se lee un "1" en un anillo previamente perturbado por semicorrientes de operaciones anteriores, en cuyo caso el impulso de respuesta sólo difiere en algunos milivoltios del correcto.

IV.7.- Unidad aritmética

Este circuito, único en el sistema de memoria, es el designado con "E" en el esquema de bloques. Consiste, esencialmente, en un contador de 24 pasos binarios, uno por dígito. Sus características fundamentales se describen a continuación. Puesto que reciben la información contenida en la memoria en paralelo, hay que disponer de una entrada independiente por cada paso, por lo que no se puede emplear componentes más concentrados, por ejemplo, contadores binario decimal de cuatro pasos biestables. Otra cuestión es la necesidad de una decodificación posterior, con fines de presentación de datos, del contenido de esta escala aritmética a forma decimal. Para facilitar esta operación, la escala cuenta en código binario-decimal, lo que requiere cuatro dígitos por cada cifra decimal; esta es la razón de emplear 24 pasos en lugar de 20, que sería lo indispensable para contar hasta 10^6 , lo que impone iguales cantidades de planos de anillos. Como ca-

da cuatro pasos binarios aportan una cifra decimal en el número de cuenta, las conexiones del contador deben escamotear 6 cuentas de las 16 posibles con estos cuatro pasos binarios ($2^4 = 16$), reciclando en la cuenta nº 10; conviene efectuar este escamoteo sin alterar el valor de cada uno de los cuatro dígitos, para lo que esta función debe realizarse consiguiendo que el contador, al recibir el impulso nº 10 adopte la posición de 0000 , en lugar de la 1010; la representación binaria de todas las cifras decimales se hace en sistema binario puro, correctamente.

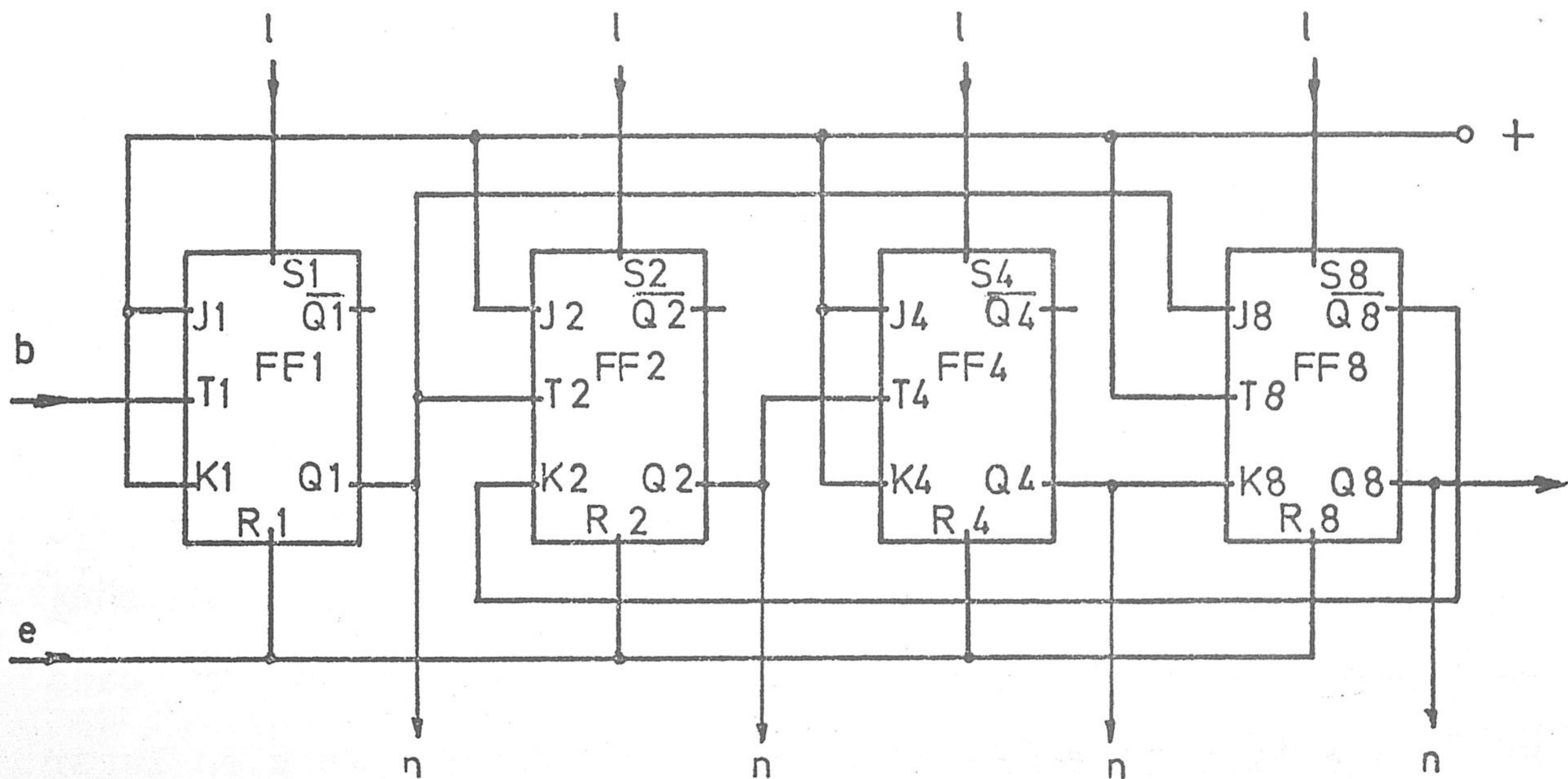


Fig. IV - 7

El esquema de la Fig. IV-7 contiene los cuatro pasos binarios que determinan una cualquiera de las cifras de c^omales de que consta el número de cuentas total; se halla, por tanto, repetida seis veces, conectando la salida de cada una a la entrada de la siguiente. Los pasos de que consta se han designado con los números de valoración de los dígitos correspondientes. El circuito cuenta con entera normalidad hasta el impulso n^o 8; este pone a "0" los tres primeros pasos, y en "1" el cuarto; una salida Q8 de éste realimenta al segundo paso en su entrada K2, que lo condiciona al estado "0", lo que equivale a decir que no saldrá de este estado al recibir nuevos impulsos en T2; también FF4 se mantendrá en la misma situación de "0", por lo que, mientras FF8 está en posición "1", necesariamente estarán "0" FF2 y FF4, como se había previsto. El impulso n^o 9 pone en "1" a FF1, sin más consecuencias. Pero el n^o 10, al volver a cero FF1, pone también en cero FF8, ya que la salida Q1 actúa constantemente sobre FF8, en su entrada J; este disparo asimétrico es el que corresponde a la puesta en "0", y no tiene efecto durante las ocho primeras cuentas, en las que el último paso se mantiene en "0", y sólo es efectivo en la n^o 10, que es la que lo encuentra en estado "1"; en este momento queda desbloqueado FF2, y se repite el ciclo de 10 idénticamente.

En las entradas directas S se recibe la información paralelo procedente de los amplificadores de lectura - (puntos "1"), no debiéndose utilizar la entrada T mientras no hayan desaparecido las señales en "1" pues las entradas S tienen caracter predominante, y bloquearían el contador. La puesta a cero de la escala aritmética se efectúa simultáneamente por las entradas R al término del ciclo de memoria.

Un dato a tener en cuenta en el diseño del ciclo de memoria es el tiempo de propagación de la señal a lo largo de la cadena de binarios. En cada uno de ellos se produce un retardo entre el instante en que se aplica una señal a la entrada y la conmutación de los niveles de salida, por lo que aquellos impulsos que deben efectuar la transición de varios biestables, no la provocarán simultáneamente, sino uno detrás de otro, siendo para estos circuitos el tiempo de propagación de unos 200 nseg (Ref. 46); sin embargo, este tiempo incluye la recuperación completa del biestable, necesaria para el recuento de un tren de impulsos, pero no aquí, en donde el modo de operación que se precisa consiste en la adición de un sólo impulso a la cuenta registrada por los terminales S. Por lo tanto, en este régimen de funcionamiento, basta considerar el retardo de cada circuito desde que

se aplica la señal de entrada hasta que se efectúa la transición en la salida que pasa del nivel alto al bajo, pues estas transiciones son las efectivas; este tiempo es mucho menor, y puede estimarse en unos 50 nseg. El tiempo máximo de propagación se presenta en la cuenta que hace pasar al contador del número 799.999 al 800.000, pues interesa a la totalidad de la cadena, alcanzando al último paso. Sin embargo, los pases implicados en esta transmisión son solamente los binarios FF1 y FF8 de cada grupo decimal, ya que se ha visto que la transición de 9 a 0 elude los dos binarios intermedios, disparándose el cuarto con la salida del primero. Unicamente en el último paso decimal se ha tenido en cuenta, a efectos del máximo tiempo de propagación, la transición de la cifra 7 a la 8, que interesa a tres binarios. En resumen, son 13 las transiciones que corresponden al caso más desfavorable, y suponen la inversión de un tiempo total de $50 \times 13 = 650$ nseg. Este es, pues, el tiempo mínimo que ha de transcurrir desde que se aplica el impulso para añadir 1, hasta que se efectúa la escritura en la memoria del nuevo número resultante.

La Fig. IV-8 indica la sucesión de niveles de salida en los binarios cuando se efectúa un ciclo de 10 cuen-

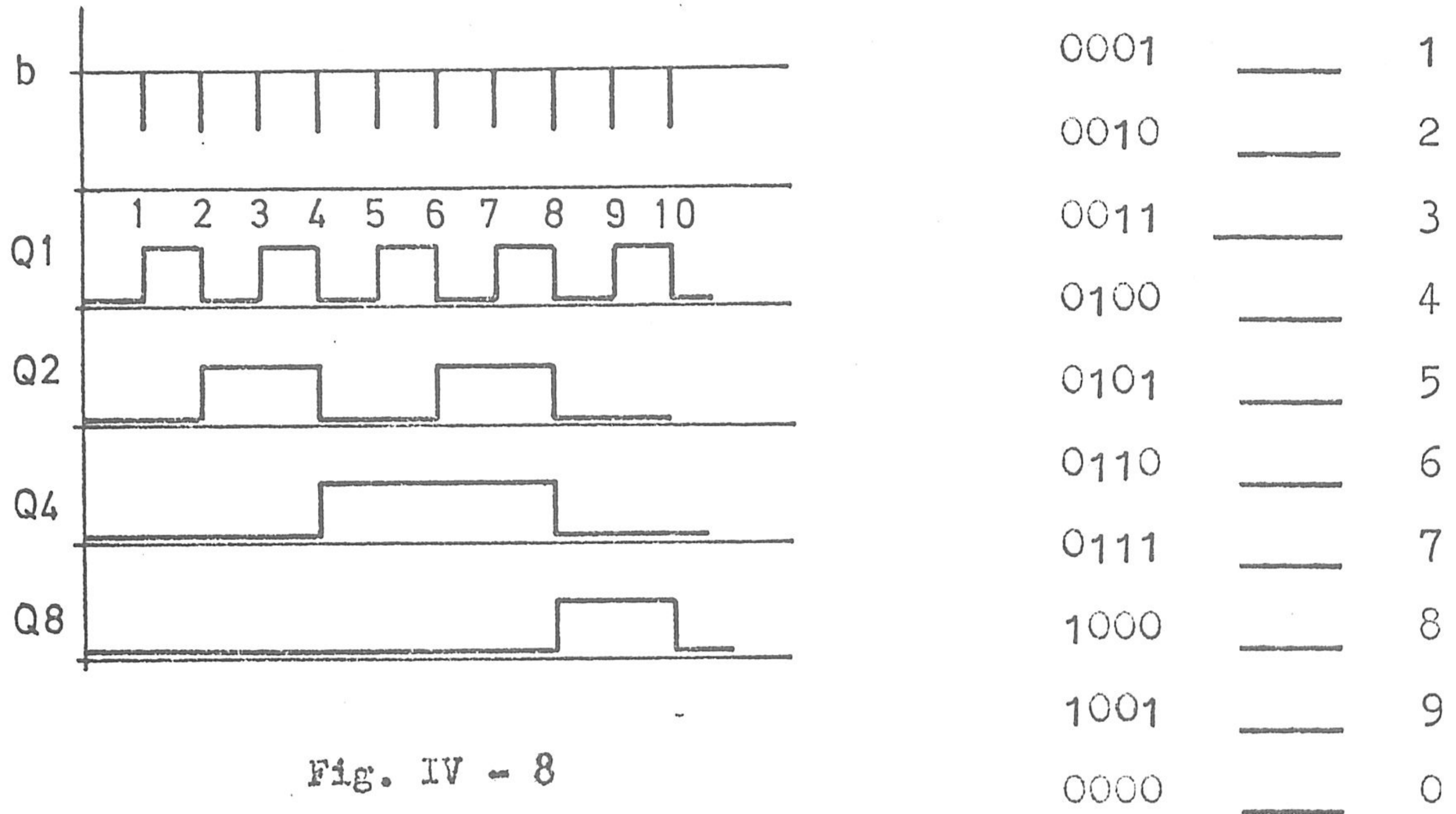


Fig. IV - 8

tas, y al margen la tabla de equivalencias binario-decimal. En la figura no se han tenido en cuenta los tiempos de propagación.

IV.8.- Circuitos de inhibición

Estos circuitos (G en el esquema de bloques) tienen la doble función de suministrar impulsos de corriente $\frac{1}{2}I$ de la polaridad adecuada para vetar el registro en un -

plano determinado, y efectuar la operación lógica "Y" entre la orden de veto procedente del programador del ciclo de memoria, y cada salida de la unidad aritmética. De estos circuitos son necesarios tantos como planos de anillos, es decir, 24. En la Fig. IV-9 se representa a uno de ellos con una entrada d común a todas las puertas Y, que recibe la orden suministrada por el programador del ciclo.

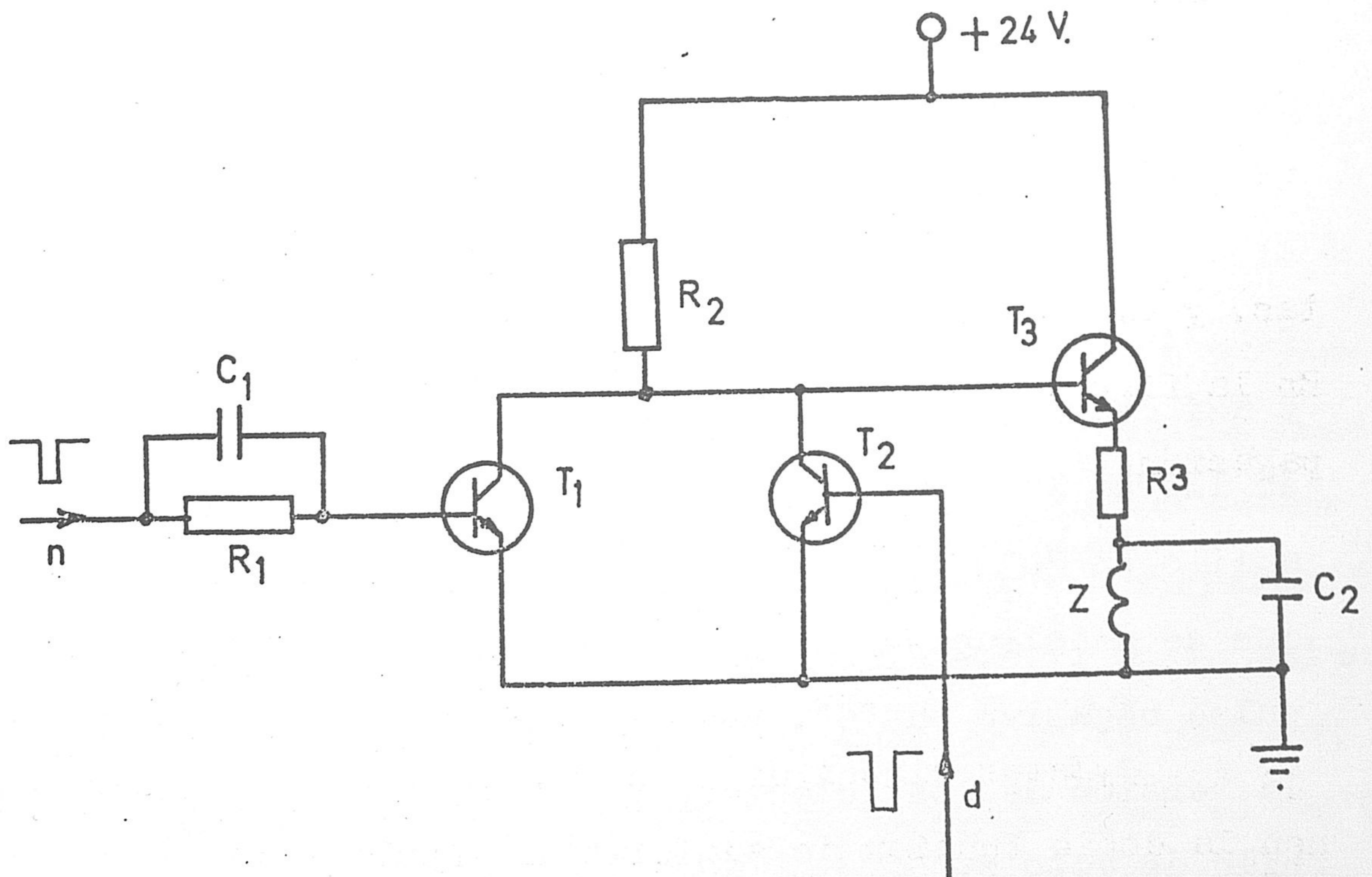


Fig. IV - 9

El transistor T1 recibe, a través de "n", la señal procedente de uno de los binarios de la unidad aritmética. Mientras no se realiza el ciclo de memoria, la escala aritmética está a cero, y todas las entradas "n" de estos circuitos mantienen cortados a los transistores T1; en esta situación de reposo, los transistores T2 deben estar conduciendo a saturación, para que todos los T3 estén cortados, no circulando corriente por los hilos de inhibición z.

Dentro del ciclo de memoria, una vez que la escala aritmética ha sumado 1, las entradas "n" se encuentran a los niveles representativos del número que se ha de inscribir en la memoria, unas altas y otras bajas. Lo primero significa que se debe registrar un "1" en el anillo correspondiente, en cuyo caso no debe circular corriente de veto, y así ocurre, pues al conducir T1, no se excitará T3 cuando llegue la señal a través de T2. Si se ha de mantener el anillo en "0", debe vetarse la escritura de ese anillo, lo que se consigue por estar cortado T1, al recibirse un impulso negativo en "d", pues T2 también se corta, subiendo la tensión de los colectores, y conduciendo T3 a través del hilo de veto z.

Es evidente la acción Y inversora del par formado por T1 y T2; en colector se obtiene una señal positiva cuando son negativos las entradas a T1 y T2 simultáneamente.

El impulso negativo de entrada en "d" corta a todos los transistores T2, y pone a conducir a todos los T3 - cuyas entradas correspondientes "n" sean también negativas. Las corrientes de veto obtenidas, de valor $\frac{1}{2}I = 325 \text{ mA}$, vienen determinadas por la resistencia limitadora de emisor R3. El condensador C2 suaviza los tiempos de elevación de los impulsos de corriente obtenidos.

IV.9. Circuitos programador del ciclo de memoria

Este circuito, incluido en los diagramas de bloques del conversor analógico-digital y del sistema de memoria, es accionado por el propio oscilador, después de una adecuada división de frecuencia. El sistema de programación consiste en una operación de recuento, decodificando del contador las salidas precisas para el trabajo de la memoria; - estas salidas serán, en general, de duración igual al período de los impulsos recibidos, o en todo caso, múltiplo de este período. De acuerdo con estas ideas, en la Fig. IV-10,

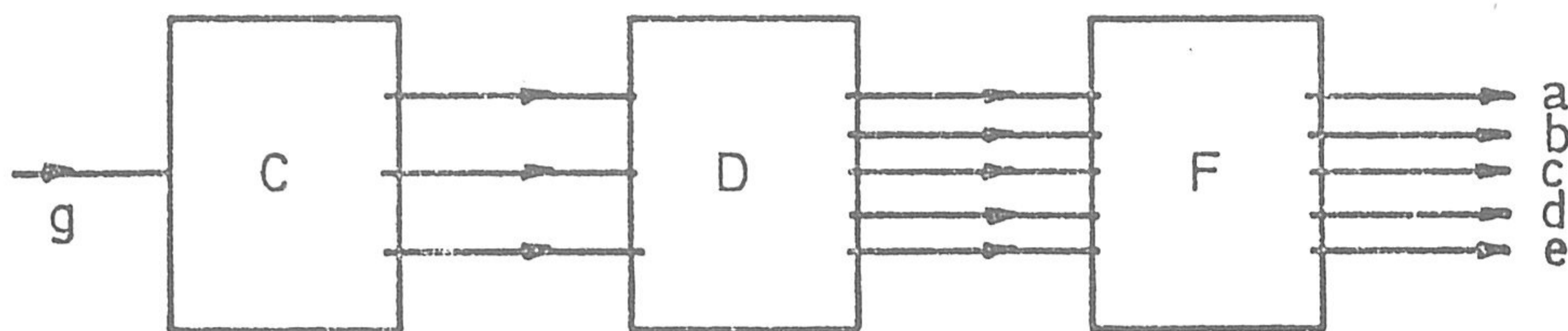


Fig. IV - 10

se presenta un diagrama simplificado del programador, que consta de un contador C, un decodificador D, y un conjunto apropiado de circuitos de salida, F.

Veamos, en primer lugar, los dos caracteres esenciales de funcionamiento de este circuito: el número de operaciones a programar, y la duración y separación entre las mismas. De esto se puede deducir el número de intervalos de tiempo que deben quedar definidos por el contador, y por tanto, el número de impulsos de que consta el ciclo de recuento, y la frecuencia de estos impulsos. Para ello, revisamos las operaciones que hay que realizar con la memoria, que son tres, fundamentalmente; lectura, adición aritmética, y escritura.

La lectura requiere un impulso de corriente de du

ración y tiempo de elevación mínimos (Sec. IV-1); para ello hay que contar, al menos, con un tiempo total de $1 \mu\text{seg.}$

La suma de una cuenta en la escala aritmética necesita disponer de un tiempo del orden de un microsegundo, debido al tiempo de propagación a lo largo del contador, como se ha visto en la Sec. IV-7. Pero, además de esto, el impulso a sumar no debe presentarse hasta encontrar la escala aritmética totalmente recuperada de la transferencia efectuada en la lectura; para ello hay que contar con que los impulsos de respuesta aparecen, en general, con un pequeño retardo desde que la corriente de lectura alcanza su valor efectivo; por otra parte, los propios binarios exigen un tiempo de restablecimiento, después de cada transición, para ser disparados de nuevo. Esto impide que la señal que pone fin al impulso de corriente para la lectura, no pueda emplearse para efectuar la adición de una cuenta en la escala aritmética, sino que hay que disponer de un pequeño tiempo de espera, que podría ser de unos $0,4 \mu\text{seg.}$

La operación de registro no puede realizarse hasta que haya transcurrido el tiempo de propagación en la escala aritmética, mencionado antes. Es suficiente para ello

con disponer de un microsegundo. A su vez, la escritura requiere, como la lectura, un tiempo del orden de otro microsegundo. Pero el proceso de inhibición, aunque simultáneo por ser inherente a la escritura, exige una duración algo superior por razón de seguridad, es decir, la corriente que debe efectuar el registro en los hilos de coordenadas, debe iniciarse estando ya presente la corriente de veto, y esta debe permanecer algún tiempo después de haber cesado la anterior; el adelanto se consigue con un margen pequeño, pero seguro, recurriendo al menor tiempo de elevación de los impulsos de veto que el de los de registro; y la mayor persistencia de los primeros, demorando su supresión hasta la llegada de la señal que sigue a la que finaliza el impulso de escritura.

Como resumen del análisis de tiempo anterior, se da la siguiente relación:

- tiempo de lectura: 1 microseg.
- tiempo de espera antes de la operación aritmética 0,5 μ s.
- tiempo de propagación en la escala aritmética: 1 microseg.
- tiempo de veto (que incluye el de escritura): 1 microseg.

La disposición más sencilla del contador y decodificador - se consigue tomando 1 microsegundo como intervalo fundamenen

tal, lo que equivale a una frecuencia de operación de 1 Mc/seg. La única operación que exige un intervalo superior al fundamental es la de inhibición, a la que se asigna un doble, mientras que el tiempo de espera posterior a la lectura hay que aumentarlo lógicamente a uno de estos intervalos. Vemos que son necesarios cinco intervalos: uno para lectura, otro para recuperación de la unidad aritmética, otro para la adición de una cuenta, y dos para los impulsos de inhibición. Estos cinco intervalos quedan definidos por seis impulsos en el contador.

Un contador con ciclo de seis cuentas necesita tres pasos binarios, entre los que hay que escamotear dos cuentas. Esto se ha diseñado en forma similar a la escala aritmética, como se observa en la Fig. IV-11 a. En la parte b se da el diagrama de salidas para el ciclo de cuentas completo. De este contador se obtiene, por decodificación, la serie de señales de duración y secuencia adecuadas a las operaciones reseñadas anteriormente. La Fig. IV-12 presenta la matriz de diodos decodificadora, y los círculos de salida para las señales b, d y e; estas son negativas, mientras que las señales a y c, obtenidas directamente del decodificador, mantienen su polaridad positiva, que es la -

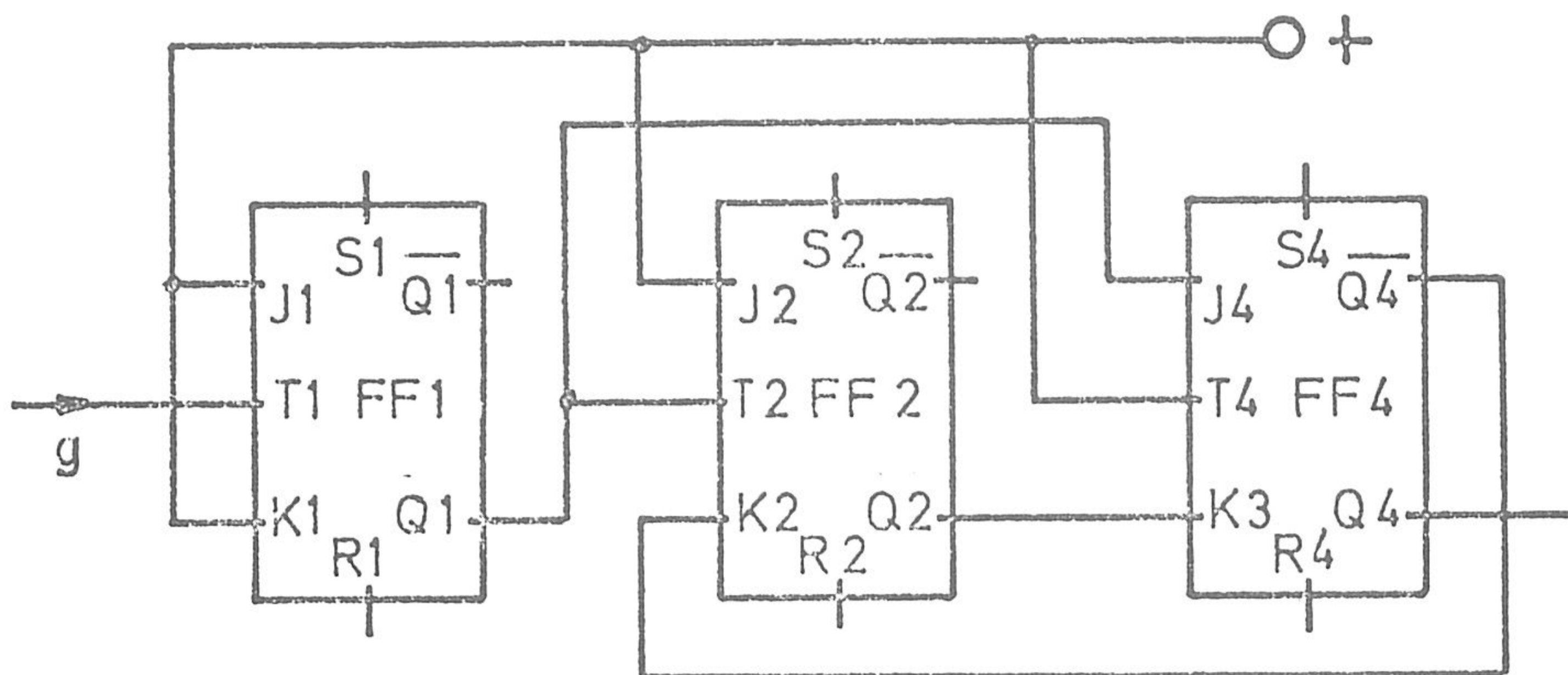


Fig. IV - 11a

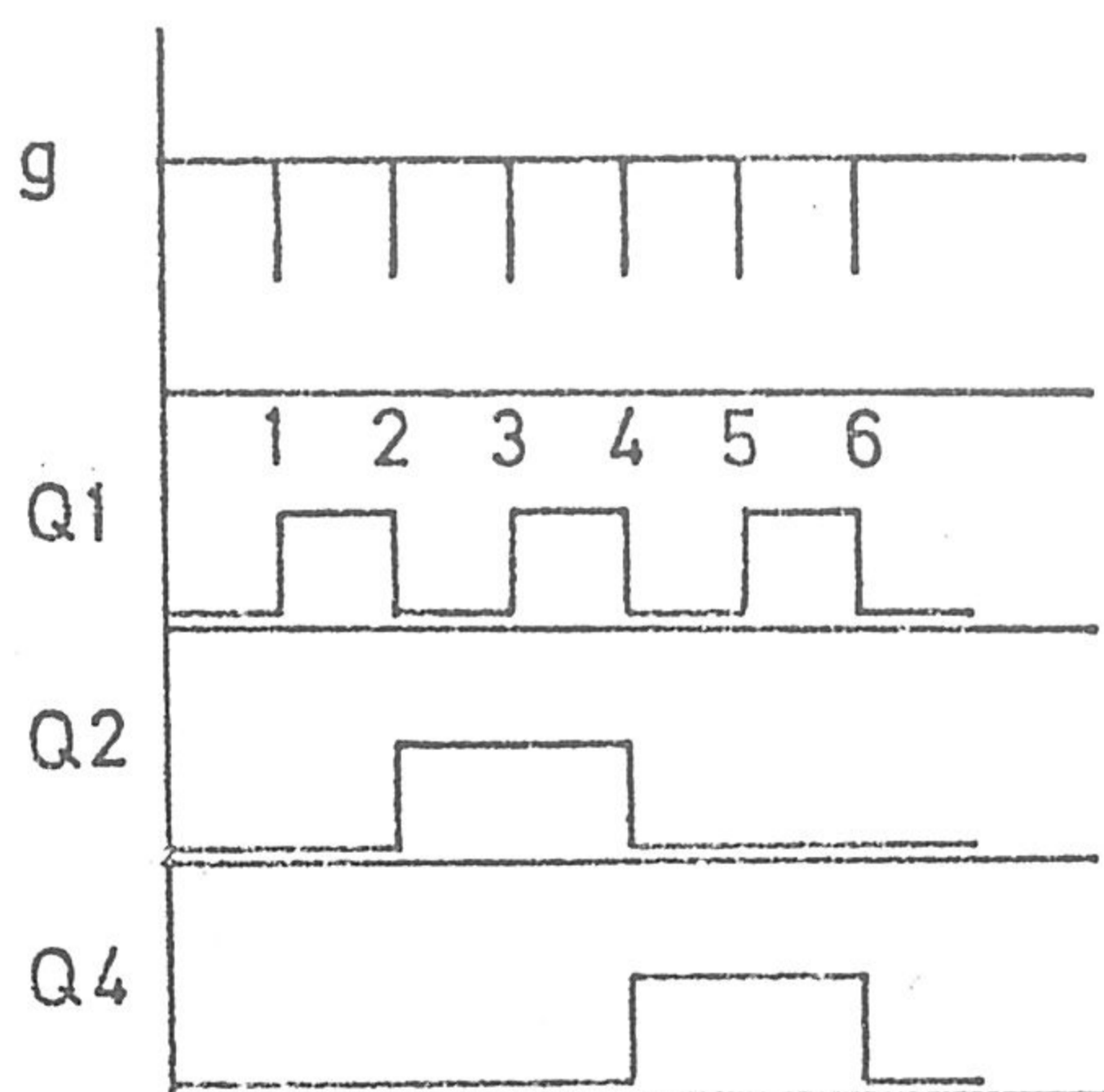


Fig. IV - 11b

requerida por los circuitos formadores de impulsos (Sec. IV-5) a los que van destinadas. La salida e, no prevista, suministra un impulso al final del ciclo para la puesta a cero de la unidad aritmética, y para la recuperación total del conversor, como se vió en la Sec. II-2.

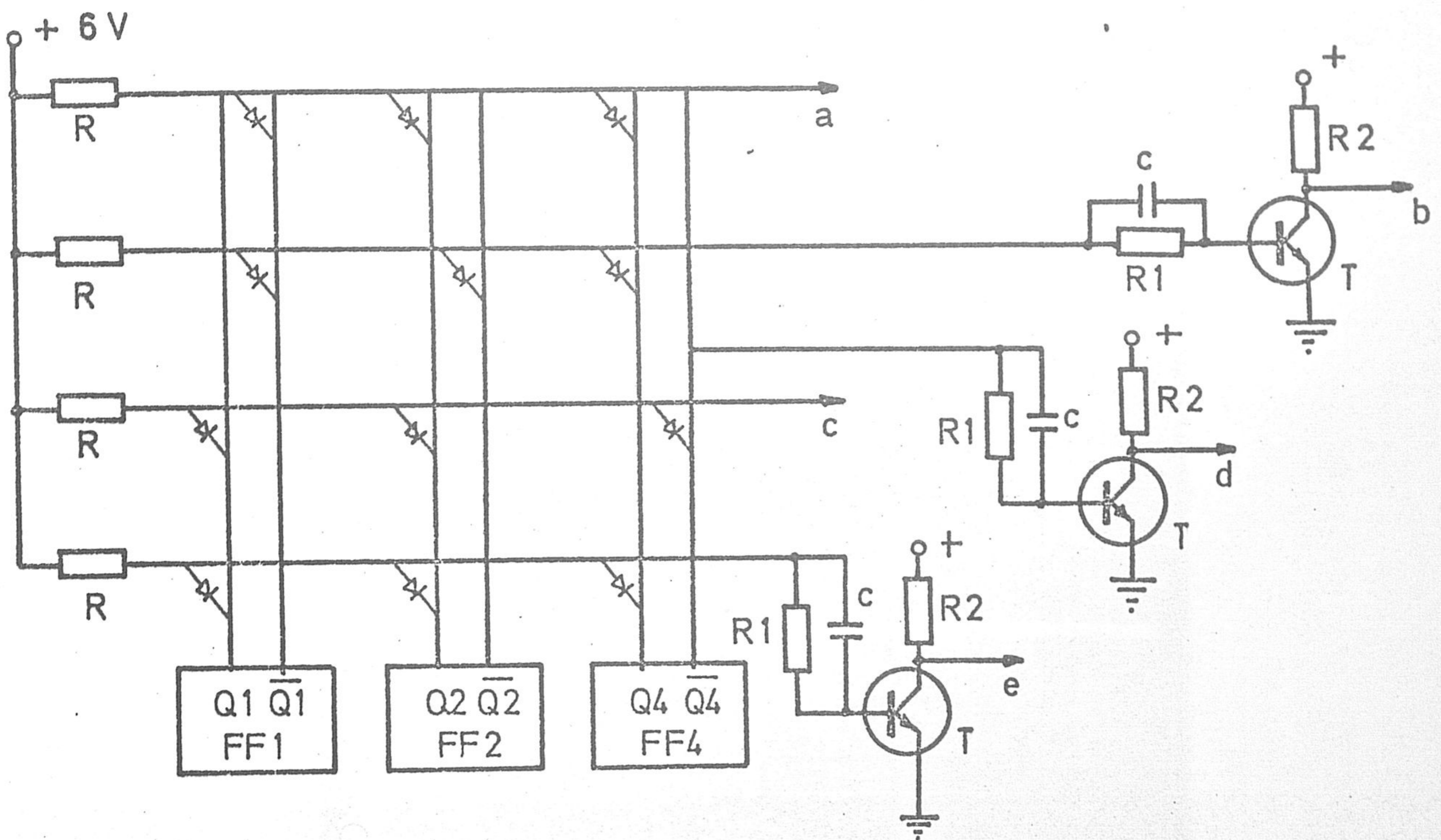


Fig. IV - 12

El contador de tres pasos binarios empleado aquí no necesita señal de puesta a cero, puesto que la serie de seis impulsos que comprende su ciclo resulta autodetenida en la "puerta" de paso de estos impulsos, como se expuso anteriormente, Por otra parte, no se prevé en ningún caso la necesidad de interrumpir esta serie antes de que termine.

La Fig. IV-13 es un diagrama de secuencia de las señales obtenidas en este circuito programador, junto con

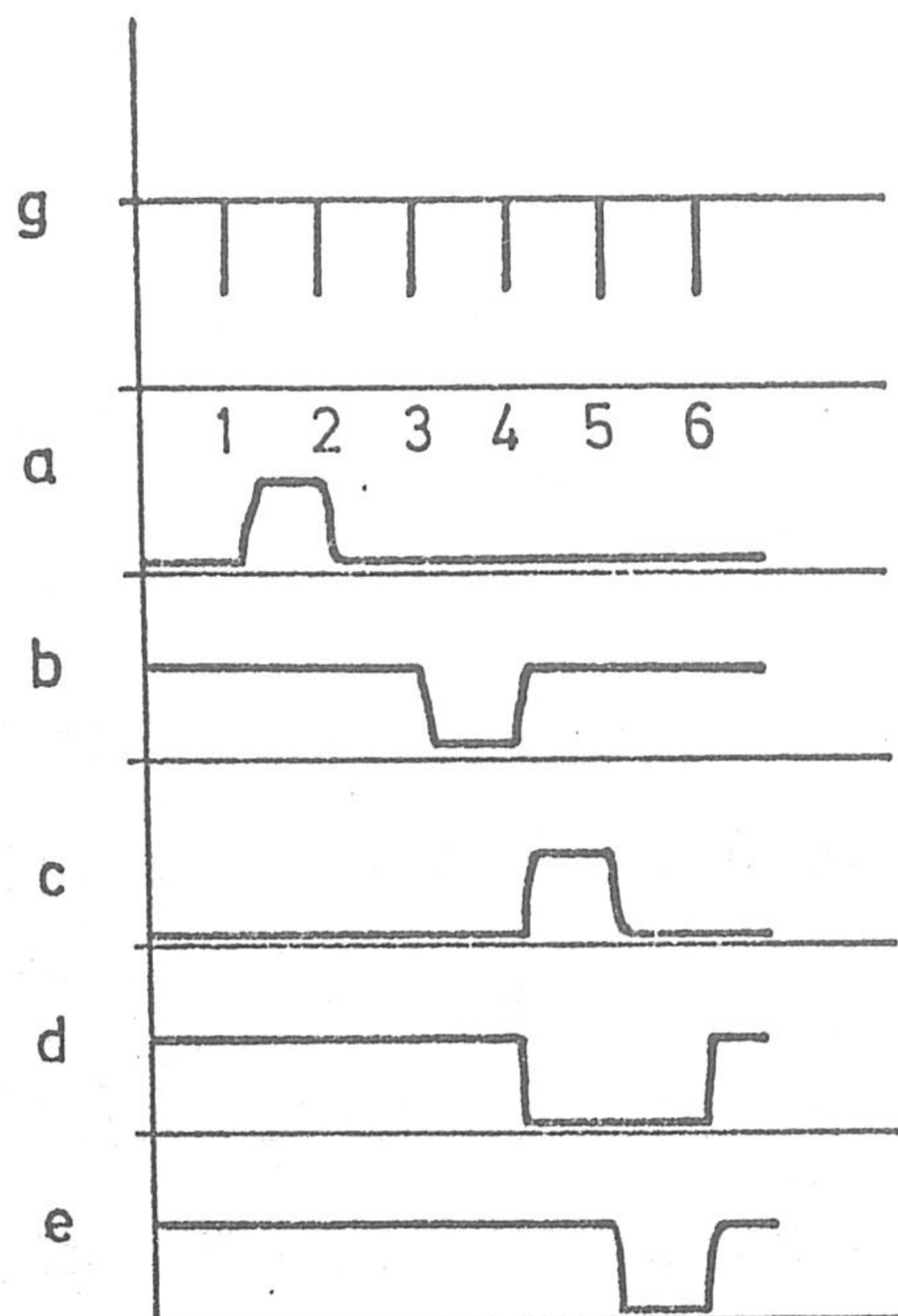


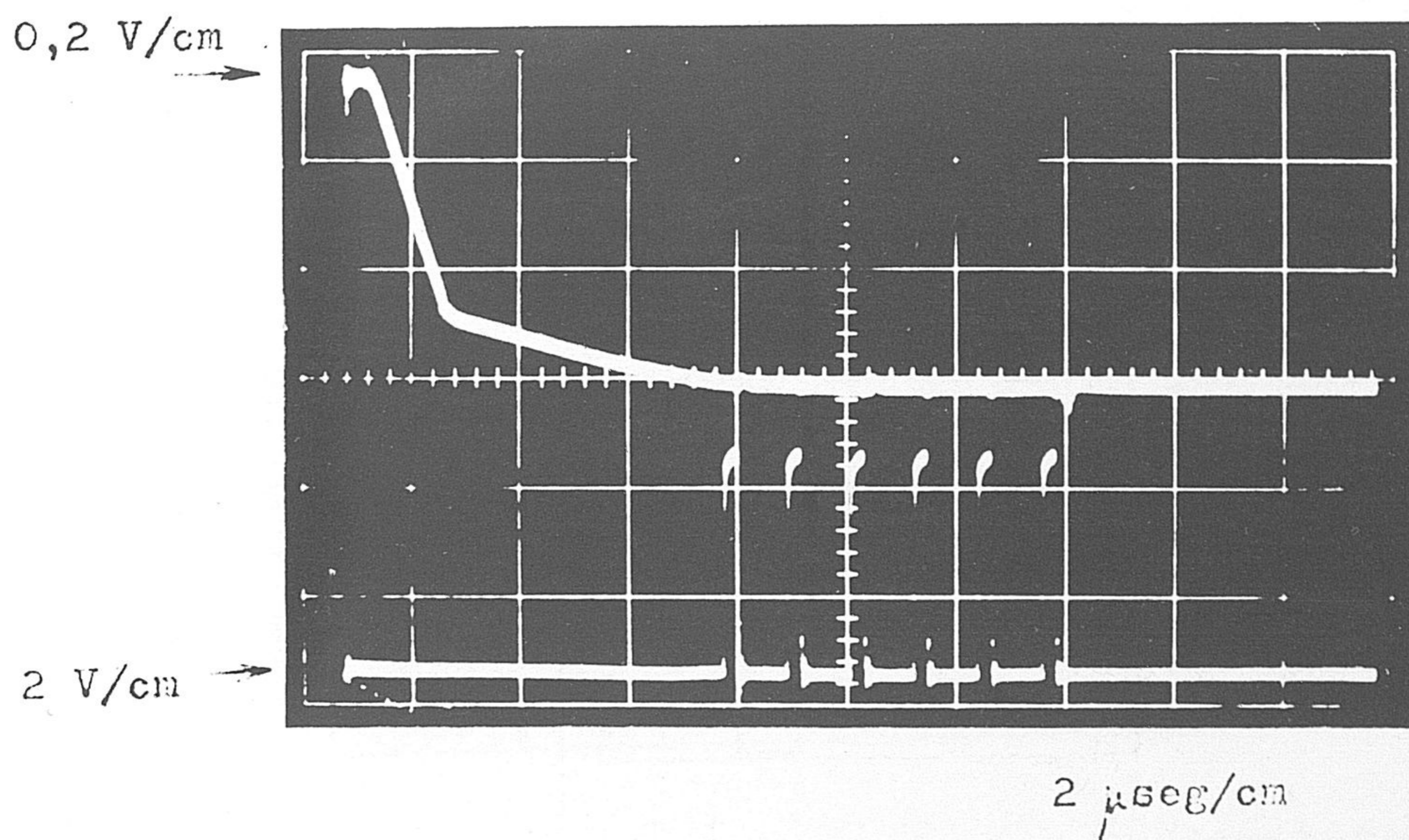
Fig. IV - 13

la serie de seis impulsos de disparo.

Para el disparo del contador se utiliza una frecuencia de 800 Kc/seg, obtenida del oscilador por división de frecuencia, en lugar de 1 Mc/seg, que es el valor máximo previsto. A esta frecuencia, los cinco períodos que comprende el ciclo de memoria emplean un tiempo de,

$$5 / 0,8 = 6,2 \mu\text{seg}$$

que es el tiempo muerto que el espectrómetro invierte en el registro de todos los impulsos analizados, y que debe añadirse al tiempo muerto, variable de un impulso a otro, invertido en el proceso de conversión.



Oscillograma n.º 13

El oscilograma nº 13 muestra la serie de seis - impulsos de disparo del circuito programador, que se inicia a continuación del proceso de conversión.

V.- CONSIDERACIONES FINALES

V.a.- FUNCIONES COMPLEMENTARIAS

Se expone a continuación la posibilidad de llevar a cabo ciertas funciones imprescindibles para el manejo práctico del espectrómetro. Aunque los circuitos necesarios no han sido objeto de investigación práctica en el presente trabajo, se ha estudiado en cambio la posibilidad de incluirlos en el conjunto conversor-memoria, puesto que en el diseño de estos se ha tenido presente la necesaria y posterior implantación de las citadas unidades de operación complementarias que, esencialmente, comprenden los dispositivos de presentación de datos y de seguridad.

V.a-1.- Presentación de datos

Se han diseñado muchos procedimientos de presentación de datos (Ref. 18), que pueden clasificarse fundamental

mente en dos tipos: analógico y digital. En cualquier caso, los datos a presentar en un espectrómetro son el número de cuentas almacenado en cada canal, número que ha de obtenerse de la unidad aritmética de la memoria (salidas "n"). La presentación digital de estas cantidades es directa, mientras que la analógica requiere un conversor digital-analógico (Ref. 7).

Los métodos más usuales y asequibles de presentación analógica son la pantalla osciloscópica y el registro gráfico, siendo la velocidad de exploración la diferencia más acusada entre ambos. Exponemos las adiciones al conjunto que requiere un sistema de presentación osciloscópica.

Para presentar el espectro acumulado en la memoria hay que explorar, uno a uno, la totalidad de los canales ordenada e ininterrumpidamente. A las placas de deflexión vertical del osciloscopio se conecta la salida del conversor digital-analógico, que a su vez obtiene la información binaria de la unidad aritmética.

La extracción consecutiva de los números de cuentas en la totalidad de los canales se lleva a cabo realizando el ciclo de memoria sin interrupción. Para ello hay que

bloquear el biestable FF1 del esquema de bloques del conversor, a través de la correspondiente entrada S; al mismo tiempo debe estar bloqueado el propio conversor, para lo que se fija de igual modo el biestable de bloques de la entrada, - FF3.

La repetición de los ciclos de memoria debe hacerse en ciertas condiciones. Se debe inhibir la operación de sumar la unidad, para no alterar el contenido de la memoria, para lo que el impulso suma debe hacerse pasar por una puerta electrónica, cerrada para presentación osciloscópica. - Además, el impulso de puesta a cero, final del ciclo de memoría, debe volver a cero la escala aritmética y pasar una cuenta al registro de dirección, para que el nuevo ciclo se realice sobre el siguiente canal; esto precisa la incorporación de dos circuitos lógicos más: una puerta Y que permita el paso de los impulsos de puesta a cero en estado de presentación osciloscópica, y una puerta "O", a la entrada del contador de unidades, el cual se disparará indistintamente con los impulsos de salida del conversor y con los de "paso de canal" para la presentación.

Para la mejor presentación de la curva espectral de

en la pantalla de un osciloscopio normal, el barrido debe - actuar en régimen de disparo exterior, mediante una señal obtenida de FF2 (diagrama de bloques de la memoria), con lo - que el haz aparece coincidiendo con la exploración del pri- mer canal. La velocidad de barrido, así como la ganancia del amplificador horizontal, debe ajustarse, para observar la - zona de espectro de mayor interés, la imagen puede mejorar- se intensificando el brillo en los puntos significativos - dentro de cada ciclo de memoria, para lo que puede accionarar se la conexión "Z" del osciloscopio con la señal de salida_ del programador para la operación de veto (salida "d"). Por último, y con osciloscopio de doble haz, puede utilizarse - el segundo para una referencia visual del número de canal ; este se seleccionaría manualmente con un sistema de conmutadores decimales, y un circuito de coincidencia daría una señal cuando, en el transcurso de la exploración, se efectúe_ el ciclo de memoria en el canal previamente seleccionado.

Veamos a continuación la forma de llevar a cabo - una presentación de datos de tipo digital, en válvulas indicadoras visuales. No tratamos el caso de registro en impresora por ser muy análogo al de presentación osciloscópica , aunque introduciendo retardos según la velocidad de opera--

ción de la impresora y naturalmente, utilizando las salidas directas de la escala aritmética.

La cuestión es obtener visualmente el número de cuentas en el canal deseado mediante un sólo ciclo de memoria, y con persistencia indefinida de dicho número. El procedimiento más simple y seguro es simular un proceso de conversión en tiempo, al término del cual se realiza el ciclo de memoria. El comienzo de la conversión se provocaría mediante un mando manual (pulsador unido a circuito monoestable) que conmuta a FF2 (Fig. II-4), actuando sobre la entrada directa S adecuada; sin otra intervención, todos los impulsos obtenidos en la puerta Y2 atacarán al contador de unidades. La simulación debe concluir cuando en los contadores se alcance el número de canal deseado, para lo que este número se inscribe en una serie de tres conmutadores manuales y decimales con indicación numérica; entonces un circuito de coincidencia detiene la cuenta al alcanzarse un número de canal igual al preseleccionado, para lo que la señal de coincidencia se aplica a la otra entrada directa S del binario FF2, cerrando la puerta de salida de los impulsos, Y2; la señal de coincidencia también debe conmutar FF1 por entrada directa, para que se realice el ciclo de memoria. Al término

de este se tendrá el número de cuentas en el canal deseado, visible en el conjunto de válvulas indicadoras conectadas directamente a la salida de la escala aritmética. Para que este número de cuentas no se borre automáticamente, hay que inhibir la puesta a cero de la citada escala, la cual debe ahora llevarse a cabo en la misma operación manual que desencadena la conversión simulada. Al disponer el instrumento para presentación digital, también debe estar bloqueada la entrada, fijando el estado del biestable de bloqueo por una de sus entradas S.

V.a-2.- Dispositivos de protección

Se exponen en esta sección algunas de las eventualidades contra las que debe estar protegido el instrumento, en su funcionamiento normal.

Los impulsos de entrada que correspondan a un canal superior al 399, no deben ser clasificados. Aunque esta selección previa se suele efectuar con un discriminador de entrada que, con línea de retardo, impide que el impulso alcance al amplificador, conviene proteger el propio conversor, por la dificultad de un ajuste exacto en la amplitud -

máxima admisible; por otra parte, errores en este sentido - son muy perjudiciales, pues un impulso aceptado, que corresponda al canal 419, por ejemplo, será clasificado en el 19.

Se puede evitar el registro de los impulsos superiores, disponiendo un circuito monoestable que se disparacon el último paso del contador de dirección; por tanto será excitado cuando, en el proceso de conversión, se alcance el número 400 en el contador; la misión de este monoestable, cuando está excitado, es impedir que se realice el ciclo de memoria, para lo que su salida debe bloquear FF1 en una entrada directa. Este bloqueo debe persistir hasta que haya terminado la conversión del impulso indeseable, por lo que el monoestable debe calcularse para unos 15 μ seg, teniendoen cuenta que, aun sin discriminador de entrada, el amplificador se satura para una amplitud de unos 15 voltios. Al no tener lugar el ciclo de memoria, la operación de puesta a cero corre a cargo del propio monoestable, que debe hacerlo - con los binarios FF4 y FF5 (esto lo puede hacer al dispararse), y desbloquear la entrada en FF3; esto último, necesariamente al recuperarse. Por último, la puesta a cero de los contadores de dirección no debe disparar el monoestable.

El sistema anterior protege al conjunto contra la posibilidad de fallo en la señal de fin del proceso de conversión, en cuyo caso se tendría un tren de impulsos indefinido en los contadores, con un bloqueo permanente del conjunto. En tal caso, el instrumento se recuperaría al alcanzarse la cifra 400 en el contador de dirección. Esta es la razón por la que en el párrafo anterior se ha indicado el uso de un monoestable, en lugar de un biestable, pues la acción de aquel no está condicionada a que llegue el final de la conversión.

Otra protección necesaria es la referente al número de cuentas en cada canal; al agotarse la capacidad de cuenta de un canal, debe paralizarse completamente el instrumento. Esto se consigue fácilmente añadiendo un binario extra a la cadena que constituye la escala aritmética. Este binario conmutará al estado "1" al alcanzarse la cantidad de 10^6 cuentas en un canal cualquiera, y la salida de este binario debe bloquear, de modo indefinido, la entrada del convertidor; para que el bloqueo sea indefinido, la puesta a cero de la escala aritmética no debe incluir a este binario extra, el cual sólo recuperará el estado "0" por una acción

manual. Desde el punto de vista del usuario, esta situación debe ser advertida en forma visual; el usuario, en esta eventualidad, conoce el canal donde se ha alcanzado el tope de cuentas, por haber quedado reflejado en las válvulas luminosas del registro de dirección; y debe tener en cuenta que el número registrado finalmente en este canal ha sido el 0, y no 10^6 .

Por último, el espectrómetro debe estar protegido contra los efectos de una desconexión del instrumento, en situación de registro. La desconexión implica un descenso gradual en todas las alimentaciones, y es imprevisible qué circuito es más sensible y que función resultará afectada en primer lugar. Pero lo seguro es, si se cuenta con un buen filtrado en las fuentes de alimentación, que siempre dará tiempo a efectuar un ciclo de memoria completo, y esto es lo que no debe interrumpirse, en modo alguno, una vez iniciado, pues podría alterarse el contenido del canal afectado. No tiene importancia que se interrumpa el proceso de conversión ya que sólo puede repercutir en la pérdida del impulso que se procesa.

El efecto de esta protección puede consistir en -

bloquear el binario FF₁ en el estado que corresponde a la -
conversión; este bloqueo debe producirse inmediatamente despu
es del fallo en la alimentación, excepto en el caso de -
que se esté realizando el ciclo de memoria, pues entonces -
debe esperarse a que este concluya. Esto se consigue con un
binario que recibe indistintamente a través de una puerta -
"0", los impulsos de conversión y los de puesta a cero. To
dos estos impulsos los recibe en una entrada asimétrica, la
J por ejemplo, que lo situa en estado "1". En este estado ,
y con la salida apropiada, bloquearía FF₁, impidiendo el ci
clo de memoria. Sin embargo, esto no ocurre cuando la alimen
tación general del espectrómetro es la correcta, fijándose_
el estado del binario en "0" mediante una conexión adecuada
en una de sus extradas directas "S"; esta conexión debe ha-
cerse, bien a una alimentación puramente informativa auxi--
liar, con filtrado despreciable, o bien a la alimentación -
general, si se desea establecer un control de mínimo.

V.b.- CONCLUSIONES

Finalizamos la exposición de este trabajo desta-
cando las facetas más significativas del mismo.

1º.- Se ha diseñado un método general de conversión analógico-digital, como una variante del método de Wilkinson, de conversión amplitud-tiempo, empleando dos pendientes de descarga. El método diseñado tiene la ventaja fundamental de reducir enormemente el tiempo muerto, sin recurrir a frecuencias elevadas.

2º.- La labor teórica se ha centrado, fundamentalmente, en el estudio de la linealidad del proceso de conversión en tiempo, y se puede dividir en dos partes:

A) Se ha efectuado un análisis previo de la linealidad inherente al método de conversión en tiempo, a doble pendiente (Sec. II.e), para establecer las características que deben tener los circuitos en función de la linealidad exigida.

B) Se han estudiado detalladamente los circuitos de descarga a corriente constante, habiéndose logrado un diseño que permite operar con una linealidad incremental mejor del 0,2%, indicándose otras posibilidades para mejorar aún este factor.

3º.- El trabajo incluye gran cantidad de circuitos para diversas operaciones, y todos se han diseñado expresamente, como norma general, Creemos que algunos de ellos su

ponen cierta aportación, y destacamos los de mayor interés y originalidad, mencionando las características más sobresalientes:

a) El esquema general del conversor AD. Se destaca el sistema empleado para el cierre de la puerta de entrada lineal (bloqueo), inmediatamente después de alcanzarse el pico del impulso de entrada; el iniciar el proceso de conversión en coincidencia con un impulso reloj, eliminando así la incertidumbre de un canal sin actuar sobre el oscilador; y el sistema empleado para efectuar el cambio de pendiente en el momento oportuno.

b) Los circuitos de conversión tensión-tiempo, con la apreciable cualidad de no exigir estabilidad en la tensión de trabajo (nivel de cero).

c) Los circuitos de descarga lineal que, además de su buena linealidad y estabilidad térmica, son de gran sencillez.

d) El sistema de puertas de control del régimen de descarga, que actúan sin afectar a estos circuitos de descarga.

e) La decodificación del número de canal, para efectuar la selección de este, en una matriz de 20x20 anillos magnéticos.

f) Los circuitos de acoplamiento entre el registro de dirección y los hilos de selección de canal en la memoria, para la lectura y escritura de información.

g) El circuito programados del ciclo de memoria, en el que destaca su estabilidad, al ser accionado por el oscilador.

4º- Todos los circuitos han sido suficientemente probados y ajustados. Aunque en este trabajo no se ha pretendido un prototipo, se han alcanzado especificaciones comparables, en algunos aspectos con ventaja, a las de un espectrómetro comercial, de tipo medio, y de fabricación actual. A continuación se indican las de mayor interés.

<u>CONVERSION</u>	<u>Nuestro trabajo</u>	<u>Comparación</u>
Amplitud de entrada	0 a +12 V	0 a +5 V
Impedancia entrada	1 K Ω	1 K Ω
Tiempo elevación	> 0,1 μ seg	0,1 - 5 μ seg
Tiempo apertura puerta lineal	el de elevación más 0,1 μ seg	fijo (3micros.)
Número de canales	400	800
Oscilador	2 Mc (cristal)	8 Mc (cristal)
Nivel de cero	indiferente	ajustado
Deriva	despreciable	0,1 canal/°C

Linealidad diferencial	$\pm 0,5\%$	$\pm 1\%$
Estabilidad térmica ⁴	$10^{-4}/^{\circ}\text{C}$	$3 \cdot 10^{-4}/^{\circ}\text{C}$
Tiempo muerto (canal 400)	25 μseg	50 μseg

MEMORIA

Capacidad	$1 - 10^6$ cta/can	$1 - 10^5$ c/canal
Ciclo memoria	6'2 μseg	7 μseg
Tiempo muerto total	$6'2 + 0,5(N_1 + N_2)$ μseg	$10 + 0,12 N$ μseg
	N_1 , unidades; N_2 de N , nº canal cenas del número de canal	

5º.- En este trabajo, en resumen, se propone un sistema de espectrometría que consigue un tiempo muerto muy corto sin recurrir a elevadas frecuencias, y ha sido ensayado para una frecuencia de 2 Mc/seg; estamos seguros de que resulta muy susceptible de perfeccionamiento. En nuestra intención de proseguir esta línea de investigación, creemos fundada la esperanza de lograr un diseño que permita operar a unos 15 Mc/seg con una relación de intensidades de 40, con lo que se podría conseguir, para 2000 canales, por ejemplo, un tiempo muerto medio de unos 2 μseg .

En fin, estamos convencidos de haber llegado, por lo menos, a la correcta asimilación tecnológica, de la cual tan necesitados estamos.

RELACIONES DE COMPONENTES

En las páginas que siguen se detallan los componentes utilizados en los circuitos descritos. Se dedica una página a cada circuito, en el mismo orden en que han aparecido a lo largo del texto.

Se han omitido algunos datos, cuando son innecesarios para una reproducción cabal de los circuitos, como la fabricación de las resistencias empleadas.

LISTA DE COMPONENTES DEL CIRCUITO DE LA FIGURA III-1

Componente	Valor	Tolerancia %	Disipación W	Tensión V	Tipo	Fabricación
R1	2 K Ω	5	1/4			
R2	1'8 "	"	"			
R3	39 "	"	"			
R4	200 Ω	"	"			
R'4	390 "	"	"			
R5	1'5 K Ω	"	"			
R6	1 "	"	"			
R7	5'6 "	"	"			
R8	1 "	"	"			
R9	2 "	"	"			
R10	4'7 "	"	"			
R11	560 Ω	"	"			
R12	3'3 M Ω	"	"			
R13	2 K Ω	"	"			
R14	15 "	"	"			
C1	100 K _p F	10	25	25		
C2	120 p ^F	"		"		
C3	82 "	"		"		
C4	56 "	"		"		
D1					OA9	PHILIPS
D2					MC42	SILEC

LISTA DE COMPONENTES DEL CIRCUITO DE LA FIGURA III-9

Componente	Valor	Tolerancia %	Disipación W	Tensión V	Tipo	Fabricación
R0	4'7 K Ω	5	1/8			
R1	30'9 "	0'5	"		MR39E	PHILIPS
R2	277 "	0'5	"		"	"
R3	5 "	5	"			
R4	1 "	"	"			
R5	10 "	"	"			
R6	11 "	"	"			
R8	5'6 "	"	"			
R9	3'3 "	"	"			
R10	1'8 "	"	"			
R11	18 "	"	"			
R12	3'3 "	"	"			
R13	5'6 "	"	"			
R15	270 "	"	"			
R16	10 "	"	"			
C	1.500 p ^F	5		125	2222755 Mica	PHILIPS
D1					Mc 42	SILEC
D2					"	"
D3					1N 4148	PHILIPS
D4					"	"
D5					"	"

LISTA DE COMPONENTES DEL CIRCUITO DE LA FIGURA III-20

Componente	Valor	Tolerancia %	Disipación W	Tensión V	Tipo	Fabricación
R1	22 K	5	1/8			
R2	" "	"	"			
R3	" "	"	"			
R4	" "	"	"			
R5	3'9"	"	"			
C1	120 p ^F	10		25		
D3					AAZ13	PHILIPS
D4					"	"
D5					"	"
D6					"	"
D7					"	"
D8					"	"
D9					"	"
D10					"	"
FF10					FCJ101	"
FF11					"	"
FF12					"	"
BCD1					FJJ141	"
BCD2					"	"
BCD3					"	"
Dec. 1					FIL101	"
Dec. 2					"	"
Dec. 3					"	"

LISTA DE COMPONENTES DEL CIRCUITO DE LA FIGURA IV-2

Componente	Valor	Tolerancia %	Disipación W	Tensión V	Tipo	Fabricación
R1	15 K	5	1/8			
R'1	15 "	"	"			
R2	10 "	"	"			
R'2	10	"	"			
R3	6'8"	"	"			
R'3	6'8"	"	"			
R4	820	"	1/4			
R'4	820	"	"			
R	1	"	"			
R'	1	"	"			
D1					MC42	SILEC
D'1					"	"
D2					AAZ13	PHILIPS
D'2					"	"
D0					MC42	SILEC
C _x					FJJ141	PHILIPS
C _y					"	"
FF					FCJ111	"
FF1					"	"
FF2					"	"
D _x					FJL101	"

BIBLIOGRAFIA

- 1.- SAMUEL SEELY, Circuitos con tubos electrónicos. Seleccion Científicas, (1965).
- 2.- J.H. PARSONS, Proc. IRE, 37 - 564 (1949).
- 3.- D. MAEDER, Helv. Phys. Acta, 20, 139, (1947).
- 4.- C.H. WESCOTT, G.C. Hanna. Rev. Sci. Instr., 20, 181 (1949)
- 5.- Mc. MAHON, J, y S. GOSOLOVITCH. Proceedings of the -
International Symposium on Nuclear_
Electronics. Paris (1958).
- 6.- E. SEGRE. Experimental Nuclear Physics, Vol. 1.
- 7.- A. TANARRO. Instrumentación Nuclear. Servicio de Publica_
ciones de la J.E.N. (1970).
- 8.- L.J. HERBST. Electronics for Nuclear Particle Analysis.
Oxford University Press (1970).
- 9.- W.C. ELMORE. Nucleonics (1948).
- 10.- A.B. VAN RENNES. Pulse amplitud analysis in nuclear -
research. Parte I. Nucleonics, julio 1952.

- 11.- A.B. VAN RENNES. Parte II. Nucleonics, Agosto 1952.
- 12.- A.B. VAN RENNES. Parte III. Nucleonics, Septiembre 1952.
- 13.- A.B. VAN RENNES. Parte IV. Nucleonics, Octubre 1952.
- 14.- A. CIVIT, S. BRACHO y J.L. HUERTAS. Circuitos de conversión tensión-frecuencia y tensión-tiempo con amplificadores operacionales monolíticos. Actas del Congreso de Automática. Madrid (1970).
- 15.- E.H. COOKE, Yarborough, et. al. Instr. Electr. Engrs. - London (1950).
- 16.- D.H. WILKINSON. Proceed. Cambridge Phil. Soc. (1949).
- 17.- G.W. HUTCHISON, G.G. SCARROT, Phil. Mag. (1951).
- 18.- Methods of Experimental Physics. Vol. II, Methods Electronics. Academic Press. (1964).
- 19.- KANDIAH, K. Nuclear Electronics, Vol. II. IAEA. Viena (1962).
- 20.- R.L. CHASE. Nuclear Pulse Spectrometry. McGraw-Hill (1961).
- 21.- R.W. SEARS, Proc. Gatlimburg Conf. of Multichannel Pulse - Height Analyzers. Septiembre 1956.

- 22.- COTTINI C, GATTI, E., SVELTO, V. Nuclear Instrument -
Methods, 24. (1963).
- 23.- MODDY, N.F., et. al. Rev. Scient. Instr, (1951).
- 24.- ALBERISI A, C. BERNARDINI, and I. QUERCIA. Proposal for
an analog. to-digital converter suited -
for nuclear pulso height analysis. Nuclear
Instr., 3 (1958).
- 25.- RUSSELL, J., H. Lefevre. An F + M multichannel pulse-height
analizer, Nucleonics. Vol. 15 (1957).
- 26.- GERE, E.A., MILLER, G.L., I.E.E.E. Trans. Nucl. Sci. NS-
13 (1967).
- 27.- BONSIGNORI C, MALOSTI, D., PELLIGRINI, U., Nuclear Instru
ment Methods, 20 (1963).
- 28.- Mc MAHON, J. P. Nuclear Electronics, Vol. 1, (1959).
- 29.- G. HAAS, Calculadoras numéricas electrónicas. Paraninfo .
Madrid (1970).
- 30.- ROBINSON, L.B., Rev. Scient. Instr., 32, (1961).
- 31.- J. MILLMAN, H. TAUB. Circuitos de pulsos, digitales y de
conmutación. Ediciones del Castillo. Madrid
(1969).

- 32.- J. MILLMAN, C.C. HARKIAS. Dispositivos y circuitos electrónicos. Anaya, S.A. Salamanca (1971).
- 33.- PIHER, Semiconductores de silicio. Manuel de características.
- 34.- JOHN A. ASELTINE. Transform method in linear system analysis. Mc Graw-Hill (1958).
- 35.- J.P. KEENE, D.W. HAYDEN. The uncommon versatility of the common current generator. Electronics.(20) 1 Febrero 1971.
- 36.- J.N. HARRIS, P.E. GRAY, C.L. SEARLE. Circuitos digitales de transistores (Tomo 6). Reverté (1971).
- 37.- C.L. SEARLE y Otros. Propiedades de circuitos elementales de los transistores. Reverté.(1971).
- 38.- M.S. GHAUSI. Principles and design of linear active circuits McGraw-Hill (1965).
- 39.- E.J. ANGELO, Circuitos Electrónicos. Ediciones del Castillo, S.A. (1966).
- 40.- PHILIP CUTLER. Análisis de circuitos con semiconductores Ediciones del Castillo, S.A. (1967).

- 41.- THOMAS D. PRICE. FET current source gives stable, precise ramp. Electronics. Nov. 1971.
- 42.- Miniwatt, Data Handbook. Semiconductor and integrate - circuits. Parte I.
- 43.- Miniwatt, Data Handbook. Semiconductor and integrate - circuits. Parte II.
- 44.- Miniwatt, Data Handbook. Semiconductor and integrate - circuits. Parte III.
- 45.- Miniwatt, Data Handbook. Semiconductor and integrate - circuits. Parte IV.
- 46.- Miniwatt, Data Handbook. Semiconductor and integrate - circuits. Parte V.
- 47.- Miniwatt, Data Handbook. Components and materials. Parte II.

DILIGENCIA:

Reunido el Tribunal examinador en el día de la fecha, constituido por:

- D. Juan de Dios Lopez Gonzalez
- D. Fernando Benoit Perez
- D. Justo Nolasco Diaz
- D. Gerardo Pardo Rindue
- D. Teodoro Thomas Jover

para juzgar la Tesis Doctoral del Licenciado Don

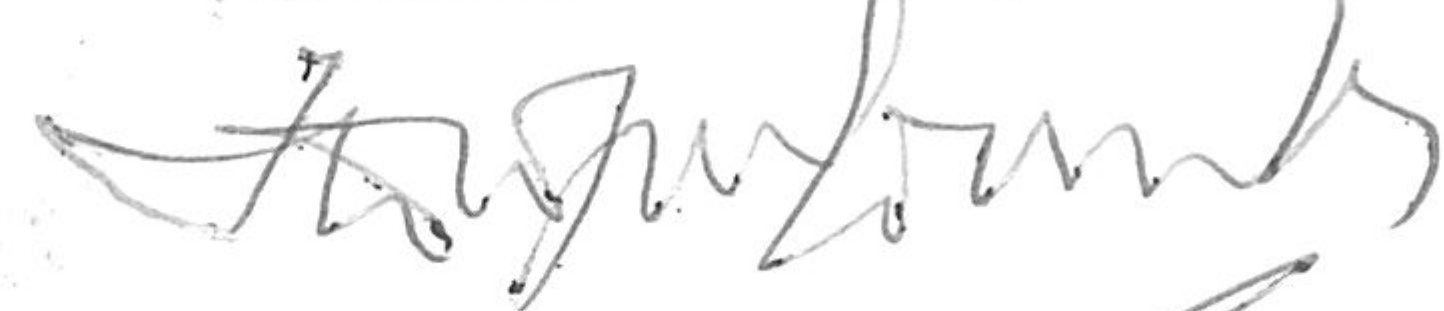
se acordó por otorgar la calificación de

y para que conste, se extiende firmada por los componentes del Tribunal, la presente diligencia.

Granada, a 27 JUN 1972 de 19...

El Secretario,

El Presidente,

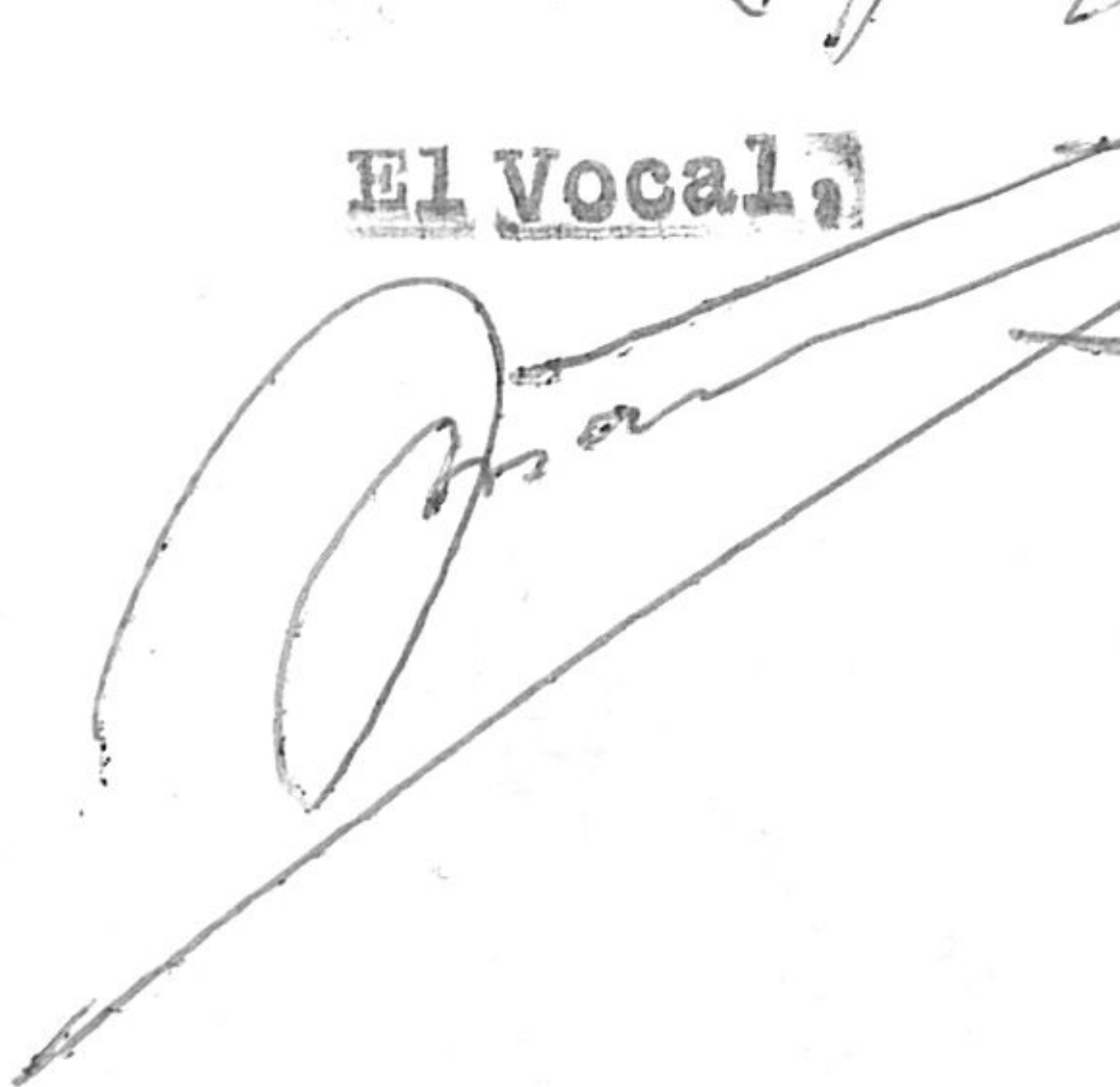




El Vocal,

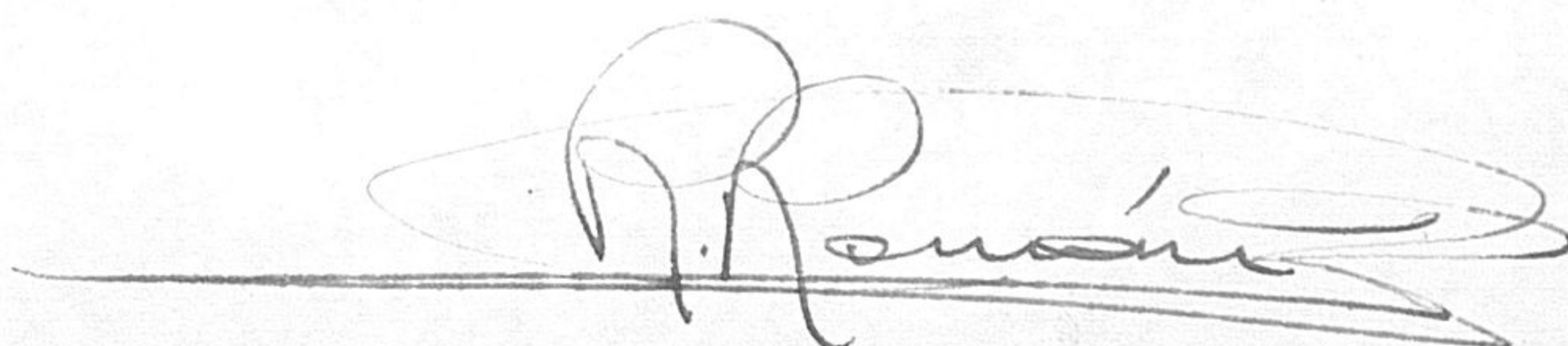
El Vocal,

El Vocal,











Biblioteca Universitaria de Granada



01052253