

①⑨ RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
PARIS  
—

①① N° de publication : **2 958 779**  
(à n'utiliser que pour les  
commandes de reproduction)

②① N° d'enregistrement national : **10 52612**

⑤① Int Cl<sup>8</sup> : **G 11 C 11/417** (2013.01), G 11 C 11/418

①②

## BREVET D'INVENTION

**B1**

⑤④ POINT MEMOIRE RAM A UN TRANSISTOR.

②② **Date de dépôt** : 07.04.10.

③③ **Priorité** :

④③ **Date de mise à la disposition du public  
de la demande** : 14.10.11 Bulletin 11/41.

④⑤ **Date de la mise à disposition du public du  
brevet d'invention** : 17.07.15 Bulletin 15/29.

⑤⑥ **Liste des documents cités dans le rapport de  
recherche** :

*Se reporter à la fin du présent fascicule*

⑥⑥ **Références à d'autres documents nationaux  
apparentés** :

**Demande(s) d'extension** :

⑦① **Demandeur(s)** : *CENTRE NATIONAL DE LA  
RECHERCHE SCIENTIFIQUE Etablissement public —  
FR et OTRI UNIVERSIDAD DE GRANADA — ES.*

⑦② **Inventeur(s)** : *CRISTOLOVEANU SORIN, IOAN,  
RODRIGUEZ NOEL et GAMIZ FRANCISCO.*

⑦③ **Titulaire(s)** : *CENTRE NATIONAL DE LA  
RECHERCHE SCIENTIFIQUE Etablissement public,  
OTRI UNIVERSIDAD DE GRANADA.*

⑦④ **Mandataire(s)** : *CABINET BEAUMONT Société à  
responsabilité limitée.*

**FR 2 958 779 - B1**



**POINT MÉMOIRE RAM À UN TRANSISTOR**Domaine de l'invention

La présente invention concerne un point mémoire RAM à un transistor.

Exposé de l'art antérieur

5 Historiquement, les points mémoire DRAM ont été constitués d'un ensemble comprenant un transistor MOS et un condensateur. Avec la miniaturisation des circuits intégrés, les transistors MOS ont pu avoir des dimensions de plus en plus petites et la difficulté a consisté à réduire la taille des  
10 condensateurs. Pour pallier cette difficulté, on a proposé des points mémoire constitués d'un unique transistor, sans condensateur, le transistor MOS étant à corps isolé par jonction, ou à corps isolé par isolant dans des technologies de type semi-conducteur sur isolant (SOI ou Semiconductor On Insulator) ou  
15 semiconducteur sur rien (SON ou Semiconductor On Nothing). Dans ces points mémoire, la mémorisation correspond à un stockage de charges dans le transistor. Ceci a conduit à une miniaturisation accrue des cellules DRAM. Toutefois, les divers points mémoire sans condensateur connus souffrent généralement d'au moins l'un  
20 des inconvénients suivants : durée de rétention limitée, consommation élevée, faible différenciation entre les deux états de mémorisation, complexité de commande, utilisation de deux

grilles, faible vitesse de fonctionnement, impossibilité de réduire l'épaisseur du corps du transistor qui doit assurer la présence simultanée d'électrons et de trous, et/ou difficulté de fabrication.

5 Résumé

Ainsi, un objet de l'invention est de prévoir un point mémoire RAM à un seul transistor, sans condensateur, qui pallie au moins certains des inconvénients des points mémoire à transistor unique connus.

10 Ainsi, un mode de réalisation de la présente invention prévoit un point mémoire constitué d'un transistor MOS isolé ayant un drain, une source et une région de corps revêtue d'une grille isolée, dans lequel la région de corps est divisée dans son épaisseur en deux régions distinctes de types de  
15 conductivité opposés s'étendant parallèlement au plan de la grille, la région de corps la plus proche de la grille ayant le type de conductivité opposé à celui des drain/source.

Selon un mode de réalisation de la présente invention, le point mémoire est réalisé à partir d'une structure SOI.

20 Selon un mode de réalisation de la présente invention, le point mémoire repose sur un substrat semiconducteur ayant le type de conductivité opposé à celui des drain/source.

Selon un mode de réalisation de la présente invention, le point mémoire est réalisé à partir d'une structure FINFET.

25 Selon un mode de réalisation de la présente invention, la région de corps la plus proche de la grille a une épaisseur de 5 à 50 nm, de préférence de l'ordre de 10 nm et un niveau de dopage inférieur à  $10^{16}$  at./cm<sup>3</sup>.

30 Selon un mode de réalisation de la présente invention, la région de corps la plus éloignée de la grille a une épaisseur de 5 à 50 nm, de préférence de 10 à 40 nm et un niveau de dopage compris entre  $10^{16}$  et  $10^{18}$  at./cm<sup>3</sup>.

35 Un mode de réalisation de la présente invention prévoit un procédé d'utilisation d'un point mémoire tel que ci-dessus, dans lequel la tension de source est considérée comme la

tension de référence et les régions de source et de drain sont de type N, ce procédé comprenant, dans un ordre quelconque, les étapes suivantes :

écriture d'un 1 : application d'une tension positive sur le drain et, pendant l'application de cette tension positive, application d'une brève tension positive sur la grille,

écriture d'un 0 : application d'une tension très faiblement positive, nulle ou négative sur le drain et application d'une tension positive sur la grille,

lecture : application d'une tension négative sur la grille et d'une tension faiblement positive sur le drain, et

maintien : application d'une tension négative sur la grille et d'une tension faiblement positive ou nulle sur le drain.

#### 15 Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 est une vue en coupe schématique d'un point mémoire selon un mode de réalisation de la présente invention ;

les figures 2A et 2B illustrent l'écriture d'un 1 dans un point mémoire selon un mode de réalisation de la présente invention ;

la figure 3 illustre l'écriture d'un 0 dans un point mémoire selon un mode de réalisation de la présente invention ;

les figures 4A et 4B illustrent la lecture, respectivement d'un 0 et d'un 1, dans un point mémoire selon un mode de réalisation de la présente invention ;

les figures 5A, 5B, 5C illustrent des tensions appliquées, respectivement pour l'écriture d'un 1, l'écriture d'un 0, et la lecture dans un point mémoire selon un mode de réalisation de la présente invention ;

la figure 6 est une vue schématique en coupe et en perspective d'une variante d'un point mémoire selon un mode de réalisation de la présente invention ; et

la figure 7 est une vue schématique en coupe et en perspective d'une autre variante d'un point mémoire selon un mode de réalisation de la présente invention.

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures et, comme cela est habituel dans la représentation des circuits intégrés, les diverses figures ne sont pas tracées à l'échelle.

#### Description détaillée

La figure 1 est une vue en coupe illustrant un point mémoire sans condensateur. Ce point mémoire comprend un transistor MOS formé sur une couche isolante 1 reposant sur un support 3, généralement une plaque de silicium. La zone occupée par le transistor MOS, ou zone active, est délimitée par une périphérie isolante 5. Le transistor MOS comprend des régions de source et de drain fortement dopées d'un premier type de conductivité 7 et 8 séparées par une région de corps. Dans ce qui suit, on considérera que le premier type de conductivité est le type N et que le second type de conductivité est le type P, bien que cela ne doive pas être considéré comme limitatif. Les régions de source et de drain sont respectivement solidaires d'une métallisation de source 10 et d'une métallisation de drain 11 reliées à des bornes de source S et de drain D. La partie de corps du transistor est surmontée d'une grille isolée 12 reliée à une borne de grille G. La région de corps est divisée dans le sens de son épaisseur en une région de corps supérieure 13 du côté de la grille 12 et une région de corps inférieure 14 au voisinage de la couche isolante 1. La région de corps supérieure 13 est du type de conductivité opposé à celui des drain/source et a de préférence un niveau de dopage inférieur à  $10^{16}$  atomes/cm<sup>3</sup>. La région de corps inférieure 14 est du même type de conductivité que celui des drain/source. Son niveau de dopage est de préférence choisi dans une plage de  $10^{16}$  à  $10^{18}$  atomes/cm<sup>3</sup> en

fonction de son épaisseur de façon que cette partie inférieure 14 soit complètement déplétée à l'état 0 et qu'elle contienne suffisamment d'électrons disponibles à l'état 1, les états 0 et 1 étant définis ci-après.

5           La structure de la figure 1 sera de préférence réali-  
sée en utilisant des technologies permettant d'obtenir des  
épaisseurs de couche avec une précision meilleure que 5 nm, de  
préférence de l'ordre du nm. On choisira également des techno-  
logies dans lesquelles les dimensions latérales peuvent être  
10 définies avec des valeurs minimales inférieures à 50 nm. Dans  
ces conditions, uniquement à titre d'exemple, on pourra choisir  
de réaliser une structure dans laquelle l'épaisseur totale du  
transistor est inférieure à 100 nm, la région de corps supé-  
rieure ayant une épaisseur de 5 à 50 nm, de préférence voisine  
15 de 10 nm, et la région de corps inférieure ayant une épaisseur  
de 5 à 50 nm, de préférence de 10 à 40 nm. La longueur de canal  
du transistor sera de préférence inférieure à 65 nm, par exemple  
35 nm.

20           La façon dont la structure de la figure 1 peut être  
utilisée en point mémoire va maintenant être décrite en relation  
avec les figures 2 à 4.

25           Les figures 2A et 2B illustrent des étapes d'écriture  
d'un 1 dans le point mémoire de la figure 1. Dans ce qui suit,  
on supposera que la source S est en permanence connectée à une  
tension de référence qui est désignée par souci de simplicité  
comme étant la masse.

30           Pour écrire un 1, on applique d'abord comme l'illustre  
la figure 2A une tension positive relativement élevée, par exem-  
ple 1 à 3 volts, sur le drain du transistor, et la grille est  
mise à un potentiel positif pendant une courte durée, pendant  
que la tension positive est appliquée sur le drain. Il en  
résulte qu'une région de canal est formée dans la région de  
corps supérieure (pendant cette phase, une faible proportion de  
courant peut sans inconvénient circuler dans la région de corps  
35 inférieure) et que des électrons circulent de la source au

drain. Etant donné que la différence de potentiel drain-source est choisie relativement élevée, ces électrons vont créer par impact des paires électrons-trous dans la région de corps supérieure. Les électrons créés participent à la circulation de  
5 courant et les trous demeurent dans la région de corps supérieure. Si on interrompt brutalement (figure 2B) le passage de courant entre source et drain, en commutant la grille à un potentiel négatif avant de commuter le drain, des trous désignés par des signes + en figures 2A et 2B, demeureront dans la région  
10 de corps supérieure 13.

La figure 3 illustre l'écriture d'un 0 dans le point mémoire. A nouveau, on rend la grille positive mais cette fois-ci, on connecte le drain 8 à une tension faiblement positive, nulle ou même négative. Alors, la différence de potentiel source  
15 drain est insuffisante pour assurer la création de paires électrons-trous, et, en raison de la polarisation électrostatique créée par la grille dans la région de corps supérieure 13, les trous éventuellement présents dans cette région de corps supérieure seront évacués vers le drain et/ou la source. Ainsi,  
20 les états de la figure 2B et de la figure 3 se différencient par le fait que dans un cas (écriture d'un 1) des trous sont stockés dans la région de corps supérieure 13 et que dans l'autre cas (écriture d'un 0), aucune charge n'est stockée dans cette région de corps supérieure.

25 Les figures 4A et 4B illustrent respectivement la lecture d'un 0 et la lecture d'un 1 dans le point mémoire de la figure 1. En phase de lecture (ou de rétention), on maintient une tension négative sur la grille et une tension faiblement positive sur le drain.

30 Comme l'illustre la figure 4A, dans le cas où un 0 a été mémorisé, c'est-à-dire qu'aucune charge n'est stockée dans la région de corps supérieure 13, les transistors en parallèle partageant un même drain et une même source sont tous deux bloqués : il ne passe pas de courant dans le transistor corres-  
35 pondant à la région de corps supérieure puisque la grille est

négative, et la tension négative de grille déplete la région de corps inférieure qui ne laisse donc également pas passer de courant. On comprendra que la région de corps supérieure doit être suffisamment mince pour que la grille ait une influence  
5 suffisante sur la région de corps inférieure, c'est pourquoi on a indiqué que cette région de corps supérieure avait une épaisseur de préférence voisine de 10 nm.

Par contre, comme l'illustre la figure 4B, dans le cas où un 1 a été écrit, c'est-à-dire que des charges positives sont  
10 stockées dans la région de corps supérieure 13, aucun courant ne circule dans le transistor correspondant à cette région de corps supérieure puisque la grille est négative et qu'il n'est pas créé de région de canal d'électrons dans cette région de corps supérieure. Par contre, les charges positives stockées dans la  
15 région de corps supérieure font écran au potentiel négatif de la grille et un courant d'électrons va circuler dans le transistor ayant pour source et drain les régions 7 et 8 et comme corps la région non déplétée de corps inférieure 14.

Ainsi, on pourra reconnaître un état 1 d'un état 0 par  
20 la circulation d'un courant ou l'absence de circulation d'un courant lors d'une phase de lecture. On remarquera que ces deux états sont très bien différenciés car, pendant la lecture d'un 0, il ne circule absolument aucun courant entre drain et source. L'absence totale de circulation de courant pendant un état 0,  
25 fait que le dispositif présente un temps de rétention très long puisque, même si pendant la lecture d'un état 1 il se produit une légère perte des charges stockées dans la région de corps supérieure, il existera toujours une nette différenciation entre les états 0 et 1.

30 On notera également que, du fait que pendant l'état de lecture seul un potentiel faiblement positif est appliqué sur le drain, il ne se crée pas de charges par impact dans la région de corps inférieure 14 pendant une lecture.

Pour mieux illustrer le fonctionnement du point  
35 mémoire, chacune des figures 5A, 5B et 5C représente l'allure

des tensions de drain (VD) et de grille (VG), respectivement pendant les états d'écriture d'un 1 (WR1), d'écriture d'un 0 (WR0) et de lecture (RD). Pendant l'écriture d'un 1 (figure 5A), la tension de drain est amenée à passer d'une tension nulle ou faiblement positive VD1, par exemple 0,1 V, à une tension VD2 nettement positive, par exemple 1 à 2,2 V et, pendant la période (par exemple 5 à 30 ns) durant laquelle la tension de drain VD2 est appliquée, la grille est brièvement (par exemple pendant 1 à 10 ns) amenée d'une valeur négative VG1 à une valeur positive VG2, par exemple de -1,2 volt à + 1 volt. Pour l'écriture d'un zéro (figure 5B), la tension de drain est maintenue à la valeur basse VD1 et la grille est amenée pendant une courte période, par exemple de l'ordre de 1 à 10 nanosecondes à une valeur positive pour permettre l'évacuation de charges éventuellement présentes dans la région de corps supérieure. Dans l'état de lecture, ou de rétention (figure 5C), le drain est maintenu à la valeur faible de tension VD1 et la grille est maintenue à sa valeur négative VG1.

Le mode d'application de tensions décrit en relation avec les figures 5A à 5C est particulièrement avantageux car il ne prévoit que deux niveaux de tension possibles sur la grille et sur le drain. On pourra toutefois prévoir des modes de commutation de tension plus complexes, dans lesquels par exemple, la tension de drain serait commutable entre plus de deux niveaux de tension, par exemple un troisième niveau de tension nul ou négatif pendant la phase d'écriture d'un 0, ou un niveau de tension nul pendant la phase de rétention. Pendant les phases d'écriture d'un 1, au lieu de créer des trous par ionisation par impact, on pourra utiliser d'autres phénomènes. En appliquant une tension fortement négative (par exemple -2,5 V) à la grille, et une tension positive au drain, des trous seront créés par effet tunnel bande à bande (B to B tunnelling) ou par activation du transistor bipolaire parasite. Actuellement, c'est la création de trous par effet tunnel bande à bande qui constitue le mode de réalisation préféré.

On notera que les valeurs de tension indiquées ci-dessus sont purement indicatives et sont données pour un point mémoire ayant sensiblement les dimensions indiquées précédemment. L'homme de l'art saura adapter ces valeurs aux caractéristiques spécifiques d'un composant particulier.

La réalisation d'une structure telle que celle de la figure 1 est particulièrement simple.

Par exemple, on pourra partir d'une structure de type SOI comprenant, sur un support 3 revêtu d'une couche isolante 1, un substrat dopé de type N sur lequel on fait croître par épitaxie une couche faiblement dopée de type P. Ensuite, ou lors d'une étape intermédiaire, on forme la périphérie isolante 5 entourant la zone active désirée puis on procède aux étapes classiques de formation d'un oxyde de grille, d'une grille et des régions de source-drain.

Le point mémoire décrit ci-dessus est susceptible de nombreuses variantes et modifications.

La figure 6 illustre une réalisation selon une configuration généralement appelée dans la technique structure FINFET (transistor à effet de champ à structure en ailette). Cette figure est une vue en coupe et en perspective de la partie de corps et de la partie de drain de la structure, la partie de source, non représentée, étant en avant du plan de la figure. Une excroissance de silicium en ailette est formée au-dessus d'une plaquette 30 revêtue d'une couche isolante 31. Cette excroissance est divisée en une partie gauche 33 et une partie droite 34 correspondant respectivement à la région de corps supérieure 13 et à la région de corps inférieure 14 de la figure 1. Des métallisations de grilles isolées 38 et 39 sont disposées de part et d'autre de l'ailette, en regard du corps de gauche 33 et du corps de droite 34. Les deux grilles 38 et 39 pourraient être utilisées pour inverser sélectivement les fonctions des parties de corps de gauche et de droite. De même, dans la structure de la figure 1, on pourrait prévoir de polariser sélectivement le support 3 pour agir sur la région de corps

inférieure 14 à travers la couche isolante 1, par exemple pour ajuster la tension de seuil du transistor inférieur. On pourra aussi ajouter une grille inférieure.

La figure 7 illustre très schématiquement une réalisation FINFET d'une variante de la structure de la figure 1. Le corps du transistor, au lieu d'être divisé en deux régions, est divisé en trois régions : une région de gauche 41 de type P, une région centrale 43 de type N et une région de droite 45 de type P. Une grille isolée 46 est disposée en regard de la région de gauche 41 et une grille isolée 47 est disposée en regard de la région de droite 45. On obtient ainsi un point mémoire bibit, c'est-à-dire un point mémoire à quatre états. La grille de gauche permet de stocker ou non des charges dans la région de corps de gauche 41. La grille de droite permet de stocker ou non des charges dans la région de corps de droite 45. On obtient un premier état (11) si des charges sont stockées à gauche et à droite, un deuxième état (00) si aucune charge n'est stockée ni à gauche ni à droite, un troisième état (10) si des charges sont stockées à gauche et pas à droite, et un quatrième état (01) si des charges sont stockées dans la région à droite et pas à gauche. Les états (01) et (10) pourront être différenciés de diverses manières. Notamment, si les grilles de gauche et de droite sont différentes (travail de sortie différent ou épaisseur d'isolant différente) et/ou si les tensions appliquées sont différentes, on stockera à chaque écriture d'un 1 une quantité plus ou moins grande de charges dans la région de corps de gauche et dans la région de corps de droite. Ainsi, les quatre valeurs possibles du courant dans la région de corps centrale peuvent être bien différenciées.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, diverses variantes de réalisation de transistors MOS pourront être adoptées, par exemple la réalisation de zones de source et de drain faiblement dopées (LDD) au voisinage de la région de canal.

On comprendra également que le fait que l'on ait appelé état 1 l'un des états de mémorisation et état 0 l'autre des états de mémorisation est parfaitement arbitraire.

Dans ce qui a été décrit précédemment, on utilise un transistor à deux corps : un corps susceptible de stocker des charges d'une première polarité et un corps susceptible de laisser passer des charges de polarité opposée. Il n'y a donc pas de coexistence de charges de polarités opposées dans un même corps. Ceci est l'une des raisons principales pour lesquelles la structure décrite évite les inconvénients susmentionnés des points mémoire à un transistor de l'art antérieur (durée de rétention limitée, consommation élevée, faible différenciation entre les deux états de mémorisation, complexité de commande, faible vitesse de fonctionnement, impossibilité de réduire l'épaisseur du corps du transistor qui doit assurer la présence simultanée d'électrons et de trous). De plus le dispositif décrit peut fonctionner avec une seule grille et est relativement simple à commander.

Divers modes de réalisation et diverses variantes d'un point mémoire à un seul transistor ont été décrits ici. L'homme de l'art pourra combiner divers éléments de ces divers modes de réalisation et variantes sans faire preuve d'activité inventive.

En particulier, dans le mode de réalisation décrit en détail ci-dessus, le transistor MOS isolé est isolé par une couche isolante 1. On pourrait prévoir que ce transistor MOS soit isolé par jonction, c'est-à-dire soit directement formé au-dessus d'un substrat de silicium de type de conductivité opposé à celui des régions de drain/source, à savoir un substrat de type P si les régions de drain/source, comme la région de corps inférieure, sont de type N.

**REVENDICATIONS**

1. Point mémoire constitué d'un transistor MOS isolé ayant un drain (8), une source (7) et une région de corps revêtue d'une grille isolée (12), dans lequel la région de corps est divisée dans son épaisseur en deux régions distinctes (13, 14) de types de conductivité opposés s'étendant parallèlement au plan de la grille, la région de corps la plus proche de la grille ayant le type de conductivité opposé à celui des drain/source.
2. Point mémoire selon la revendication 1, réalisé à partir d'une structure SOI.
3. Point mémoire selon la revendication 1, reposant sur un substrat semiconducteur ayant le type de conductivité opposé à celui des drain/source.
4. Point mémoire selon la revendication 1, réalisé à partir d'une structure FINFET.
5. Point mémoire selon l'une quelconque des revendications 1 à 3, dans lequel la région de corps la plus proche de la grille a une épaisseur de 5 à 50 nm, de préférence de l'ordre de 10 nm et un niveau de dopage inférieur à  $10^{16}$  at./cm<sup>3</sup>.
6. Point mémoire selon l'une quelconque des revendications 1 à 3 et 5, dans lequel la région de corps la plus éloignée de la grille a une épaisseur de 5 à 50 nm, de préférence de 10 à 40 nm et un niveau de dopage compris entre  $10^{16}$  et  $10^{18}$  at./cm<sup>3</sup>.
7. Procédé d'utilisation d'un point mémoire selon l'une quelconque des revendications 1 à 6, dans lequel la tension de source est considérée comme la tension de référence et les régions de source et de drain sont de type N, ce procédé comprenant, dans un ordre quelconque, les étapes suivantes :
- écriture d'un 1 : application d'une tension positive sur le drain et, pendant l'application de cette tension positive, application d'une brève tension positive sur la grille,

écriture d'un 0 : application d'une tension très faiblement positive, nulle ou négative sur le drain et application d'une tension positive sur la grille,

5 lecture : application d'une tension négative sur la grille et d'une tension faiblement positive sur le drain, et

maintien : application d'une tension négative sur la grille et d'une tension faiblement positive ou nulle sur le drain.

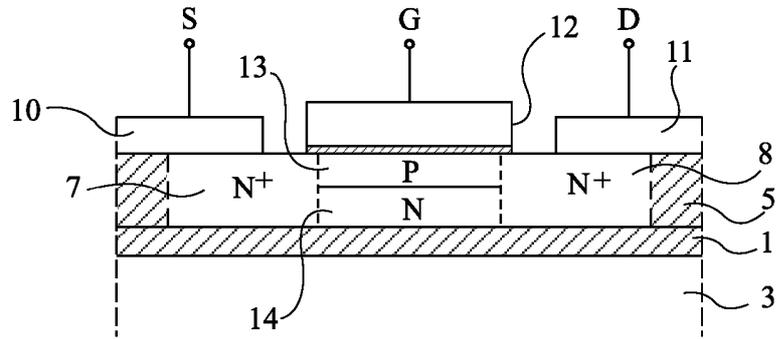


Fig 1

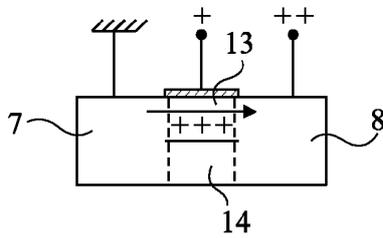


Fig 2A

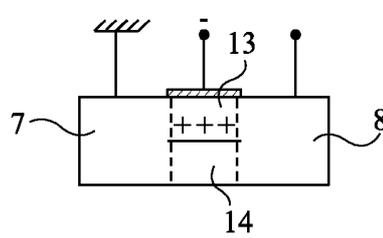


Fig 2B

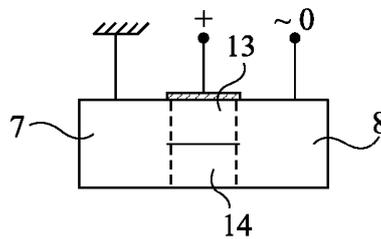


Fig 3

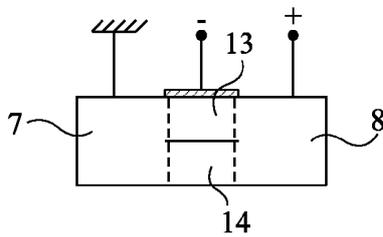


Fig 4A

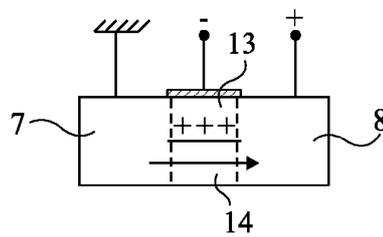


Fig 4B

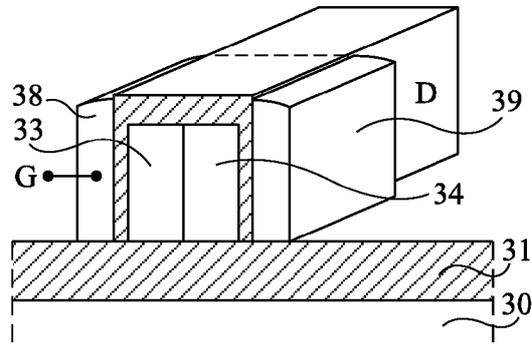
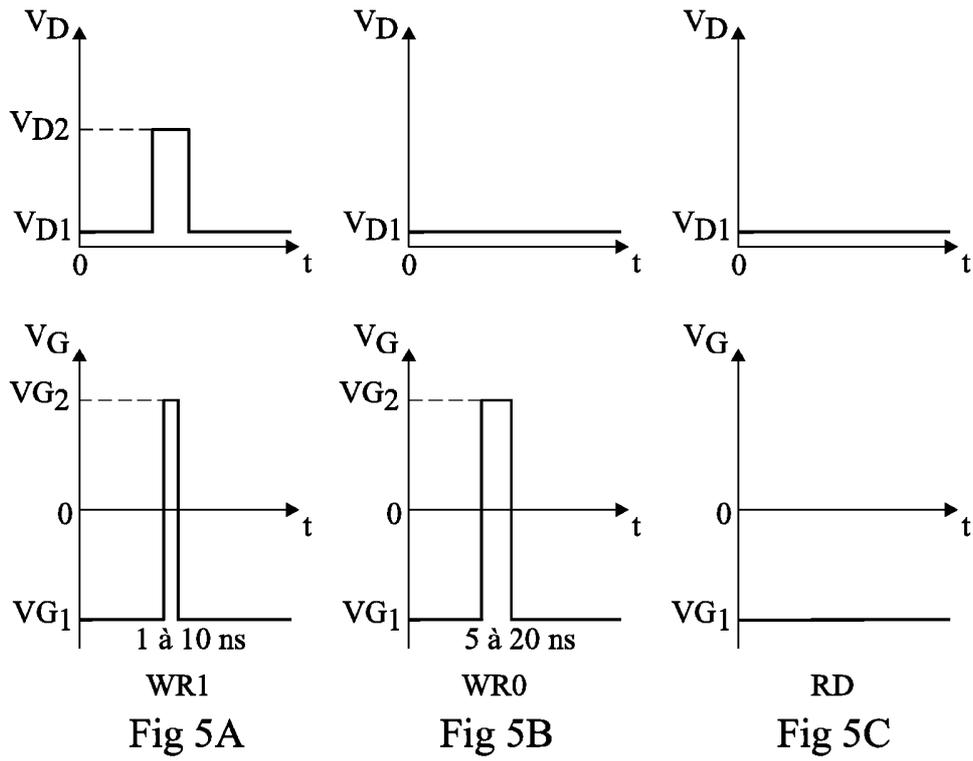


Fig 6

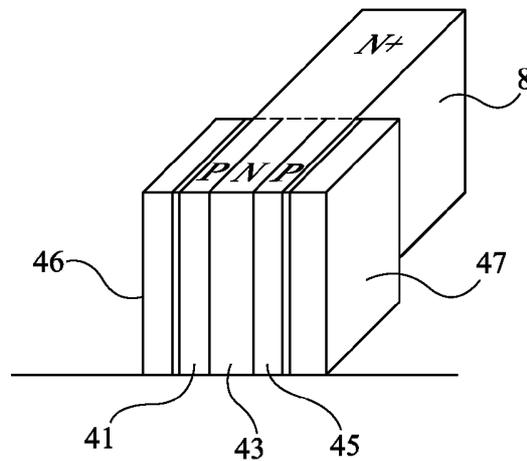


Fig 7

# RAPPORT DE RECHERCHE

articles L.612-14, L.612-17 et R.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

---

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ÉTABLISSEMENT DU PRÉSENT RAPPORT DE RECHERCHE

---

- Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.
- Le demandeur a maintenu les revendications.
- Le demandeur a modifié les revendications.
- Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.
- Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.
- Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITÉS DANS LE PRÉSENT RAPPORT DE RECHERCHE

---

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

- Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.
- Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.
- Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.
- Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

WO 2010/119224 A1 (CENTRE NAT RECH SCIENT [FR]; UNIV GRANADA [ES]; CRISTOLOVEANU SORIN IO)  
21 octobre 2010 (2010-10-21)  
document ne pouvant être pris en considération que pour apprécier la nouveauté de l'invention

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL**

NOEL RODRIGUEZ ET AL: "A-RAM: Novel capacitor-less DRAM memory" SOI CONFERENCE, 2009 IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 5 octobre 2009 (2009-10-05), pages 1-2, XP031561473 ISBN: 978-1-4244-4256-0

WO 88/08617 A1 (RES CORP TECHNOLOGIES INC [US])  
3 novembre 1988 (1988-11-03)

US 2008/303063 A1 (HONG KI-HA [KR] ET AL)  
11 décembre 2008 (2008-12-11)

TANAKA T ET AL: "Scalability study on a capacitorless 1T-DRAM from single-gate PD-SOI to double-gate FinDRAM" ELECTRON DEVICES MEETING, 2004. IEDM TECHNICAL DIGEST. IEEE INTERNATIONAL SAN FRANCISCO, CA, USA DEC. 13-15, 2004, PISCATAWAY, NJ, USA, IEEE LNKD- DOI:10.1109/IEDM.2004.1419332, 13 décembre 2004 (2004-12-13), pages 919-922, XP010788953 ISBN: 978-0-7803-8684-6

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES**

NEANT

N° d'enregistrement national : 1052612

N° de publication : 2958779

<p><b>3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES</b></p>