

Universidad de Granada  
Departamento de Electrónica y Tecnología de  
Computadores



Aplicación de tecnologías reconfigurables  
analógica y digital para instrumentación inteligente

**TESIS DOCTORAL**

Diego Pedro Morales Santos

Editor: Editorial de la Universidad de Granada  
Autor: Diego Pedro Morales Santos  
D.L.: Gr 1562-2011  
ISBN: 978-84-694-0944-2



D. Alberto J. Palma López y D. Antonio García Ríos, Profesores Titulares del Departamento de Electrónica y Tecnología de Computadores de la Universidad de Granada,

CERTIFICAMOS:

Que el trabajo de investigación recogido en la presente memoria, titulada Aplicación de tecnologías reconfigurables analógica y digital para instrumentación inteligente, y presentada por D. Diego Pedro Morales Santos para optar al grado de Doctor por la Universidad de Granada ha sido realizado en su totalidad bajo nuestra dirección en el Departamento de Electrónica y Tecnología de Computadores de la Universidad de Granada.

Granada, a 25 de noviembre de 2010

Dr. D. Alberto J. Palma López  
Profesor Titular de Universidad

Dr. D. Antonio García Ríos  
Profesor Titular de Universidad





## **Agradecimientos**

Es mucha la gente relacionada con este trabajo, a la que uno tiene que referirse, aquellos de los que no me acuerde en este momento que me perdonen.

En primer lugar quisiera agradecer a mis directores, Alberto J. Palma López y Antonio García Ríos, la dedicación, paciencia y amistad con la que me han honrado. Este trabajo no hubiera sido posible sin su orientación y magisterio.

También quiero agradecer a mis compañeros más cercanos, Antonio Martínez Olmos y Miguel Ángel Carvajal Rodríguez, los buenos momentos que me han hecho pasar, la ayuda que me han prestado en todo momento y la amistad con la que me obsequian.

No quiero dejar atrás a los compañeros del Departamento de Electrónica y Tecnología de Computadores de la Universidad de Granada, Juan E. Carceller Beltrán, Encarnación Castillo Morales, Francisco J. García Ruiz, Francisco Jiménez Molinos y Jesús Banqueri Ozáez. Gracias por las muestras de apoyo.



*A Raquel y mis hijas Laura, Claudia y Julia.*

*A mis padres.*



# Índice

Índice	i
Índice de Figuras .....	v
Índice de Tablas .....	xi
Prólogo	1
Capítulo 1.Introducción.....	3
1.1    Presentación .....	3
1.2    Sistemas de medida electrónicos .....	6
1.3    Sistemas de instrumentación reconfigurables .....	9
1.4    Objetivos de esta tesis .....	11
1.5    Estructura de la tesis.....	12
<b>Capítulo 2. Sensores e instrumentación electrónica inteligente: fundamentos y estado de la técnica.....</b>	<b>15</b>
2.1    Introducción y terminología.....	15
2.2    Interfaces estandarizadas para sensores inteligentes: IEEE 1451 ....	19
2.3    Funciones de la electrónica de interfaz en un sistema sensor.....	32
2.4    Dispositivos electrónicos reconfigurables .....	38
2.4.1    Dispositivos reconfigurables analógicos.....	39
2.4.1.1    Soluciones Comerciales .....	41
2.4.1.2    Microcontroladores de señal mixta PSoC de Cypress.....	54
2.4.1.3    Procesador Analógico dinámicamente programable dsASP ..	56
2.4.1.4    Propuestas no comerciales .....	59
2.4.2    Dispositivos reconfigurables digitales: FPGA .....	69
2.4.2.1    Xilinx .....	73

---

2.4.2.2	Otros fabricantes .....	78
2.5	Plataformas de instrumentación reconfigurables: Estado de la técnica .....	80
2.6	Conclusiones .....	87
<b>Capítulo 3. Prototipado de plataformas instrumentales reconfigurables.....</b>		<b>91</b>
3.1	Introducción .....	91
3.2	Motivación y fundamentos.....	93
3.3	Descripción de los componentes principales de la plataforma.....	99
3.3.1	Dispositivo AN221E04.....	99
3.3.1.1	Descripción y configuración del AN221E04.....	100
3.3.1.2	Pre-acondicionamiento analógico .....	119
3.3.2	PSoC CY8C38 .....	126
3.3.3	Microcontrolador PIC y ADC externo.....	133
3.3.4	FPGA XC3C200A.....	135
3.4	Desarrollo inicial: placas de desarrollo comerciales.....	136
3.4.1	Descripción de las placas de desarrollo .....	137
3.4.2	Arquitectura, montaje e interfaces entre las placas .....	140
3.5	Prototipo P01: 1 FPAA+1 FPGA+ 1 $\mu$ C.....	143
3.5.1	Arquitectura general del diseño.....	144
3.5.1	Módulo de pre-acondicionamiento .....	148
3.5.1	FPAA y ADC externo.....	149
3.5.2	Microcontrolador PIC 18F2550 y memoria SPI.....	153
3.5.3	FPGA .....	157
3.5.4	Alimentación de la plataforma .....	160
3.6	Prototipo P02: 2 FPAA + 1 FPGA + 1 PSoC.....	164
3.6.1	Estructura general de la plataforma.....	165
3.6.2	Funcionamiento.....	167

3.7	Conclusiones.....	168
<b>Capítulo 4. Aplicación al sensado medioambiental.....</b>		<b>169</b>
4.1	Introducción .....	169
4.2	Técnicas de reconfiguración para incremento de la resolución digital efectiva .....	170
4.2.1	Ajuste dinámico de la salida del sensor al rango de entrada de un ADC. ....	171
4.2.2	Estudio de las características del módulo CAM ADC implementado en la FPAA.....	175
4.2.3	Aplicación a un sensor de temperatura NTC.....	179
4.3	Medida de la presión: sensor IEEE 1451.4 .....	187
4.4	Conclusiones.....	192
<b>Capítulo 5. Aplicación a la adquisición y procesado de señales biomédicas... ..</b>		<b>194</b>
5.1	Introducción .....	194
5.1.1	Señales electrocardiográficas.....	196
5.1.2	Electroencefalografía EEG y electromiografía EMG .....	205
5.2	Sistema para electrocardiografía. ....	207
5.2.1	Configuración de la FPAA .....	208
5.2.1.1	Primer diseño: CAM controlados con la misma señal de reloj .....	209
5.2.1.2	Diseño segundo: CAM controlados con señales de reloj diferentes.....	215
5.2.2	Procesado y control con la FPGA .....	222
5.2.2.1	Modelado del procesado en la FPAA con LabView.....	223
5.2.3	Resultados experimentales. Medidas reales.....	227



---

5.2.4	Electrocardiografía fetal: configuración y resultados.....	235
5.2.4.1	Configuración de la FPAA .....	235
5.2.4.2	Separación de señales ECG mediante filtrado adaptativo: procesado con LabView e implementación en la FPGA .....	239
5.3	Conclusiones .....	242
<b>Capítulo 6.</b>	<b>Conclusiones .....</b>	<b>245</b>
6.1	Principales conclusiones.....	245
6.2	Publicaciones derivadas de este trabajo .....	249
<b>Bibliografía .....</b>		<b>253</b>

# Índice de Figuras

Figura 1.1 Elementos de un sistema de medida.....	6
Figura 1.2 Sistema de medida multicanal con un solo ADC. (Pérez et al. 2004).....	7
Figura 1.3 Esquema general de un sensor inteligente.....	8
Figura 2.1 Sensor inteligente IEEE 1451.....	22
Figura 2.2 Conjunto de estándares IEEE 1451.....	23
Figura 2.3 Interfaz de comunicación entre TIM y NCAP según el IEEE 1451.2.....	26
Figura 2.4 Conexión física de TIM al NCAP según el IEEE 1451.3.....	27
Figura 2.5 Interfaces MMI Clase 1 y Clase 2.....	28
Figura 2.6 Estándar IEEE 1451.5.....	29
Figura 2.7 Estándar IEEE 1451.6.....	31
Figura 2.8 Funciones de un sistema sensor.....	32
Figura 2.9 Comparativa entre diseño tradicional ASIC analógico y diseño usando FPAA.....	40
Figura 2.10 Diagrama de bloque del IMP50E10 (Klein 1995).....	42
Figura 2.11 Diagrama del MPAA020 (Bratt 1998).....	43
Figura 2.12 Estructura del TRAC020.....	44
Figura 2.13 Diagrama de bloques del PGA309 (TI 2005).....	46
Figura 2.14 ALD110800 dispositivo perteneciente a la tecnología EPAD (ADL 2010).....	47
Figura 2.15 Diagrama del MTI08D (MAZeT 2008).....	48
Figura 2.16 Diagrama interno del AD8556 (AD 2007).....	49
Figura 2.17 Diagrama funcional del MLX90314 (MLX 2007).....	51
Figura 2.18 Familia de dispositivos ispPAC de Lattice.....	53
Figura 2.19 Diagrama de bloques funcionales de un PSoC (Cypress 2007).....	55
Figura 2.20 Dispositivo AN221E04 y estructura de un CAB interno perteneciente a la familia Anadigvortex.....	57
Figura 2.21 Celda básica del dispositivo Palmo (Hamilton et al. 1998).....	60
Figura 2.22 Estructura de la FPMA (Edwards et al. 1999).....	61
Figura 2.23 Estructura del CAB de (Pankiewicz et al. 2001).....	63
Figura 2.24 FPTA de la Universidad de Heidelberg (Langeheine et al. 2001).....	64
Figura 2.25 Esquema de una celda básica de FPTA (Stoica et al. 2000).....	65
Figura 2.26 (Izquierda) Estructura del CAB con la matriz de conmutación y componentes analógicos del CAB (Derecha) (Hall, Hasler & Anderson 2002).....	66

Figura 2.27 (a) Estructura MITE, (b) Estructura CAB (Abramson et al. 2005).....	67
Figura 2.28 (Izquierda) Topología de la FPAA con 7 CABs. (Derecha.) Esquema de un CAB (Becker et al. 2008).....	68
Figura 2.29 Arquitectura general de una FPGA.....	70
Figura 2.30 Arquitectura de la Spartan 3A.....	73
Figura 2.31 Estructura de un CLB y un <i>slice</i> en una Spartan 3A.....	74
Figura 2.32 De izquierda a derecha: Mica, Mica 2, Mica2Dot, Micaz, TelosB.....	82
Figura 2.33 Estructura de la mPlatform de Microsoft Research (Lymberopoulos et al. 2007). ....	83
Figura 2.34 Placa con el Microcontrolador y PFGA junto con los módulos de acondicionamiento (Portilla et al. 2008).....	84
Figura 2.35 UIISI del Instituto Italiano de Tecnología (Mattoli et al. 2010).....	85
Figura 2.36 Estructura de la placa de instrumentación reconfigurable de la U. de Vigo (Grana & Perez 2007).....	86
Figura 3.1 Diagrama de interacción FPAA-FPGA.....	95
Figura 3.2 Esquema de auto-reconfiguración de la FPGA en una Spartan 3. Estos dispositivos necesitan el ruteo externo de puerto PCAP para que sea accesible internamente (González, Aguayo & Lopez-Buedo 2007).....	97
Figura 3.3 Sistema multi-sensor reconfigurable.....	98
Figura 3.4 Estructura del AN221E04 (Anadigm 2010).....	100
Figura 3.5 Elementos de una celda de entrada/salida 1 de la FPAA AN221E04 (Anadigm 2010).....	102
Figura 3.6 Celda 4 con el multiplexor bidireccional (Anadigm 2010).....	103
Figura 3.7 Celda de salida dedicada del AN221E04 (Anadigm 2010).....	104
Figura 3.8 Arquitectura de un bloque analógico configurable CAB (Anadigm 2010).....	105
Figura 3.9 Sistema de generación de las señales de reloj en la AN221E04 (Anadigm 2010).....	106
Figura 3.10 Configuración de la FPAA para dos entradas de señal y salida digital creada con el software AnadigmDesigner2.....	108
Figura 3.11 Configuración de la FPAA desde un <i>host</i> .....	116
Figura 3.12 Diagrama de temporización de la conversión en el SAR. Aclk corresponde a la señal de reloj CLOCKA en la configuración del ADC.....	117
Figura 3.13 Eliminación de componentes en continua haciendo uso de CAM. a) Añadiendo un señal Vcc en el terminal negativo. b) Mediante el uso de un filtro paso alta que elimina la componente en continua.....	120
Figura 3.14 Cambio de nivel de continua utilizando divisores de tensión.....	121
Figura 3.15 Atenuación variable de señal a la entrada con resistencias.....	122
Figura 3.16 Cambio de nivel de continua, a) Elevación de señal referenciada a tierra a VMR en la entrada, b) Conversión de señal diferencial de salida sobre VMR a señal unipolar referenciada a tierra.....	123
Figura 3.17 Conexión de señales diferenciales flotantes de pequeña amplitud: termopar.....	124

Figura 3.18 Amplificación de señales diferenciales con amplificador diferencial. ....	125
Figura 3.19 Diagrama funcional del dispositivo CY8C38 (Cypress 2010). ....	126
Figura 3.20 Encapsulado SSOP de 48 pines del CY8C38 (Cypress 2010). ....	129
Figura 3.21 Anadigvortex Development Board AN221K04 .....	137
Figura 3.22 Xilinx Spartan-3E Evaluation Kit.....	138
Figura 3.23 Spartan-3E FPGA Starter Kit.....	140
Figura 3.24 Primeros desarrollos plataforma FPGA-FPAA .....	141
Figura 3.25 Montaje experimental para desarrollo y depuración de aplicaciones con las placas de evaluación de la FPAA y la FPGA .....	142
Figura 3.26 Estructura del prototipo de plataforma de instrumentación. ....	144
Figura 3.27 Distribución de los planos de tierra en la placa diseñada: cara inferior (izquierda), cara superior (derecha). ....	147
Figura 3.28 Distribución de los componentes y pistas en la placa: cara inferior (derecha), cara superior (izquierda). ....	147
Figura 3.29 Prototipo construido. ....	148
Figura 3.30 Esquemáticos de la etapa de pre-acondicionamiento. ....	149
Figura 3.31 Esquemático de las conexiones en la AN231E04.....	151
Figura 3.32 Esquemático de las conexiones del ADC .....	152
Figura 3.33 Esquemático de comunicación con la memoria SPI .....	154
Figura 3.34 Modos de configuración de las comunicaciones con la interfaz SPI: a) modo PIC/FPGA ↔ SPI, y b) modo PIC ↔ FPGA.....	157
Figura 3.35 Alimentación de la FPGA XC3S200A.....	158
Figura 3.36 Esquemático de configuración de la FPGA. ....	161
Figura 3.37 Esquemático de la gestión DC. ....	162
Figura 3.37 Plataforma de instrumentación prototipo P02.....	164
Figura 4.1 Estructura FPAA-FPGA usada en las aplicaciones de este capítulo. ....	170
Figura 4.2 Ajuste de los rangos de excursión de señal de un sensor en la conexión al ADC. ....	172
Figura 4.3 Ajuste de 4 tramos del rango del sensor al rango completo del ADC. ....	173
Figura 4.4 Configuración de la FPAA para evaluación del CAM ADC-SAR.....	174
Figura 4.5 Montaje experimental para evaluación del ADC-SAR.....	176
Figura 4.6 Respuesta ADC-SAR de 8 bits. La gráfica representa la salida digital del ADC expresada en números naturales (cuentas) frente a la tensión de entrada al módulo ADC-SAR. Dado que este rango es de -3V a 3V para mejor interpretación se ha dividido en dos gráficas, la inferior comienza para entradas de -3V. El intervalo intermedio de valores de salida del ADC se ha eliminado y la gráfica superior representa los últimos valores del rango de salida para señales de entrada hasta 3V. La respuesta del ADC, para ver las desviaciones, se compara con la respuesta de un ADC ideal....	177
Figura 4.7 Aplicación de adquisición creada en LabView. ....	178

Figura 4.8 a) Configuración de resistencias para $R_t$ , b) diseño del acondicionamiento para el termistor con AnadigmDesigner2.....	180
Figura 4.9 Respuesta del ADC generado de 10 bits mediante la superposición de las salidas del ADC-SAR para cada uno de los tramos de acondicionamiento de la señal del termistor.....	183
Figura 4.10 Montaje experimental para testeo de la aplicación y comparación con una aplicación específica de acondicionamiento.....	184
Figura 4.11 a) Configuración experimental, b) hardware utilizado.....	186
Figura 4.12 Implementación del PicoBlaze en la Spartan.....	187
Figura 4.13 Diagrama de bloques para un sensor inteligente (Morales et al. 2007).....	188
Figura 4.14 Arquitectura implementada en la FPGA.....	189
Figura 4.15 Sensor de presión.....	190
Figura 4.16 a) Acondicionamiento para el sensor de presión. b) acondicionamiento para el sensor de presión y el sensor de temperatura.....	191
Figura 5.1 Sistema de adquisición para ECG.....	195
Figura 5.2 Forma de onda ECG.....	197
Figura 5.3 Derivaciones de Einthoven.....	199
Figura 5.4 Acondicionamiento analógico para adquisición de ECG con tres electrodos.....	202
Figura 5.5 Estructura de un filtro adaptativo cancelador de ruido.....	204
Figura 5.6 Ondas EEG.....	206
Figura 5.7 Acondicionamiento diseñado en AnadigmDesigner2.....	208
Figura 5.8 Conexión del generador ECG a la FPAA.....	211
Figura 5.9 Señales ECG procesadas. De izquierda a derecha y de arriba hacia abajo: 60, 100,150 y 200 lpm (latidos por minuto).....	212
Figura 5.10 a) Salida del acondicionamiento para 60 lpm con toda la ganancia interna concentrada en un CAM amplificador sin offset a la entrada. b) Deterioro de la salida cuando se añade offset a la señal de entrada de 80 mV.....	214
Figura 5.11 a) Salida sin filtrado RC. b) Salida con filtrado RC.....	215
Figura 5.12 Montaje experimental para caracterización del acondicionamiento analógico del ECG.....	218
Figura 5.13 a) Diagrama de bode para la configuración de diagnóstico. b) Respuesta temporal del sistema.....	219
Figura 5.14 Configuración creada en AnadigmDesisigner2 para monitorización.....	220
Figura 5.15 a) Diagrama de Bode para la configuración de monitorización. b) Respuesta temporal con 60 lpm.....	221
Figura 5.16 Interfaz de configuración de los filtros Butterworth en LabView.....	223
Figura 5.17 a) Señal ECG adquirida con el osciloscopio tras ser procesada con la FPAA, b) señal tras el procesado con filtros Butterworth en LabView.....	224
Figura 5.18 Configuración del módulo Wavelet Denoise.....	226

---

Figura 5.19 a) Señal adquirida del osciloscopio, b) señal filtrada con wavelet en LabView, c) detención del complejo QRS mediante análisis <i>wavelet</i> .....	227
Figura 5.20. Filtrado implementado en la FPGA con LabView.....	228
Figura 5.21 (Arriba) Electrodo metálico de succión. (Abajo) Electrodo adhesivo 3M. ....	230
Figura 5.22 (a) Señal procesada por la FPAA y adquirida con la FPGA con los electrodos metálicos. (b) Señal de los electrodos metálicos tras el procesamiento en la FPGA. (c) Señal procesada por la FPAA y adquirida con la FPGA con los electrodos 3M. (d) Señal de los electrodos 3M tras el procesamiento en la FPGA. ....	231
Figura 5.23 (a) Cambio de la ganancia en la FPAA. (b) Reconfiguración completa del sistema.....	233
Figura 5.24 Configuración para acondicionamiento del ECG Madre y ECG Madre+Feto en la FPAA. ....	236
Figura 5.25 ECG Materno y fetal simulados y procesados en la FPAA.....	237
Figura 5.26 (Arriba) Configuración para separar las señales ECG materna y fetal. (Abajo) ECG fetal separado con la configuración de arriba. ....	238
Figura 5.27 Señales ECG de la base de datos (De Moor 2010). (a) Derivación 2 en el abdomen de la madre, (b) derivación 7 en el tórax de la madre.....	239
Figura 5.28 Procesado con LabView. (a) Señal ECG del feto separada mediante filtrado adaptativo, (b) señal ECG madre+feto procesada en la FPAA, (c) señal ECG madre procesada en la FPAA.....	240
Figura 5.29 Configuración del filtro adaptativo implementado en la FPGA.....	241
Figura 5.30 Separación del ECG materno y fetal con filtrado adaptativo implementado en la FPGA. (a) ECG materno y fetal mezclados adquiridos por la FPGA después de procesarse en la FPAA, (b) ECG fetal extraído de (a) mediante filtrado adaptativo en la FPGA.....	242



# Índice de Tablas

Tabla 2.1 Opciones de diseño digital .....	39
Tabla 2.2 Familia de dispositivos ispPAC .....	52
Tabla 3.1 CAM que se pueden implementar en AN221E04 usando AnadimDesigner2.....	109
Tabla 3.2 Principales parámetros del AN221E04 .....	118
Tabla 3.3 Características principales del PIC18F2550.....	133
Tabla 3.4 Algunos convertidores con características en el rango útil para este desarrollo.....	134
Tabla 3.5 FPGA de la familia Spartan-3A.....	136
Tabla 3.6 Comparativa entre FPAA de Anadigm.....	150
Tabla 3.7 Valores de las señales M0-M2 para cada uno de los modos de funcionamiento. ....	161
Tabla 3.8 Dispositivos del bloque de gestión DC. ....	163
Tabla 4.1 Parámetros de configuración de la FPAA para evaluación del CAM ADC-SAR .....	175
Tabla 4.2 Características NTSA0XV103E1B0 .....	180
Tabla 4.3 Configuración de los módulos utilizados en el diseño para el termistor.....	181
Tabla 4.4 Ganancias y rangos en los que se ha dividido la salida del termistor.....	182
Tabla 4.6 Especificaciones técnicas del FPB2UR2U5A6Q.....	190
Tabla 5.1 CAM usados en el primer diseño ECG.....	210
Tabla 5.2 Configuraciones de los CAM usados en el segundo diseño.....	216
Tabla 5.3 Configuraciones para los filtros Butterworth en LabView .....	225
Tabla 5.4 Utilización de los recursos lógicos de la FPAA.....	229
Tabla 5.5 Comparativa de características con sistemas comerciales .....	234





# Prólogo

Esta tesis es el resultado de los trabajos de investigación realizados en el campo de la instrumentación electrónica. Los resultados obtenidos presentan un método de desarrollo de instrumentación basado en dispositivos reconfigurables que realizan el procesado de señal tanto en el dominio analógico como en el digital. La característica principal de estos dispositivos es la posibilidad de implementar estructuras hardware de procesado de señal que en cualquier circunstancia que lo aconseje puede ser redefinida no solo por un usuario externo sino por el propio sistema que puede decidir reconfigurar una etapa del sistema de procesado. Esta aproximación dota a este tipo de instrumentación electrónica de una versatilidad que la hace capaz de adaptarse a la adquisición y procesado de señales generadas por un amplio conjunto de transductores, así como a la adquisición y procesado de bio-señales. De ahí el calificativo inteligente en el título de la tesis.

Para la consecución de este fin se ha realizado un estudio de los diferentes dispositivos reconfigurables analógicos y digitales existentes y se han evaluado sus características pensando en su posible utilización en el campo de la instrumentación. Se presenta e implementa la arquitectura de una plataforma de instrumentación reconfigurable basada en estos dispositivos, definiendo sus características idóneas en relación con los problemas que puede abordar.

Dentro de las posibles aplicaciones de dicha plataforma se ha optado por el procesado de señales de sensores inteligentes en el sentido que los define el estándar del Instituto de ingenieros electrónicos y eléctricos (IEEE) 1451. Este

estándar está compuesto de un subconjunto de protocolos y estándares que definen las características de un sistema sensor para que se le pueda considerar como inteligente desde que se adquiere la señal hasta que ésta se le entrega al destinatario de la misma. Esta plataforma puede adaptar su estructura de procesamiento hardware en función del sensor que se le conecte y el destinatario de dicha señal procesada. Por tanto se presentan técnicas de reconfiguración analógica y digital que permiten la identificación del sensor, la elección de la configuración de interfaz analógica-digital (por ejemplo incrementar resolución de un convertidor analógico-digital) y cambiar dicha interfaz cuando lo requiera un cambio de sensor o de las características del sensor. Se demuestra su utilidad en sistemas mutisensor ya que posibilita implementar los procesados de las señales de manera secuencial disminuyendo el número de etapas en paralelo a implementar.

En una vertiente paralela, se emplea esta filosofía de instrumentación para la adquisición de señales biológicas humanas tales como el electrocardiograma (ECG) o la electromiografía (EMG). Se presentan las cualidades especiales de este tipo de señales débiles y el ruido de características específicas que las acompaña. La adquisición de estas señales presenta unas peculiaridades que casan perfectamente con los atributos del método de adquisición y presentación de la información que se presenta en este trabajo. La posibilidad de reconfiguración del sistema completo permite redefinir la estructura de procesamiento y a su vez modificar, por ejemplo las frecuencias de filtrado y ganancia de las etapas analógicas. También se puede elegir el posterior procesamiento digital en función de la información a extraer como por ejemplo la frecuencia cardíaca fetal, en el caso de la electrocardiografía fetal no invasiva. Se presentan resultados experimentales que avalan el uso de esta metodología.

En el cuerpo de la tesis se realiza un desarrollo extenso de todos estos puntos.

# Capítulo 1.    **Introducción**

## **1.1 Presentación**

El término instrumentación electrónica hace referencia al uso de la tecnología electrónica para la medida de cualquier magnitud física y está presente en todas las ramas de la ciencia, la ingeniería, la medicina, así como en casi cualquier tarea humana. El conocimiento del valor de una magnitud física está directamente relacionado con la medida de la misma y depende de que el proceso de medida no interfiera en el resultado obtenido como valor de la magnitud (Kalsi 2006). El proceso de medida siempre necesitará nuevos desarrollos de equipos y tecnología.

En el siglo pasado el advenimiento de los descubrimientos dentro el campo de la física moderna significó el uso de los nuevos fenómenos físicos conocidos como base de elementos sensores y actuadores (Manuel et al. 2001). Posteriormente el desarrollo de la ingeniería electrónica, con el descubrimiento del diodo termoiónico y el triodo, introdujo la instrumentación electrónica base de toda la instrumentación moderna desde la invención del amplificador electrónico. La invención del transistor de estado sólido base del desarrollo de los circuitos integrados proporcionó la posibilidad del implementar circuitos de acondicionamiento integrados de bajo consumo y pequeño tamaño. El desarrollo del microprocesador en los años sesenta del siglo pasado permitió la incorporación de éste a la instrumentación (Ellis & Gollomp 1977) mediante los convertidores analógicos-digitales (ADC), de manera que era posible la

realización de funciones de procesado mucho más complejas como por ejemplo la detección de picos o el cambio de unidades entre otras. En los años ochenta del siglo pasado se introduce de forma generalizada el uso de ordenador personal como el elemento de control en los sistemas de instrumentación industriales y el desarrollo de la instrumentación abarca campos como la adquisición distribuida (Loughry & Allen 1978), la transmisión de señales o los sistemas de información.

A medida que las posibilidades de procesado de señal aumentaban se comenzó a introducir el término instrumentación inteligente (Eichenlaub 1978) que hace referencia en aquel momento a cuatro cualidades tecnológicas de estos nuevos desarrollos (Ackermann et al. 1981): 1) el uso de microcomputadores para incrementar la velocidad, fiabilidad y exactitud de la adquisición, procesado e interpretación de datos; 2) El uso de técnicas de medida más complejas y sofisticadas con un alto componente tecnológico para adquirir información de fenómenos físicos; 3) el uso de tecnologías de computarización para automatizar los procesos de medida, emulando la intervención humana y por tanto eliminándola del proceso; y 4) el uso de técnicas avanzadas de la teoría de la información para extraer mas información del fenómeno medido que extienda el límite de detección del instrumento e incremente la comprensión de la medida.

La definición de lo que es un sistema de instrumentación inteligente, ha cambiado a lo largo del tiempo. Hoy en día un instrumento contiene en general todas las cualidades presentadas en el párrafo anterior. Para calificar como inteligente a un instrumento, éste además debe poder cambiar las condiciones o cualidades del procesado de la señal adquirida del elemento sensor, no sólo cuando un usuario interactúe con el instrumento, sino que el propio instrumento puede decidir modificar por ejemplo la ganancia de la etapa

amplificadora o el tipo de filtrado digital en función de las características de la señal adquirida y por tanto del sensor que se le conecte.

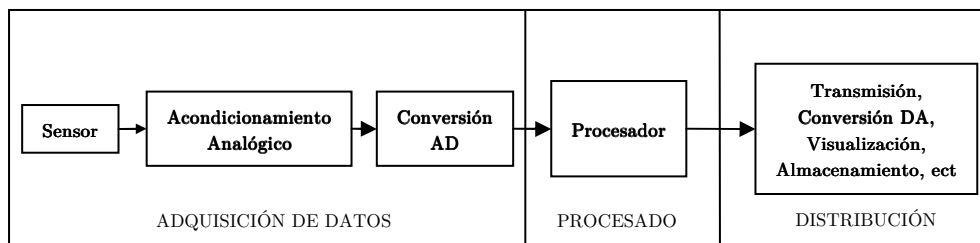
Otra vertiente de la instrumentación inteligente, es lo que se ha dado en denominar sensores inteligentes (*Smart Sensors*). Acercar cada vez más la inteligencia al punto de medida, evitando así la transmisión de señales analógicas es la característica que distingue éstos de la instrumentación inteligente. Un sensor puede considerarse inteligente (Pérez et al. 2004) si en el circuito que lo alberga se realizan algunas de las funciones siguientes:

- Acondicionamiento analógico.
- Conversión analógica-digital.
- Procesamiento primario de la información (validación, linealización, etc.)
- Conversión a unidades de ingeniería.
- Auto identificación.
- Auto diagnóstico.
- Salida de datos digital en unidades de ingeniería.
- Comunicación con una red digital.

Este trabajo propone y desarrolla instrumentación y sensores inteligentes basados en dispositivos electrónicos reconfigurables analógicos denominados FPAA (*Field Programmable Analog Arrays*) y en dispositivos electrónicos reconfigurables digitales denominados FPGA (*Field Programmable Gate Arrays*). Estos dispositivos son la base un sistema que permite implementar una o varias de las funciones descritas anteriormente y en particular permiten la auto reconfiguración completa del sistema una de las características más novedosas de la instrumentación inteligente.

## 1.2 Sistemas de medida electrónicos

Una definición generalizada (Pérez et al. 2004) de un sistema de medida electrónico lo presenta como un equipo cuya finalidad es obtener información acerca de un proceso físico y presentar dicha información de la manera requerida, a un usuario o a otro sistema electrónico posterior, esto es, transmisores, elementos de visualización, unidades de almacenamiento, sistemas de control, etc.



**Figura 1.1 Elementos de un sistema de medida.**

La Figura 1.1 muestra un esquema de las tres funciones principales de un sistema de de medida. La variable a medir es convertida por el sensor a una señal eléctrica. Esta señal eléctrica, tiene que ser acondicionada ya que en general es una señal de pequeño nivel y amplio espectro por lo que tiene que ser amplificada, filtrada, linealizada, modulada para su transmisión, etc., para su posterior procesamiento. El procesamiento de la señal se realiza tradicionalmente con un procesador digital por lo que la señal debe ser convertida al dominio digital mediante un convertidor analógico-digital (ADC) que en muchas ocasiones puede estar integrado en el procesador digital de señales. Finalmente la señal procesada puede ser enviada a un usuario para su visualización o almacenamiento en memoria, puede ser transmitida a otro equipo de medida o control o puede ser necesario proporcionar la señal a un

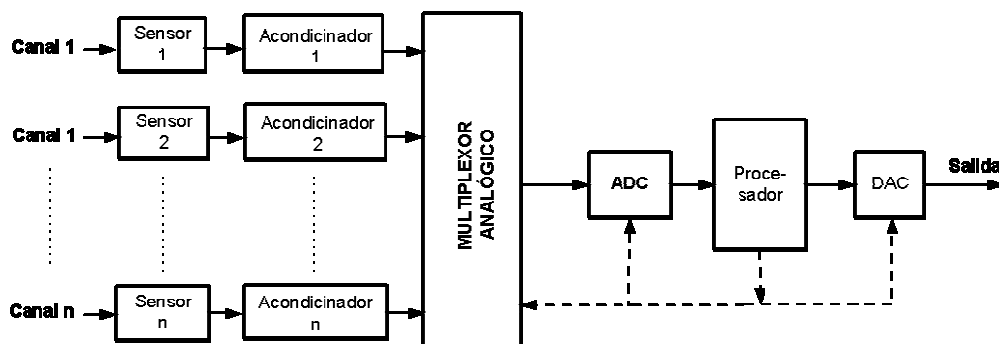


Figura 1.2 Sistema de medida multicanal con un solo ADC. (Pérez et al. 2004).

sistema analógico (actuador) por lo que tiene que ser convertida al dominio analógico mediante el uso de un convertidor digital-analógico (DAC).

La Figura 1.1 representa un sistema de un solo canal de medida. En la actualidad, en entornos medioambientales e industriales se hace necesario procesar más de una variable de entrada. Un sistema de medida multicanal es aquel que es capaz de procesar las señales procedentes de varios sensores usando un solo procesador.

Las posibles implementaciones para poder procesar varias señales son, usar un multiplexor analógico y un solo ADC que entrega la señal digitalizada al procesador como se muestra en la Figura 1.2, o usar varios ADC, cada uno entregando la señal al procesador.

No solo es necesario procesar señales procedentes de varios canales, éstos pueden estar distribuidos heterogéneamente en distancias largas, por lo que los sistemas de instrumentación pueden adoptar dos arquitecturas básicas, una arquitectura centralizada que se caracteriza por ejecutar el algoritmo de medida en un núcleo inteligente con distancias cortas entre los sensores y el núcleo de procesado digital, y una arquitectura distribuida cuando el número de señales es elevado o su dispersión espacial muy grande. Este último se



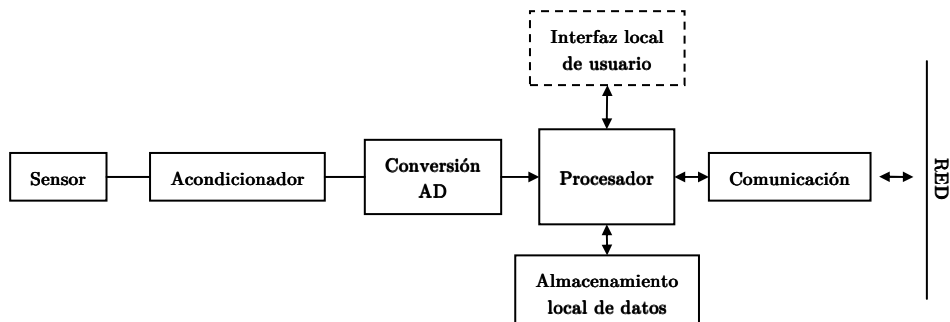


Figura 1.3 Esquema general de un sensor inteligente.

caracteriza por poseer varios núcleos de procesado digital, que procesan la señal de uno o varios sensores y se comunican con los otros núcleos mediante un sistema de comunicación y transmisión de señales.

### *Instrumentación y sensores inteligentes*

Como ya se ha comentado en la presentación, la noción de instrumentación inteligente ha ido cambiando a lo largo de su desarrollo a medida que ha sido posible integrar más aplicaciones de procesado cuando se ha desarrollado la microelectrónica.

Este desarrollo ha llevado a desdibujar la frontera entre sensor, como elemento transductor de variable físicas a variables eléctricas, e instrumento que acondiciona la señal procedente del sensor. Hoy en día, a grosso modo, la diferencia entre un sensor inteligente y un instrumento inteligente es el tamaño y la localización de la electrónica de acondicionamiento y de procesado, ya que uno y otro integran alguna de las características anteriormente enumeradas, que los hacen inteligentes. Como muestra la Figura 1.3, una definición más actualizada de sensor inteligente (Huijsing 2008), implica que si se combinan en un encapsulado el sensor, el circuito de interfaz analógica, el convertidor

analógico-digital y un interfaz de bus de comunicaciones, se tiene un sensor inteligente.

Las tecnologías de fabricación de circuitos integrados que permiten la fabricación de diferentes tipos de sensores en el propio silicio con el resto de los circuitos con alta fiabilidad, bajo consumo, moderada precisión y muy bajo coste, han dado lugar al desarrollo de los conocidos como sensores integrados, usando, entre otras, la tecnología MEMS (*Micro Electro Mechanical Systems*). En estos sistemas se desarrolla, monolíticamente, el sensor mediante técnica de micromecanizado junto a los circuitos de acondicionamiento analógico y en los más desarrollados el microcontrolador con conversión A/D y comunicación con un bus digital o la red.

El extenso y progresivo desarrollo de los sensores y sistemas de medida inteligentes a lo largo de las dos últimas décadas del siglo pasado hizo que las compañías productoras de sensores se unieran para lograr ciertos estándares en lo referente a la compatibilidad de los sistemas dada la gran variedad de redes y buses existentes. Así en 1997 surge el conjunto de estándares IEEE-1451 (Song & Lee 2008) que regulan las interfaces de los sensores inteligentes con la red a la que se conecten. Este estándar se ha convertido en el más aceptado por la mayoría de los fabricantes. En el capítulo 2 de esta tesis se realiza una exposición pormenorizada de este conjunto de estándares.

### 1.3 Sistemas de instrumentación reconfigurables

El uso de dispositivos reconfigurables para el desarrollo e implementación de instrumentación inteligente dota a estos sistemas de las cualidades inherentes de estos dispositivos como son, la flexibilidad de implementación de distintas

configuraciones de procesado y el intercambio de una a otra configuración de hardware en tiempo de ejecución.

El uso de dispositivos analógicos reconfigurables FPAA para el desarrollo de prototipos permite la implementación de la electrónica de acondicionamiento para el sensor, pudiendo cambiar cualquier cualidad de la misma como la ganancia en la amplificación, linealización, frecuencias de filtrado, etc., sin tener que implementar una nueva realización física, esto es, una nueva circuitería, ya sea con dispositivos discretos o integrada, del sistema completo. Estos dispositivos contienen bloques de procesamiento analógico compuestos de elementos pasivos, comparadores y amplificadores, digitalmente programables y que funcionan en el dominio temporal discreto, ya que están basados en capacidades conmutadas. Los dispositivos comercialmente disponibles de Anadigm (Anadigm 2002) son el ejemplo con las cualidades más versátiles. En el capítulo 3 de esta tesis se realiza un estudio de estos dispositivos y otras opciones disponibles en el mercado.

Tradicionalmente, el algoritmo digital implementado dentro del sistema de instrumentación se ha realizado utilizando procesadores digitales de señal, o DSP (*Digital Signal Processor*), de propósito general para aplicaciones con una carga computacional baja o DSP de propósito específico y circuitos integrados específicos ASIC (*Application Specific Integrated Circuit*), para una carga computacional elevada. El uso de FPGA proporciona amplias opciones de procesado digital (Meyer-Baese 2007), mantiene las ventajas del diseño específico ASIC y elimina el alto coste de desarrollo y la imposibilidad de realizar cambios en el diseño después de la producción. En el capítulo 3 de esta tesis se presentan las distintas posibilidades que suministran estos dispositivos en el campo de la instrumentación y se exponen sus características específicas.

## 1.4 Objetivos de esta tesis

El objetivo general de los trabajos realizados en esta tesis consiste en demostrar la viabilidad del uso de dispositivos electrónicos reconfigurables tanto analógicos como digitales para implementar aplicaciones en el campo de la instrumentación inteligente. La sinergia que estas dos tecnologías aportan a estos sistemas de instrumentación han cristalizado en el desarrollo de una plataforma de instrumentación reconfigurable idónea para la implementación de prototipos de instrumentación inteligente. No solo permite desarrollar una estructura al estilo de la Figura 1.3, sino que confiere a cada uno de los módulos presentes en esta arquitectura la posibilidad de reconfigurarse para poder abordar la conexión de diferentes sensores. Esta estructura reconfigurable ha demostrado su versatilidad al ser aplicada a sistemas instrumentales tan diferentes como en el campo de la medida de variables medioambientales, con sensores dentro del estándar IEEE-1451, o el procesado de señales biomédicas como el electrocardiograma humano.

Los principales objetivos son:

- estudio de las características de los sistemas de instrumentación inteligentes;
- estudio de las características de los dispositivos reconfigurables analógicos y digitales;
- desarrollo de una plataforma reconfigurable para uso en instrumentación inteligente;
- estudio de las técnicas que se basan en sistemas reconfigurables que permitan mejorar las características del sistema;
- aplicación en sensores bajo el estándar IEEE1451.4;
- aplicación en instrumentación biomédica.

## 1.5 Estructura de la tesis

Los objetivos que se han expuesto en el apartado anterior se han estructurado en los siguientes capítulos:

- el capítulo 2 presenta el estado del arte en cuanto a instrumentación y sensores inteligentes, centrándose en presentar el conjunto de estándares IEEE-1451 para sensores inteligentes. Se presentan también los dispositivos electrónicos reconfigurables, tanto analógicos como digitales, destacando las cualidades de los mismos que más interesen en el campo de la instrumentación inteligente. Se presenta un estudio del estado de la técnica en relación a las plataformas de instrumentación reconfigurables destacando las cualidades de las mismas;
- el capítulo 3 se dedica al desarrollo de una plataforma reconfigurable para instrumentación inteligente presentando los elementos y características que la componen. Se presentan las posibilidades de reconfiguración de la misma y cómo éstas son aprovechadas para el desarrollo de instrumentación electrónica inteligente;
- el capítulo 4 presenta aplicaciones realizadas con esta plataforma, en las que se han implementado el acondicionamiento de señales procedentes de distintos sensores y técnicas de reconfiguración que permiten incrementar la resolución de convertidores ADC;
- el capítulo 5, en una vertiente diferente, muestra el desarrollo de aplicaciones biomédicas de la plataforma, presentando las características particulares de las señales biológicas y como se explotan las cualidades de esta plataforma para procesarlas;

- el capítulo 6 establece las aportaciones principales de la tesis y las conclusiones que se deducen del trabajo desarrollado..



Capítulo 2. <b>Sensores e instrumentación electrónica inteligente: fundamentos y estado de la técnica</b>
---

## **2.1 Introducción y terminología**

Tradicionalmente, los requerimientos de un sistema de instrumentación venían impuestos en términos de rendimiento metrológico y la frontera entre el sensor y el instrumento estaban firmemente delimitadas (White 2001). Actualmente, y gracias a la posibilidad de integración, procesos que estaban confinados en grandes instrumentos electrónicos son llevados a cabo dentro del encapsulado del sensor y, por tanto, la frontera entre uno y otro es cada vez más borrosa. Un sensor es considerado ahora como un instrumento que adquiere información y se la sirve a un sistema receptor de la misma. La integración de funciones como amplificación de la señal, control de la excitación del sensor, filtrado analógico, conversión de datos, procesado digital local de la información y transmisión de la misma, definen un sensor inteligente.

Este apartado presenta la terminología manejada en la literatura para describir los sensores que se han dotado de funciones adicionales mediante la integración de circuitería de procesado suplementaria. Esta circuitería de interfaz y las funciones que realizan son analizadas destacando sus principales características en un apartado posterior en este capítulo.

El propósito de esta tesis es el desarrollo de una plataforma reconfigurable para el prototipado de sensores inteligentes y de sistemas de instrumentación



en general. Así, esta plataforma permite el desarrollo de la electrónica de interfaz que caracteriza los *smart sensor* en la circuitería analógica reconfigurable, mientras que la circuitería digital reconfigurable permite el test y desarrollo de las funciones que definen un *intelligent sensor*. A continuación se explica la diferencia que hay entre estos dos términos.

En la literatura consultada para realizar este trabajo, se hace distinción entre los términos *smart sensors* e *intelligent sensors*, que al traducirlos al castellano han quedado sólo en el término sensores inteligentes. Por tanto, en este apartado usaremos la nomenclatura inglesa para distinguir entre ambos.

Debido a que el campo de la instrumentación dedicado al desarrollo de sistemas sensor ha llegado a ser un campo interdisciplinar, se ha abusado del empleo de términos como *smart sensors* o *intelligent sensors* unidos a adjetivos como adaptativos, distribuidos o autónomos para distinguir un sensor en particular del conjunto de sensores que no tienen estas capacidades. Si comparamos el uso de esta terminología con el que de ella se hace en otros campos, puede parecer que en el campo de los sensores se está sobre valorando la inteligencia de estos sensores. Muy a menudo el término sensor inteligente solo indica que el sensor está integrado con un procesador digital pero no dice nada de las funcionalidades programadas dentro del sensor. El mal uso de los términos *smart* e *intelligent* puede deberse a que en los últimos años, los fabricantes debían incluir estos adjetivos en sus productos si querían posicionarlos como líderes del mercado (Gaura & Newman 2006). Todo producto debía llevar estos adjetivos y, por tanto, estos términos han llegado a ser un poco confusos, pudiendo incluso perder la fuerza de su significado inicial. Por todo esto es interesante definir, según la literatura actual, que es lo que se espera de un *smart sensor* y de un *intelligent sensor*.

El término *smart sensor*, como ya se expuso en el capítulo 1 en su acepción más extensa, significa capacidad de almacenamiento y/o procesado de los datos

procedentes del sensor e interfaz digital del sensor, todo integrado en el mismo sustrato o encapsulado. Variaciones en la definición se refieren a la implementación hardware del sensor. Si se integra el sensor con los circuitos de procesado en un único encapsulado, éste se conoce como un sensor integrado integrado. Si el sensor se integra junto con la circuitería de procesado en un mismo sustrato, este se conoce como sensor inteligente integrado monolítico. Un sensor inteligente integrado híbrido es aquel que tiene la circuitería de procesado y el sensor integrados en sustratos diferentes.

Pero dependiendo de quién use el término *smart*, éste significa cosas diferentes. Para unos puede significar que el sensor puede comunicarse digitalmente, mientras que para otros significa que el sensor tiene integrado un alto grado de procesamiento de la señal, como pueden ser funciones de auto-calibrado, corrección de no linealidades, eliminación de *offset*, comunicación, detección de fallos, e incluso habilidad de decisión. Entre los primeros se encuentra Julian W. Gardner (Gardner 2001) que en su libro *Microsensors, MEMs and Smart Devices* hace una separación de los *smart sensors* en dos clases. Los *smart sensor I* están compuestos por el sensor y la electrónica de acondicionamiento pero sin capacidad de procesado digital. Los *smart sensor II*, además de tener la electrónica de acondicionamiento contienen al procesador (microcontrolador o microprocesador). Sin embargo el término *intelligent* está reservado para aquellos con un alto grado de procesamiento integrado.

Por otro lado, desde el punto de vista industrial, el sensor inteligente es aquél que es fácil de usar. Esta perspectiva, abalada por el desarrollo de la familia de estándares de sensores inteligentes del IEEE (Song & Lee 2008), califica como características de un *smart sensor* la posibilidad de intercambiar dispositivos y que la conectividad con el bus de comunicaciones sea inmediata, esto es, que sean *plug & play*.

El término *intelligent sensor* tiene una connotación incremental con respecto al termino *smart sensor* en general. Mientras el segundo se deja para destacar mejoras estructurales tipo hardware, el primero se asocia con la funcionalidad añadida al sensor que puede incluir una o varias de las siguientes funciones:

- compensación de la señal: el dispositivo debe compensar automáticamente cambios en un parámetro externo como por ejemplo la temperatura;
- auto-testeo: el dispositivo posee capacidades de auto diagnostico;
- multisensor: el dispositivo combina la medida de diferentes sensores para obtener una única medida final;
- compensación de ruido: el dispositivo debe mejorar la relación señal-ruido;
- tolerancia a fallos;
- aprendizaje adaptativo;
- habilidad de toma de decisiones.

Todo este conjunto de características de los sensores inteligentes ha originado una gran variedad de los mismos en el mercado con distintas interfaces de comunicación, lo que produce incompatibilidad entre ellos a la hora de trabajar en conjunto en aplicaciones distribuidas. Por tanto, en este capítulo se analiza la estandarización de los sensores inteligentes bajo la tutela del IEEE en el estándar 1451, que define las características que deben incorporar los sensores para aplicaciones en las que deben usarse un gran número de ellos que miden diferentes magnitudes organizados en redes.

Como ya se ha dicho anteriormente el objetivo de esta tesis es el desarrollo de una plataforma para instrumentación inteligente reconfigurable basada en dispositivos electrónicos reconfigurables tanto analógicos como digitales. Por tanto, también aquí se presentan las FPGA y FPAA como base de esta

plataforma diseñada, estudiándose las distintas soluciones que presentan los fabricantes y soluciones particulares implementadas en trabajos de investigación. Una vez presentados estos, se dirige la mirada a los trabajos realizados en el desarrollo de plataformas para instrumentación reconfigurables, los cuales se centran principalmente en la implementación de sistemas que consiguen un cierto grado de reconfigurabilidad al poder intercambiar módulos. Como se verá, los mayores esfuerzos se han realizado en el campo de las redes de sensores inalámbricas.

## **2.2 Interfaces estandarizadas para sensores inteligentes: IEEE 1451**

El desarrollo del conjunto de estándares IEEE 1451 ha estado fuertemente condicionado por la gran cantidad de sensores presentes en un entorno industrial. No obstante el estándar es de uso en cualquier entorno de sensores distribuidos (Lee & Schneeman 2000).

En la actualidad (Song & Lee 2008), en cualquier planta industrial, el mantenimiento de la maquinaria y el control de los procesos que se lleven a cabo en la planta se hace mediante sistemas de sensores distribuidos (Lee 2006). Monitorizar el funcionamiento de la maquinaria y el uso de estos datos para predecir posibles fallos y planificar el mantenimiento de la maquinaria es el modo más económico de realizar el mantenimiento de la planta. En el pasado, el personal tenía que usar instrumentación portátil para medir el estado de la maquinaria periódicamente. Posteriormente la monitorización continua o en tiempo real de la planta se hizo posible con el uso de sensores distribuidos y mediante un sistema de adquisición de datos se recogían los

datos de manera centralizada en una computadora. El uso de sensores distribuidos que monitorizan un proceso, en cualquier ambiente sea industrial o no, es costoso desde el punto de vista del mantenimiento del conjunto de sensores y del diseño del sistema de sensores. Aunque son una solución para un gran conjunto de problemas de diseño metrológico, su implementación implica una serie de problemas:

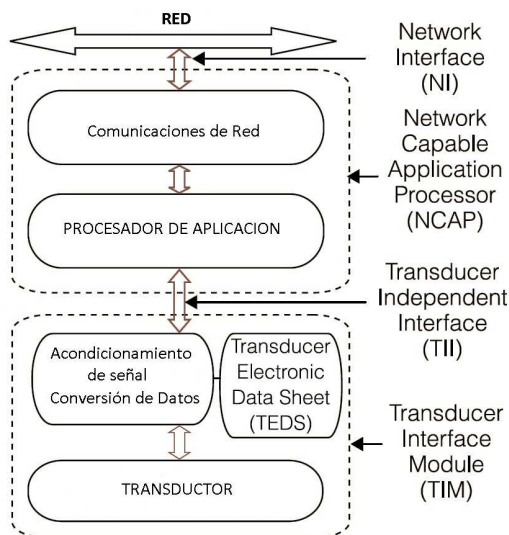
- en muchas aplicaciones el número de sensores conectados puede modificar el comportamiento dinámico del sistema que es objeto de medida;
- en un sistema diseñado convencionalmente, cada sensor debe conectarse a un sistema de adquisición de datos multicanal, lo cual puede ser difícil de realizar debido al ancho de banda de datos presente y a las necesidades de procesamiento que esto conlleva;
- la conexión física de los sensores puede ser también un problema. Por ejemplo el uso de sensores pasivos no amplificados conlleva el uso de un cableado de calidad para cada uno de los sensores con el sistema de adquisición;
- el coste del sistema puede ser muy elevado si tenemos en cuenta el costo de manufactura y calibrado de cada uno de los sensores así como el coste de conexión y ubicación de cada uno de los sensores que puede requerir una gran cantidad de horas de trabajo cualificado;

Estos problemas se ven acrecentados por la gran variedad de interfaces de sensor existentes, así como por la gran variedad de algoritmos ad-hoc para el procesamiento de la información, intercambio de datos, diagnóstico de fallos y la falta de estándares para conexión. No obstante, el uso de sensores inteligentes con interfaces de conexión estandarizados reduce el costo de los equipos y de

instalación de los mismos, además de mejorar su funcionalidad y características a través de la competencia entre fabricantes.

El desarrollo de la Interfaz Normalizada para Transductores Inteligentes IEEE 1451 busca encauzar este tipo de problemas. Este grupo de estándares proporciona un conjunto de funcionalidades que van más allá de aquéllas que son estrictamente necesarias para generar una correcta representación de una magnitud medida. Estas funcionalidades simplifican la integración del transductor en aplicaciones en un entorno de red, dotando al transductor de capacidades de auto identificación y descripción, auto diagnóstico, auto calibración, posicionamiento en la red, procesado de señal, razonamiento, fusión de información, notificaciones de alerta, formatos de datos estandarizados y comunicaciones de red.

La Figura 2.1 muestra la arquitectura de un transductor IEEE 1451, que es bastante similar a la del transductor inteligente mostrado en la Figura 1.3. La diferencia radica en la presencia de la hoja de datos electrónica del transductor o TEDS (*Transducer Electronic Data Sheet*) y en que el sistema se ha dividido en dos partes principales: el procesador con capacidad de sustentar aplicaciones de red, o NCAP (*Network Capable Application Processor*), y el módulo de interfaz para transductores inteligentes, o TIM (*Transducer Interface Module*). Entre ambos módulos se encuentra la interfaz de comunicación que es independiente del tipo de transductor y se denomina TII (*Transducer Independent Interface*). El NCAP realiza procesado de información y funciones de comunicación con la red de conexión, mientras que el TIM contiene como máximo un conjunto de 255 sensores y/o actuadores. Realiza el acondicionamiento de las señales procedentes de éstos y la conversión de datos necesaria. El TIM es un medio de comunicación y define un conjunto de señales que siguen un protocolo definido para transmitir la información de los



**Figura 2.1 Sensor inteligente IEEE 1451.**

transductores. La interfaz de red, o NI (*Network Interface*) en la Figura 2.1, define el protocolo de comunicación de red para que el NCAP se comunique con la red.

Junto a estas interfaces, se definen TEDS (*Transducer Electronic Data Sheet*) donde se almacenan los datos de los sensores según el estándar en el formato en que esta información debe estar estructurada. La TEDS que se añade al transductor es una tarjeta de identificación del sensor y almacena información relacionada con la fabricación del transductor, como por ejemplo la identificación del fabricante, rango de medida, precisión y datos de calibración, de manera similar a la información contenida en la hoja de características del transductor que generalmente ofrece el fabricante. La TEDS puede almacenarse en una memoria regrabable si sus contenidos nunca cambian, o partes de la TEDS que cambien pueden almacenarse en una RAM en el TIM. Adicionalmente, se admite el uso de TEDS virtuales almacenadas remotamente.

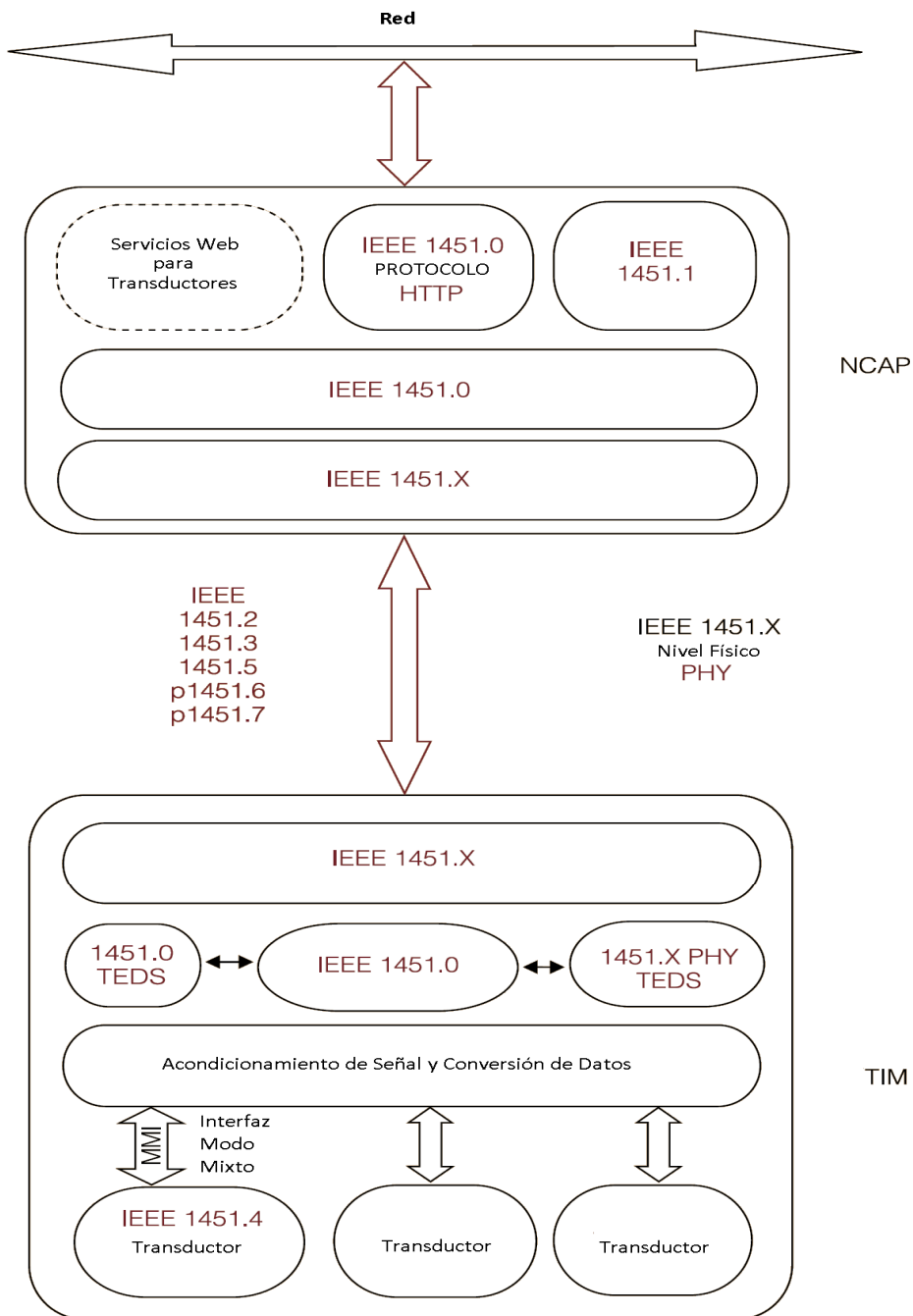


Figura 2.2 Conjunto de estándares IEEE 1451.



La familia de estándares IEEE 1451 está compuesta por ocho sub-estándares. Cada uno de éstos define un conjunto de características atendiendo a un tipo de comunicación física o interfaz de conexión que exista entre el módulo de interfaz del transductor y el procesador de red, y a un formato de transferencia de información. La Figura 2.2 muestra de nuevo la estructura de un sensor inteligente bajo el 1451 con el módulo de interfaz del transductor TIM y el procesador de aplicación de red NCAP. Esta figura difiere de la anterior porque se explicitan a que partes de esta estructura afectan los subestándares que componen el IEEE 1451. Así, los estándares 1451.0 y 1451.1 están presentes en cualquier instrumento bajo el estándar, ya que definen cualidades comunes como son los comandos de comunicación y protocolo que define el 1451.0 para cualquiera que sea la comunicación física que se use entre el modulo de interfaz del transductor y el procesador de aplicación de red. Igualmente, el 1451.1 define funciones software comunes para la comunicación con la red del NCAP. Siguiendo con la Figura 2.2 y atendiendo a la interfaz entre el modulo del transductor y el procesador, aquí se explicita que esta interfaz cambia dependiendo del subestándar en particular y por eso se ha marcado con IEEE 1451.X el nivel físico que corresponda. Por ejemplo, en el IEEE 1451.5 esta interfaz se basa en redes inalámbricas, como las *WiFi* o *Bluetooth*. En cambio, si se tiene un sensor que usa el sub-estándar 1451.2 para comunicarse con el NCAP, ésta es una interfaz serie de 10 hilos. Como se verá, un caso particular es el subestándar IEEE 1451.4, el cual apareció para incluir en el conjunto del estándar cualquier sensor diseñado anteriormente sin atender al 1451. Así, un sensor genérico puede estandarizarse mediante la inclusión de una memoria que almacena información básica de su funcionamiento, tipo de salida, identificación, etc. A continuación se presentan uno por uno los sub-estándares esbozando las principales características de los mismos.

### *IEEE 1451.0*

El estándar IEEE 1451.0 define un conjunto de funcionalidades, comandos y TEDS comunes para la familia de estándares. Estas funcionalidades son independientes del medio de comunicación físico (1451.X) entre el transductor y NCAP. Incluye las funciones básicas de lectura y escritura en el transductor, lectura y escritura de la TEDS y envío de la configuración y comandos de operación al TIM. Esto abre la posibilidad de añadir cualquier otro nivel físico de comunicación a la familia (IEEE 1451.X), ya que se consigue interoperabilidad a nivel de datos entre los estándares de la familia cuando se conecta distintas redes de sensores juntas. A su vez, se definen los campos presentes en la TEDS, cuáles de ellos son obligatorios y, por tanto, presentes en cualquier transductor, y cuáles son opcionales.

### *IEEE 1451.1*

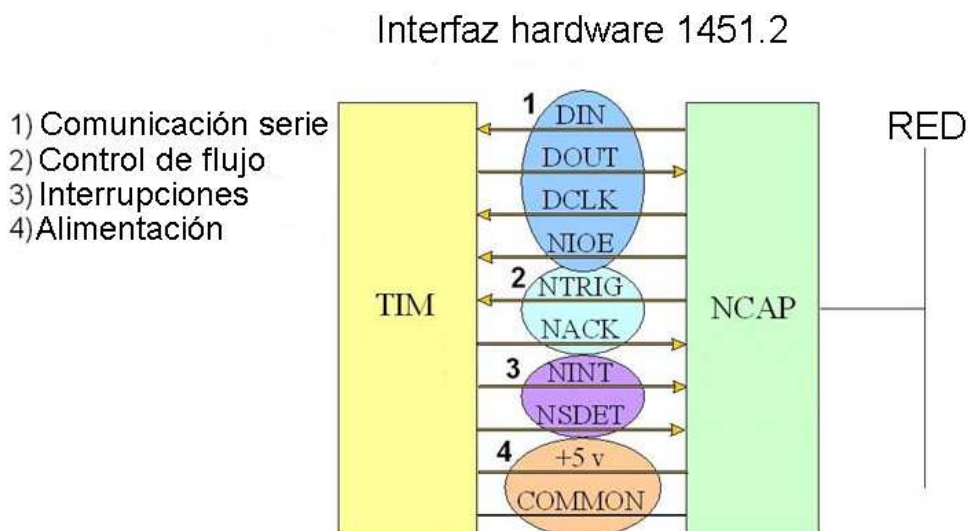
El estándar IEEE 1451.1 define un modelo común y unas especificaciones de interfaz para los componentes de una red de sensores inteligentes. La arquitectura software del IEEE 1451.1 está definida por tres modelos:

- un modelo de datos que especifica los tipos de información que se transfieren entre las interfaces especificadas en el IEEE 1451.1 tanto para comunicaciones remotas como locales;
- un modelo de componentes software o funciones que se usan para implementar una aplicación. Ofrece bloques software para construir una aplicación en el sistema;
- un modelo de comunicación que define la sintaxis que se debe usar entre la red de comunicación y la aplicación creada en el sistema.

Este estándar se centra la comunicación entre distintos NCAP y entre NCAP y otros nodos del sistema. Se utiliza en aplicaciones de control y medida distribuidos.

### *IEEE 1451.2*

El IEEE 1451.2 define el interfaz entre el transductor y NCAP para configuraciones punto a punto. El transductor está incluido en el TIM. El estándar original define el nivel de comunicación basado en el protocolo SPI (*Serial Peripheral Interface*) de comunicación serie, añadiendo líneas de control del flujo de información y temporización hasta un total de 10, líneas como se muestra en la Figura 2.3. El estándar está siendo revisado para hacerlo compatible con el interfaz IEEE 1451.0 e incluir otras interfaces serie como la UART y el interfaz universal serie (USB: *Universal Serial Bus*).



**Figura 2.3** Interfaz de comunicación entre TIM y NCAP según el IEEE 1451.2.

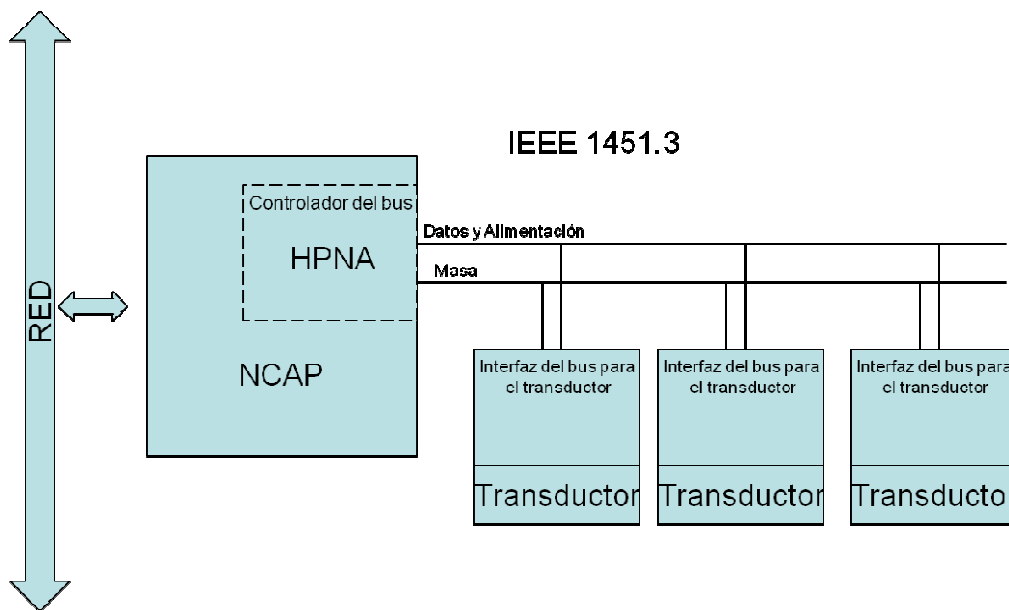


Figura 2.4 Conexión física de TIM al NCAP según el IEEE 1451.3.

### *IEEE 1451.3*

El estándar IEEE1451.3 define TEDS y un interfaz entre transductor y NCAP, usando un protocolo de comunicación multi-punto, lo que permite conectar múltiples transductores compartiendo el mismo par de cables de conexión bajo el protocolo de comunicación HPNA (*Home Phoneline Networking Alliance*). El IEEE 1451.3 define un conjunto de especificaciones que permitan interconectar transductores en una amplia gama de precio y rendimiento y que operen todos dentro de un sistema. La Figura 2.4 es una representación de la conexión física que permite el estándar. Como se muestra en el diagrama, una sola línea de transmisión se utiliza para suministrar energía a los transductores y para proporcionar las comunicaciones entre el controlador del bus y el módulo de interfaz del transductor TIM. El bus necesita un

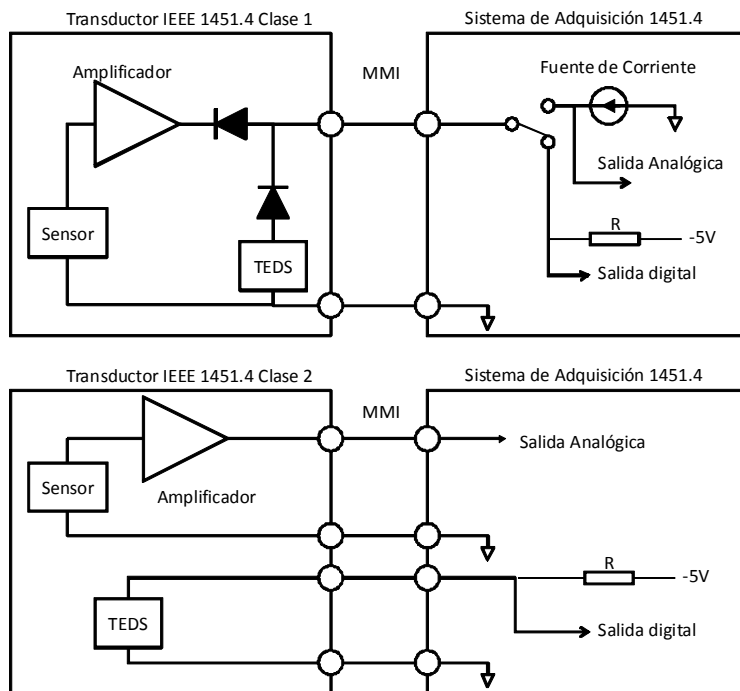


Figura 2.5 Interfaces MMI Clase 1 y Clase 2.

controlador y el protocolo admite hasta 256 TIM. Este controlador se localiza en el NCAP. Un TIM puede contener hasta un total de 255 sensores y actuadores.

### ***IEEE 1451.4***

El IEEE 1451.4 define una conexión física para el sensor denominada de modo mixto o MMI (*Mixed Mode Interface*), que es usada alternativamente por la TEDS y por la señal analógica procedente del transductor. La TEDS se halla en una pequeña memoria adyacente al transductor y almacena la información más importante concerniente al mismo de acuerdo a unas plantillas escritas en el lenguaje de descripción de la plantilla, TDL (*Template Description Language*), definido en el estándar.

La MMI se define adoptando dos posibles configuraciones denominadas Clases, como se muestra en la Figura 2.5. El interfaz de modo mixto Clase 1 define una única conexión que es usada alternativamente tanto para la transmisión de los datos digitales almacenados en la TEDS, como para la transmisión de la salida analógica del sensor. Esta configuración se adapta bien a sistemas con amplificadores de corriente. La interfaz mixta de Clase 2 permite la transmisión de las señales analógicas y los datos de la TEDS por conexiones separadas, lo que se usa en aplicaciones que no están preparadas para compartir la conexión. De esta forma, el estándar permite extender el uso de TEDS en cualquier tipo de transductor. Los datos almacenados en la TEDS incluyen en general el tipo de transductor y la identificación del fabricante, lo que permite al sistema elegir la plantilla correcta para interpretar los datos almacenados. Los datos pueden ser información de calibración que le permita al sistema ajustarse a variaciones en la sensibilidad del sensor y una pequeña área

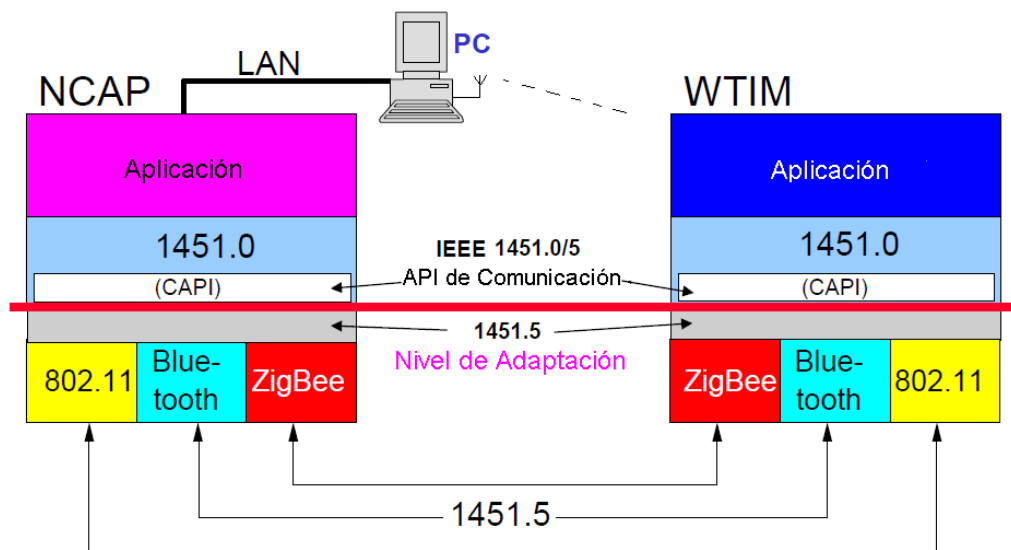


Figura 2.6 Estándar IEEE 1451.5.

de usuario que puede ser usada para identificar el sensor en una matriz de sensores.

### ***IEEE 1451.5***

El estándar IEEE 1451.5 define la interfaz de conexión entre el transductor y el NCAP, y las TEDS necesarias para transductores inalámbricos. Como puede verse en la Figura 2.6, se utilizan protocolos de radio específicos que realicen esta interfaz como son los estándares inalámbricos 802.11 (WiFi), 802.15.1 (Bluetooth) y 802.15.4 (ZigBee). El NCAP es un dispositivo que contiene uno o más módulos de radio con los protocolos anteriores y que puede hablar a uno o varios módulos de interfaz de transductores inalámbricos o WTIM (*Wireless Transducer Interface Module*). Cada WTIM contiene un módulo de radio con alguno de los protocolos anteriores, un módulo de electrónica de acondicionamiento de señal y un convertidor analógico-digital y un transductor. El NCAP puede comunicarse inalámbricamente con cada uno de los WTIM usando diferentes protocolos de radio y puede a su vez estar conectado a una red externa.

### ***IEEE 1451.6***

El estándar IEEE 1451.6 propuesto (no aprobado), define la interfaz de conexión entre el transductor y NCAP, y TEDS necesarias para sistemas de alta velocidad de transmisión basados en la interfaz de red CANopen, como puede verse en la Figura 2.7. Los dos modos de operación del protocolo, el seguro y el no intrínsecamente seguro están soportados. Se definen los mensajes de comunicación, el procesado de datos, el parámetro de configuración y la información de diagnóstico para el IEEE 1451 dentro del protocolo CANopen. A su vez, se define el mapeado de las TEDS del IEEE1451 en las entradas de

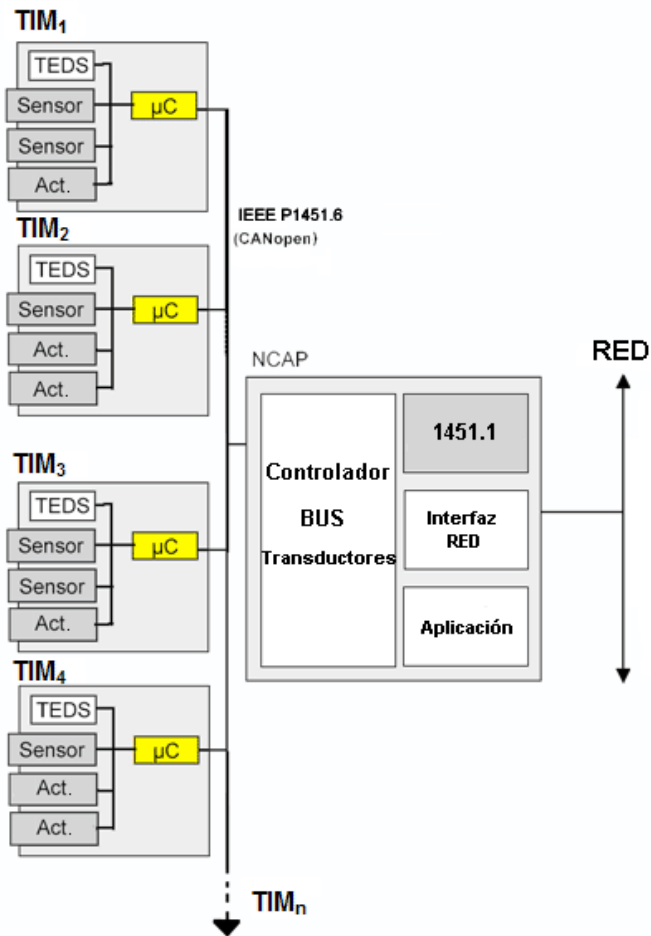


Figura 2.7 Estándar IEEE 1451.6.

diccionario del protocolo CANopen. Se adopta las definiciones de dispositivos CANopen para los dispositivos de medida y los controladores en lazo cerrado. Se soportan hasta 127 TIM para un mismo NCAP.

### ***IEEE 1451.7***

El estándar IEEE 1451.7, aún no aprobado, define la interfaz y protocolos de comunicación entre sistemas RFID (*Radio Frequency Identification*) y transductores.



## 2.3 Funciones de la electrónica de interfaz en un sistema sensor.

Este apartado presenta los bloques del diseño de un sistema sensor y de los componentes electrónicos que conforman el circuito de lectura que normalmente se denomina interfaz del sensor y cuya función es conectar el elemento sensor con el usuario último de la información. No obstante, la frontera entre la electrónica del sensor propiamente dicha y la electrónica que forma parte del sistema de más alto nivel depende del punto de vista del diseño.

El diagrama de la Figura 2.8 representa las funciones del sistema. Estas funciones según el diseño del sistema puede realizarse en subsistemas separados o, alternativamente, una función puede estar distribuida en varios componentes del sistema. Adicionalmente, el orden de las funciones descritas en la figura no es invariable, pudiendo cambiar por razones de diseño en etapas posteriores. El lazo de realimentación está presente en la Figura 2.8 para incluir los sistemas sensor en lazo cerrado muy extendidos en la industria (Pérez et al. 2004). A continuación se puntualiza que función realiza cada bloque representado en el diagrama.

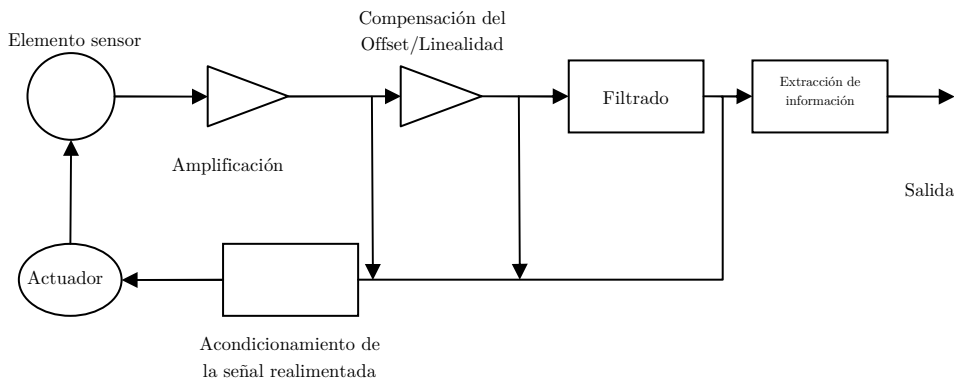


Figura 2.8 Funciones de un sistema sensor.

### ***Elemento sensor***

El elemento sensor es el componente que recibe la energía de la magnitud física que se está midiendo y la transforma en energía o magnitud eléctrica. Ésta es una acepción que restringe la definición más generalizada de transductor, el cual transforma una magnitud física que representa información en otra magnitud física. No obstante, en la literatura es muy común encontrarse que uno y otro término se usan a veces indistintamente.

### ***Amplificación***

La amplificación modifica la potencia de una señal eléctrica haciéndola generalmente mayor. La señal puede estar expresada en voltaje (amplificación de tensión), en corriente (amplificación de corriente) o en carga (amplificación de carga). El término amplificación en la Figura 2.8 hace referencia a otros tipos de amplificadores que realizan conversión de señales, como de corriente a voltaje o de voltaje a corriente.

### ***Compensación del Offset/Linealidad***

Esta función elimina el *offset* y la no linealidad de la señal del sensor y de la función de transferencia, respectivamente. Los errores de *offset* y la no linealidad se originan en el propio elemento sensor y en la electrónica de interfaz.

### ***Filtrado***

La separación de las componentes en frecuencia interesantes en la señal del sensor de otras componentes parásitas que se consideran ruido, producido tanto en el elemento de medida como en la electrónica de interfaz, o superpuestas

como radiación electromagnética, es la función del bloque de filtrado. Esta función del sistema sensor puede realizarse de manera superpuesta y complementaria a la función de amplificación.

### *Extracción de la información*

La señal procedente del sensor proporciona información en un formato, que como tal, puede no estar representada, ni seleccionada, como la aplicación del usuario final necesita. Por ejemplo, puede generarse una variación de tensión en un rango y esta tensión significar una variación de temperatura. Pero si el usuario quiere saber cuándo estos datos sobrepasan un determinado nivel para usarlos como una alerta, con una simple comparación de los datos con el valor límite se obtiene la información, sin necesidad de entregarle todos los datos al usuario. La extracción de la información contenida en los datos provenientes del sensor es lo que representa este componente en la cadena de procesado del sistema sensor de la Figura 2.8

### *Acondicionamiento de la señal de realimentación*

Este módulo representa el proceso de producción de la señal que es necesario realimentar en lazo cerrado para algunos sistemas sensores. En este proceso puede estar presente cualquiera de los módulos que anteriormente se han expuesto.

### *Actuador*

En una topología de lazo cerrado, algún tipo de energía se realimenta al elemento sensor en la forma apropiada. Por ejemplo un fotómetro puede necesitar que se realimente con luz el elemento sensor (Palma et al. 2008) para realizar la medida. El diodo emisor de luz es el elemento actuador.

### *Opciones de diseño analógico/digital.*

En el diseño de un sistema sensor como el presentado en la Figura 2.8 (Ganesan & Vemuri 2001) cada uno de los bloques que se presentan se puede realizar tanto en el dominio digital como en el analógico. Por ejemplo, el procesamiento analógico puede circunscribirse solo al bloque de amplificación y el resto de procesamiento se realizarse de manera digital. Éste sería el caso extremo en el conjunto de elecciones que se pueden hacer en relación a dónde realizar el paso a procesamiento digital y se usaría cuando las no linealidades de la circuitería analógica no pudieran ser soslayadas y de este modo se limitarían el máximo posible. Por el contrario, si la tecnología analógica disponible proporciona un buen rendimiento, el procesamiento de señal puede realizarse usando circuitería analógica y la conversión a representación digital se realizaría justo antes de la salida del sistema de la Figura 2.8.

La elección del punto de conversión de procesamiento analógico a digital y el balance entre ambos está relacionado con cada sensor en particular y el coste de la implementación de cada uno de los bloques analógicos y digitales. Por otro lado, hay que buscar una elección de diseño que permita eliminar los errores introducidos tanto por el elemento sensor como por la electrónica de amplificación. Por tanto hay tres posibles puntos donde realizar la conversión de uno a otro dominio (analógico a digital), como se describe a continuación.

### *Antes de la etapa de linealización y eliminación del offset.*

Por tanto, la corrección del *offset* y linealización, por un lado, y el filtrado, por otro, se realizan digitalmente. Esta elección se puede realizar por las siguientes razones:

- el sensor es tal que la salida se presta a representación digital por sí misma, como por ejemplo un sensor capacitivo con salida de señal en frecuencia;
- la linealización o la corrección del *offset* son tales que es difícil realizarlas con circuitería analógica;
- el sensor puede necesitar una corrección amplia, que justifique un procesado digital de la señal y una corrección del error de la señal en la cadena de procesado;
- el procesador digital integrado en la aplicación tiene una potencia que le permite realizar estos procesos como tareas software lo que permite abaratar las etapas analógicas;
- la circuitería analógica presenta unas características pobres que aconsejan realizar el máximo de tareas en procesado digital.

***Entre la linealización y eliminación de offset, y la etapa de filtrado.***

Esta elección se puede realizar si hay suficiente capacidad de procesado sólo para una de estas tareas. En determinados casos, cuando la amplificación es tal que la salida de la señal puede saturarse debido al rango dinámico de la misma, es necesario realizar la corrección del *offset* antes de la digitalización.

***Después de la linealización y eliminación de offset, y la etapa de filtrado.***

Esta opción se debe normalmente a que el sistema posee una capacidad de procesado digital limitada, o las especificaciones del sistema aconsejan el uso de una tecnología analógica altamente optimizada para el mismo.

### *La elección del convertidor analógico-digital*

Dadas las características de una determinada señal es posible elegir una tecnología de conversión analógica-digital que se ajuste a la aplicación. Cuando el ancho de banda de la señal adquirida es pequeño en comparación a las frecuencias de reloj de la circuitería digital usada, lo que ocurre en un amplio conjunto de sensores, hace de los convertidores con sobre-muestreo de la señal, una elección extendida (Kun, Mason & Chakrabartty 2005), ya que ofrecen una alta resolución. En cambio, cuando son necesarios un bajo consumo de potencia y un corto tiempo de conversión, se prefiere el uso de ADC de aproximaciones sucesivas o de conversión en paralelo.

Los párrafos anteriores muestran que la mejor respuesta al problema del diseño de un sistema sensor y la división entre tareas realizadas analógica y digitalmente depende de la tecnología disponible. La utilización de procesado analógico es más directo, ya que las funciones requeridas en el procesado se modelan directamente usando variaciones de tensiones y corrientes. El procesado digital requiere, por lo común, realizar un gran número cálculos para obtener el resultado y por lo general siempre necesita de un cierto grado de acondicionamiento analógico. Las soluciones híbridas intentan explotar la potencia de cálculo analógico a la vez que la flexibilidad y algoritmos digitales.

Como se verá en el desarrollo posterior de esta tesis, el uso de una plataforma reconfigurable (Morales et al. 2009), tanto analógica como digitalmente, permite el desarrollo de estos sistemas de instrumentación y sensores estudiando que funciones implementar de manera analógica y cuáles de manera digital, para obtener una aplicación óptima en función del tipo de señal a procesar y la información que de ésta se quiera extraer.

## 2.4 Dispositivos electrónicos reconfigurables

En esta sección se presentan los dispositivos reconfigurables analógicos y digitales y las cualidades de éstos como base para la instrumentación reconfigurable. No hay duda de que los dispositivos reconfigurables han ido ganando presencia en la industria electrónica. Los dispositivos reconfigurables digitales, como las FPGA, son una tecnología bien asentada y que en la actualidad son una opción factible a la hora de tener un producto acabado y no sólo en las etapas intermedias de prototipado y desarrollo. Los métodos convencionales para realizar procesado digital o computación se basan, por un lado, en el desarrollo de un circuito integrado ASIC o el diseño de una placa con los distintos dispositivos, o PCB (*Printed Circuit Board*), y por otro el desarrollo de un programa en un microprocesador que realice el procesado de la información. Para producciones grandes se prefiere el desarrollo ASIC, ya que el costo por unidad es reducido y se amortiza el alto costo de diseño y producción de las máscaras del circuito. Los desarrollos ASIC proporcionan un alto rendimiento y tienen un bajo consumo de potencia, pero en cambio necesitan un diseño caro y el tiempo en llegar al mercado es largo para una celda estándar ASIC, incrementándose aún más para diseños de dispositivos específicos (Kuon & Rose 2007). El uso de microprocesadores incrementa la flexibilidad del sistema permitiendo cambiar la funcionalidad del mismo, pero se reduce la eficiencia debido a la presencia de un programa que implica lecturas, decodificación y ejecución de instrucciones.

Entre estas dos soluciones, como puede verse en la Tabla 2.1, las FPGA se usan en aplicaciones con un alto grado de eficiencia, un coste relativamente bajo, lo que permite su uso en aplicaciones con un número bajo de unidades de producción y donde el tiempo de llegada al mercado es importante.

Tabla 2.1 Opciones de diseño digital

Tecnología	Rendimiento /Coste	Tiempo de Desarrollo	Tiempo para conseguir alto rendimiento	Tiempo para cambiar la funcionalidad
ASIC	Muy Alto	Muy Largo	Muy Largo	No Posible
DSP/Procesador de propósito específico	Medio	Largo	Largo	Largo
FPGA	Medio-Bajo	Corto	Corto	Corto
Procesador Genérico	Medio-Bajo	Corto	No Alcanzable	Corto

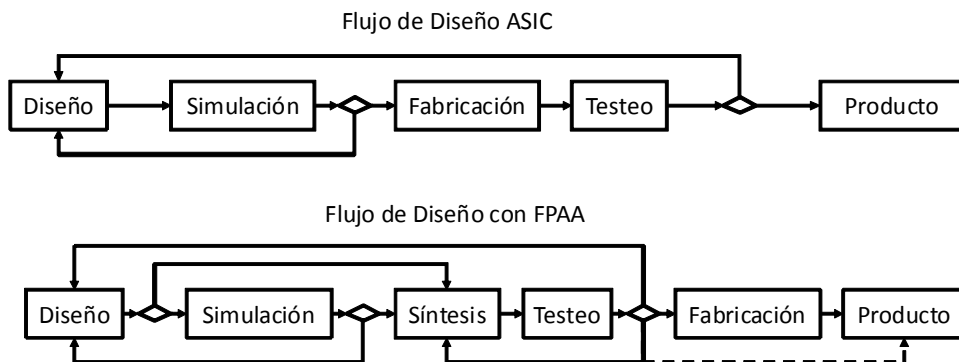
Por otro lado, en el campo del diseño de hardware analógico se ha producido un incremento en el uso de dispositivos como la FPAA, que es un dispositivo integrado que contiene un conjunto de recursos de procesamiento analógico programables. Estos dispositivos han empezado a introducirse en las etapas de prototipado y desarrollo, como puede verse en la Figura 2.9, reduciendo los costes de llevar una aplicación analógica al mercado, e intentan llenar el mismo nicho que las FPGA en el procesamiento digital.

A continuación se realiza un estudio de las tecnologías analógicas reconfigurables que en la actualidad existen, y se presentan las diferentes aproximaciones de los fabricantes. Posteriormente se realiza un estudio de las tecnologías digitales reconfigurables existentes y la idoneidad de las mismas para procesamiento en sistemas de instrumentación.

### 2.4.1 Dispositivos reconfigurables analógicos

Un dispositivo reconfigurable analógico, es un circuito integrado que puede ser configurado para implementar varias funciones analógicas mediante un conjunto de bloques analógicos configurables o CAB (*Configurable Analog Blocks*) usando una red de interconexiones programable mediante una memoria ubicada en el propio integrado. La programación de una FPAA se realiza tanto en términos de interconexiones o topología del circuito, como en





**Figura 2.9** Comparativa entre diseño tradicional ASIC analógico y diseño usando FPAA

términos de parámetros de circuito, tales como ganancia, frecuencia de corte, etc. El uso de circuitos analógicos reconfigurables en el campo de los sensores inteligentes enriquece las características de inteligencia de los mismo, tal y como se presentaron en un apartado anterior. Por ejemplo, si se tiene un circuito de acondicionamiento para un sensor de un fabricante que mide una determinada magnitud física, dicho sensor tiene unas necesidades de amplificación y filtrado de señal específicas. Si en un determinado momento este sensor debe ser sustituido por otro procedente de otro fabricante que puede tener unas necesidades parecidas pero no coincidentes de amplificación y filtrado, sería muy conveniente que en lugar de tener dos circuitos de acondicionamiento diferentes, se usara un solo circuito integrado analógico reconfigurable.

El uso comercial de FPAA no está tan extendido como el de la FPGA. La principal razón es que no existe un bloque analógico universal que pueda usarse de manera sistemática para construir circuitos analógicos, tal y como ocurre con los elementos lógicos en el diseño digital (Aggarwal & O'Reilly 2006). Los fabricantes de circuitos integrados han concebido distintas soluciones para crear circuitos analógicos reconfigurables. Un extremo del espectro de estas

soluciones se basa en la integración de componentes analógicos tradicionales (amplificadores, resistencias y condensadores) para así crear unos bloques estructurales denominados de grano grueso. Esta opción configura circuitos de señal continua ya que las señales de entrada están siendo continuamente medidas y las señales de salida son continuamente válidas. Esta solución tiene el inconveniente de que los parámetros de los circuitos definidos tienen grandes tolerancias, debido a que se basan en redes RC, lo que hace que sea difícil obtener parámetros específicos en los circuitos implementados. El otro extremo de espectro de soluciones es usar bloques denominados de grano fino, como es el caso de las FPTA (*Field Programmable Transistor Array*), en las que el usuario debe programar las interconexiones entre los transistores que forman el bloque para crear el circuito deseado (Stoica et al. 2000).

En lo que queda de este apartado se va a mostrar el marco tecnológico en el que se han desarrollado las soluciones comerciales implementadas por los fabricantes de circuitos integrados (Konig, Lakshmanan & Tawdross 2006). Además se presentan los desarrollos de investigación más relevantes en el campo de las FPAA a lo largo de las últimas dos décadas.

#### ***2.4.1.1 Soluciones Comerciales***

##### ***EPAC de IMP Inc.***

La empresa IMP Inc. en la década pasada presentó un dispositivo analógico programable o EPAC (*Electrically Programmable Analog Device*). El IMP50E10 (Klein 1995) (Klein 1996), está basado en la tecnología de capacidades conmutadas. En la Figura 2.10 se presenta el diagrama de este dispositivo. Como puede verse, incluye bloques que el fabricante denomina macro-módulos y que incluye funciones de alto nivel como un multiplexor

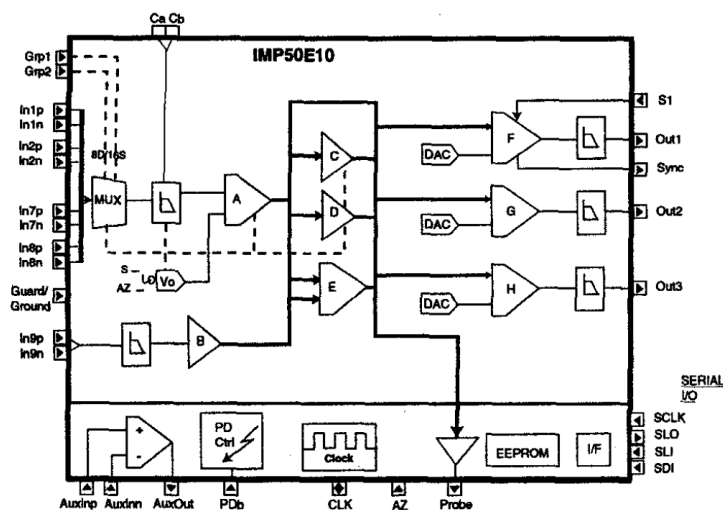


Figura 2.10 Diagrama de bloque del IMP50E10 (Klein 1995)

analógico, amplificadores programables, comparadores y convertidores DAC. Todos estos elementos están interconectados mediante un bus de señal que dirige la señal procesada a la salida. Los bloques de entrada y salida poseen *offset* programables y el multiplexor analógico de entrada puede manejar 16 señales analógicas unipolares u 8 señales analógicas bipolares. El ancho de banda de las señales está limitado a 125 kHz, ya que la señal de reloj que maneja las capacidades conmutadas está fijada a 1 MHz. El dispositivo se programa mediante un *bitstream* de 200 bits que se vuelca a una memoria EEPROM en el integrado. En el proceso de programación esta memoria se vierte en un registro SRAM que gestiona la configuración del sistema. La programación puede modificarse con el dispositivo funcionando, desde la SRAM, sin modificar la configuración inicial almacenada en la EEPROM, o con el dispositivo fuera de línea desde la EEPROM. El *bitstream* de programación se crea usando un entorno de desarrollo basado en PC donde el usuario crea el circuito seleccionando las funciones de los módulos junto con los parámetros de funcionamiento de éstos y las interconexiones entre módulos.

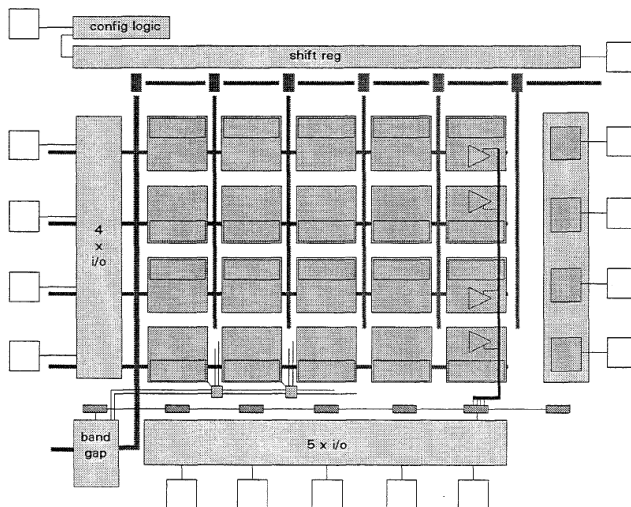


Figura 2.11 Diagrama del MPAA020 (Bratt 1998)

Los EPAC no están comercialmente disponibles en la actualidad, no obstante se incluyen aquí ya que representan el primer integrado de FPAA que estuvo accesible comercialmente.

### ***Motorola MPAA020***

El MPAA020 es un integrado con tecnología de capacidades conmutadas lanzado al mercado por Motorola Inc. en 1997 (Bratt 1998). La arquitectura de este dispositivo, mostrada en la Figura 2.11, contiene 20 celdas o CAB y en cada uno de éstos se incluyen un amplificador operacional, un comparador, 5 capacidades cada una de las cuales tienen un valor programable de 8 bits y un conjunto de conmutadores para enrutamiento. Por tanto, cada CAB puede implementar funciones, como amplificación, rectificación, filtrado de primer orden, etc. Los CAB pueden ser combinados para crear funciones como filtros *biquad*, convertidores de señal y funciones de control. Alrededor de la matriz de CAB se sitúan 13 celdas de entrada y salida que se pueden utilizar como

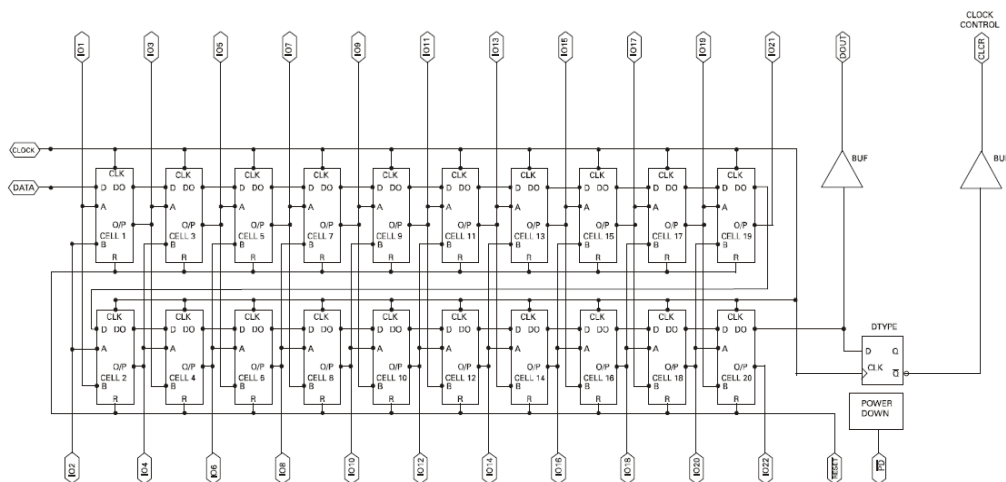


Figura 2.12 Estructura del TRAC020

búferes o configurar en baipás y así ofrecer conexión directa de las señales de entrada/salida hacia los CAB. El reloj que gobierna el dispositivo tiene una frecuencia de 1 MHz y las señales de entrada están limitadas a un ancho de banda de 200 kHz. La configuración del dispositivo se consigue mediante un *bitstream* de 619 bits. Una herramienta software basada en PC permite programar el dispositivo vía puerto serie. Este dispositivo no está actualmente disponible comercialmente.

### TRAC020

En 1999 Zetex (actualmente incorporada a la compañía Diodes Inc.) comienza a comercializar el dispositivo denominado TRAC020 (*Totally Reconfigurable Analog Circuit*). El TRAC020 es un circuito BiCMOS de señal continua, que puede operar a una frecuencia máxima de reloj de 1 MHz (Buxton 1999). Consta, como puede verse en la Figura 2.12, de 20 celdas o CAB con 8 posibles funciones: circuito abierto, cortocircuito, inversor,

sumador, log, antilog, rectificador y auxiliar. La función auxiliar permite amplificar, atenuar, diferenciar o integrar señales conectando componentes externos. Las interconexiones entre CAB son fijas, tal y como se muestra en la Figura 2.12, cada CAB incluye además un registro de desplazamiento de 3 bits que almacena la configuración de la celda (señales D, D0, CLK y RST). La parte analógica de la celda cuenta con las entradas A y B y la salida O/P. El enrutado del circuito diseñado se realiza cortocircuitando los CAB necesarios y añadiendo cableado externo. La configuración del dispositivo se realiza utilizando un *bitstream* de 60 bits que es generado mediante una herramienta software en un PC. Como los anteriores, este dispositivo no está disponible comercialmente en la actualidad.

### ***PGA309***

Texas Instruments Inc. ha desarrollado el dispositivo PGA309 (TI 2005). Este dispositivo es un circuito analógico programable, con salida en tensión, para acondicionamiento de sensores resistivos en configuración de puente. Como puede verse en la Figura 2.13, es un sistema de acondicionamiento completo con fuente de excitación para el puente, ajuste del *offset* y del rango inicial de señal, ajuste del rango de señal y del *offset* en función de la temperatura, la cual se puede medir interna o externamente, limitación del máximo y mínimo de excursión de señal de salida, detección de fallos y calibración vía interfaz digital serie de dos hilos o de un hilo (*One-Wire*). Los parámetros de configuración se almacenan en una memoria EEPROM de al menos 1 kbit para almacenar hasta 17 coeficientes de temperatura. El núcleo del PGA309 es un amplificador de instrumentación de ganancia programable y con auto-cero. La ganancia total del dispositivo puede ajustarse en el rango de 2.7 a 1152. Las entradas de este amplificador pueden conmutarse con un

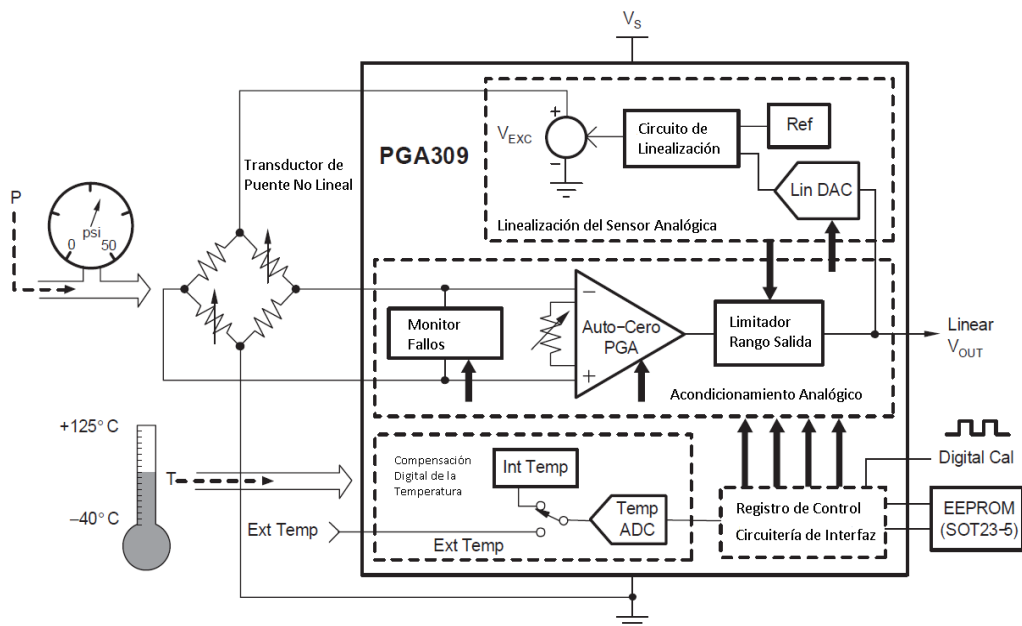


Figura 2.13 Diagrama de bloques del PGA309 (TI 2005)

multiplexor de 2x2 colocado a su entrada para poder conectar sensores con una polaridad desconocida en sus terminales. El ajuste fino de la ganancia de este amplificador se consigue con un convertidor digital-analógico que está controlado por los datos almacenados en la tabla de compensación de la temperatura.

### **EPAD**

Advanced Liner Devices Inc. ha desarrollado la tecnología EPAD (*Electrically Programmable Analog Device*). En muchos sistemas de instrumentación y de control de alta precisión y rendimiento es necesario el ajuste de determinados parámetros del circuito. EPAD es una tecnología de estado sólido que elimina las dificultades de ajuste mecánico con potenciómetro en un circuito, lo que facilita el calibrado y ajuste electrónico de la salida de un sensor, y así, conseguir precisión y repetitividad en las medidas.

El dispositivo es un circuito integrado programable, como puede verse en la Figura 2.14, que contiene transistores MOSFET con voltajes umbrales programables. Una vez programados, los niveles de voltaje y corriente establecidos se almacenan indefinidamente dentro del dispositivo incluso cuando éste no está alimentado. Al contrario que los sistemas de ajuste microcontrolados, el sistema EPAD no requiere de ningún circuito activo adicional. Cada MOSFET puede programarse individualmente o pueden configurarse en pares diferenciales, los cuales pueden emplearse para ajustar el voltaje de *offset* de un amplificador operacional. Los dispositivos EPAD se programan usando el programador E100 EPAD Programmer que se conecta a un PC estándar (ALD 2010). Los dispositivos EPAD pueden programarse antes de que se coloquen en el circuito, cuando se colocan en el sistema y éste se encuentra en su etapa de testeo y con las especificaciones determinadas por el usuario.

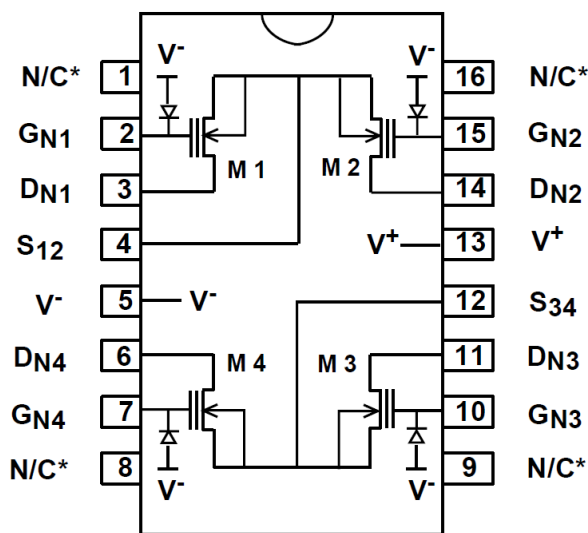


Figura 2.14 ALD110800 dispositivo perteneciente a la tecnología EPAD (ADL 2010)



## *Amplificador de trans-impedancia programable multicanal MTI*

MAZeT GmbH. ha desarrollado la familia de integrados MTI. Éstos son amplificadores de trans-impedancia programables de varios canales. Los amplificadores de trans-impedancia se emplean frecuentemente en instrumentación para amplificar y convertir a tensión pequeñas corrientes en sistemas con sensores opto-electrónicos. La resistencia presente en el lazo de realimentación del amplificador operacional es la que determina el factor de amplificación y transforma la corriente en tensión. La ventaja del uso de un amplificador de trans-impedancia frente a una resistencia es que el amplificador regula la tensión que cae en el fotodiodo a un valor constante, usualmente la

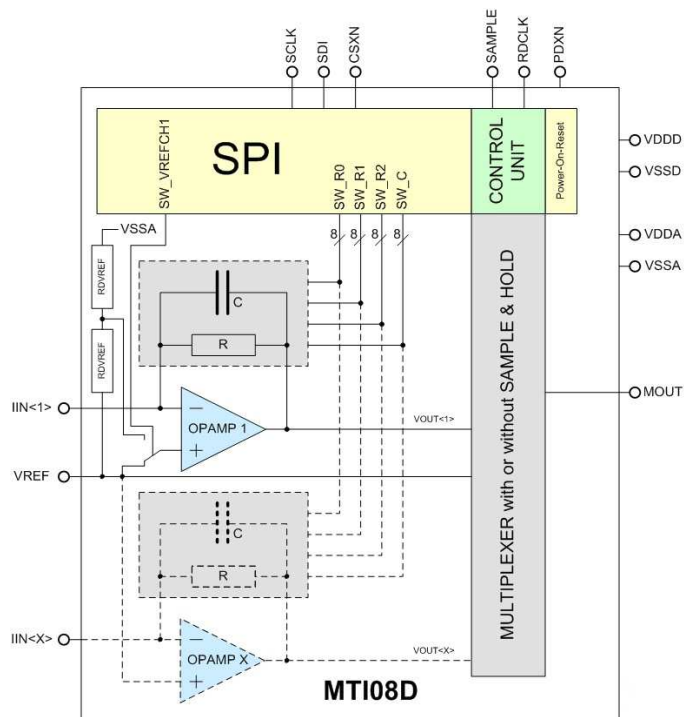


Figura 2.15 Diagrama del MTI08D (MAZeT 2008)

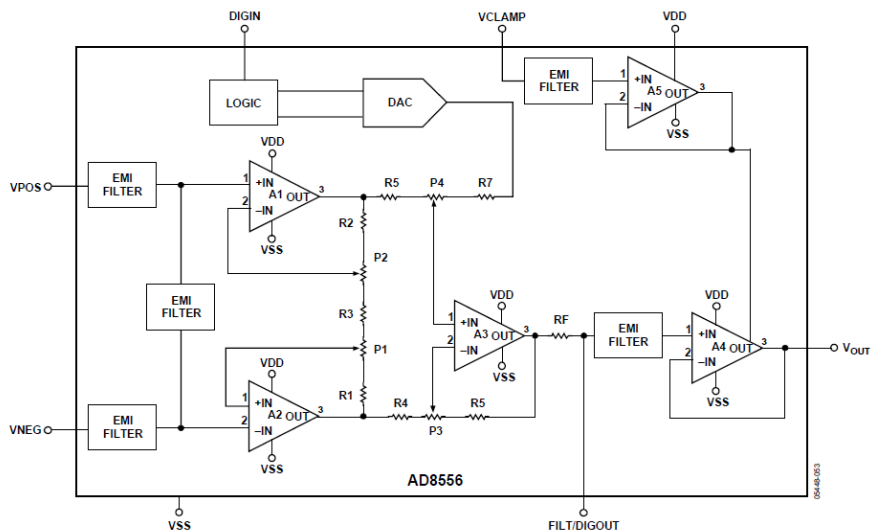


Figura 2.16 Diagrama interno del AD8556 (AD 2007)

tierra del circuito, y de esta manera el fotodiodo funciona en cortocircuito como un generador de corriente.

Dentro de esta familia de dispositivos MAZeT tiene el dispositivo MTI08E, del cual puede verse un esquema simplificado en la Figura 2.15. Este amplificador de trans-impedancia programable tiene 8 canales. Cada canal puede programarse independientemente en 8 niveles de amplificación que van desde los  $200\text{k}\Omega$  hasta los  $25.6\text{M}\Omega$ . La programación se realiza mediante una interfaz SPI. El dispositivo tiene un circuito de muestreo y retención y un multiplexor en las salidas de los amplificadores, que permite almacenar las medidas de los 8 canales simultáneamente para posteriormente, leer los valores individuales en modo serie a través del multiplexor.

### AD8556

Analog Devices Inc. ha desarrollado amplificadores de instrumentación con ganancia programable. Dentro de estos dispositivos cabe destacar el AD8556

(AD 2007). Este dispositivo es un amplificador de señal para sensores con ganancia y *offset* de salida programable digitalmente. Este dispositivo está pensado para acondicionar la señal de salida de sensores de presión diferenciales y en configuración de puente a un rango de tensión de salida del amplificador. Este dispositivo también puede acondicionar señales de salida de sensores unipolares. El integrado posee un voltaje de *offset* máximo de  $10\mu\text{V}$  y una deriva térmica de  $65\text{nV}/^\circ\text{C}$ . El dispositivo detecta fallos de cortocircuito y circuito abierto. La ganancia se puede programar en un rango de valores desde 70 a 1280. La interfaz de programación digital permite establecer la ganancia de la primera etapa, la segunda etapa y el *offset* de salida. Los valores deseados pueden ser almacenados permanentemente mediante fusibles. La interfaz digital es de un solo hilo para minimizar el número de pines y el espacio en placa. Para generar el *offset* de salida se usa un DAC de 8 bits de resolución que equivale a un 0.39% de la diferencia entre  $V_{\text{DD}}$  y  $V_{\text{SS}}$ . El fabricante garantiza que este DAC es monótono. La salida del DAC puede variar entre  $V_{\text{SS}}$  (código 0) y  $V_{\text{DD}}$  (código 255). En la Figura 2.16 puede verse la estructura interna del dispositivo destacando los filtros para interferencia electromagnética (EMI) que posee en los pines de entrada. El dispositivo puede funcionar con una sola fuente de alimentación, que puede variar entre 2.7V y 5V.

### ***Interfaz programable para sensores de Melexis***

Melexis Inc. ha desarrollado los microcontroladores de propósito específico de la familia MLX903xx. Estos microcontroladores están diseñados para la adquisición de señales de sensores en configuración de puente o diferenciales entre los que se incluyen galgas extensiométricas, células de carga, sensores de presión y acelerómetros. Dentro de esta familia de dispositivos, el MLX90314 es el miembro más representativo. El fabricante puede individualizar el



acondicionamiento para este sensor. La programación de la EEPROM necesita de una circuitería de interfaz de comunicación serie, el software de configuración del fabricante y un PC. El fabricante comercializa una placa de desarrollo que contiene esta interfaz y se comunica mediante el puerto RS-232 con el PC.

### *Circuitos integrados analógicos programables ispPAC*

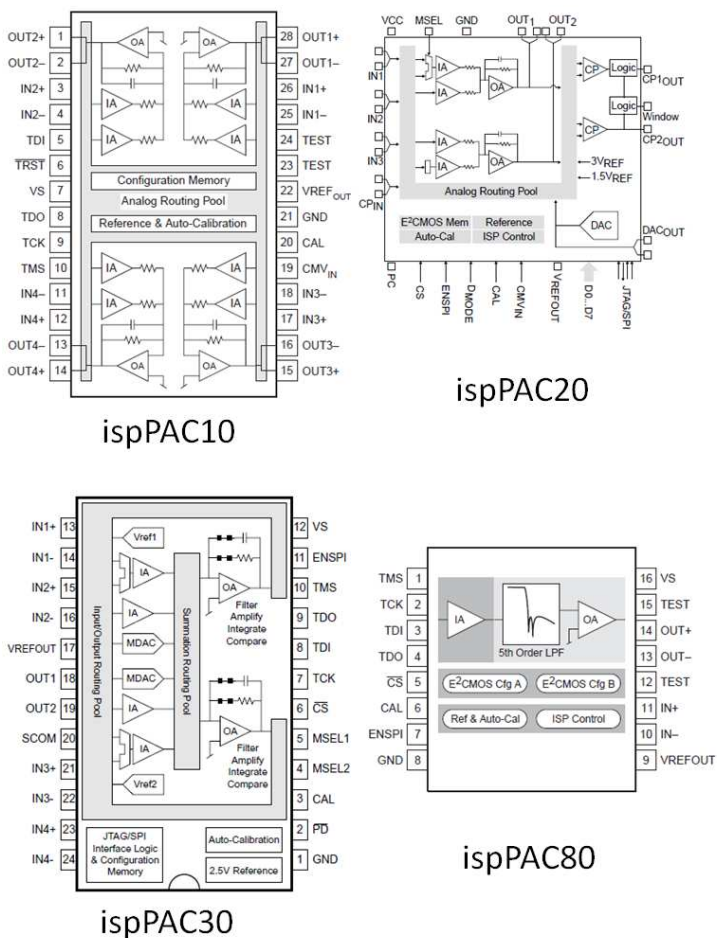
Lattice Semiconductor Corporation ha diseñado la familia de circuitos analógicos programables de tiempo continuo ispPAC® (Ramsden 2001), que se resume en la Tabla 2.2. El ispPAC10 proporciona funciones que son útiles para implementar aplicaciones y circuitos de filtrado. Dispone de las funciones

**Tabla 2.2 Familia de dispositivos ispPAC**

Dispositivo	Función	Encapsulado
ispPAC10	Acondicionamiento de señal	28-SOIC; 28-PDIP
ispPAC20	Monitorización de lazos de control	44-PLCC; 44-TQFP
ispPAC30	Interfaz analógica versátil.	24-SOIC; 28-PDIP
ispPAC80/81	Filtro flexible paso-baja de 5 <sup>o</sup> orden. Frecuencia de corte (10-750kHz)	16-SOIC; 16-PDIP

de amplificadores de ganancia programable, secciones de filtrado y/o integración, junto con una matriz de interconexiones para enrutamiento de la señal de unas a otras funciones. El rango de constantes de tiempo disponibles hace que se puedan implementar filtros con las frecuencias de corte en el rango de 10kHz hasta 250kHz.

El ispPAC20 se diseñó sobre las funciones ya incorporadas en el ispPAC10, añadiendo comparadores sensibles a umbral que permiten implementar procesamiento de señal no lineal en el dispositivo. Se incluye además un DAC de 8



**Figura 2.18** Familia de dispositivos ispPAC de Lattice

bits de resolución para implementar fuentes de tensión de referencia precisas. Las funciones no lineales que este dispositivo posee lo hacen capaz de sintetizar osciladores, circuitos generadores de pulsos y procesamiento de señal no lineal, como por ejemplo rectificadores. Las interconexiones en el dispositivo son programables.

El ispPAC30 (Lattice 2002) es una solución de interfaz analógica completa

para aplicaciones de adquisición de datos que usen ADC de entre 10 y 12 bits de resolución. Proporciona amplificadores con ganancia de alta precisión, ajuste del *offset* y comparadores. Las señales que se conecten a las entradas pueden ser diferenciales o unipolares. Estas entradas pueden ser encaminadas a cualquier celda de entrada y después a cualquier nodo de suma de los amplificadores de salida. Este dispositivo puede ser reconfigurado en tiempo real, además de poseer una memoria no volátil para almacenar la configuración indefinidamente. Esto permite al usuario usarlo en aplicaciones donde el circuito debe ser reconfigurado un número ilimitado de veces, como por ejemplo en los circuitos de control de ganancia programable.

El ispPAC80 es un circuito de aplicación específica que implementa un filtro de 5<sup>o</sup> orden paso-bajo programable. La topología de este circuito es completamente fija y no puede ser modificada por el usuario. Los parámetros del filtro se pueden modificar y se permite que el usuario defina el tipo de filtro (Butterworth, etc.) y la frecuencia de corte, variando ésta entre los 50kHz y los 750kHz. Posee además un amplificador de ganancia programable en la entrada del dispositivo.

Los dispositivos anteriores, cuyos diagramas pueden verse en la Figura 2.18, se programan haciendo uso de un interfaz de programación JTAG, que es un estándar industrial serie de 4 hilos que permite conectar varios dispositivos en cadena. Lattice proporciona un software para desarrollo de las aplicaciones a implementar en estos dispositivos y con el cual se puede descargar estas aplicaciones a los mismos. Estos dispositivos ya no están en producción, no obstante, Lattice sigue manteniendo los mismos hasta fin de existencias.

#### **2.4.1.2 Microcontroladores de señal mixta PSoC de Cypress**

Cypress Semiconductor Corporation ha desarrollado la serie de dispositivos programables PSoC (*Programmable System on Chip*) (Seguine 2002). Estos

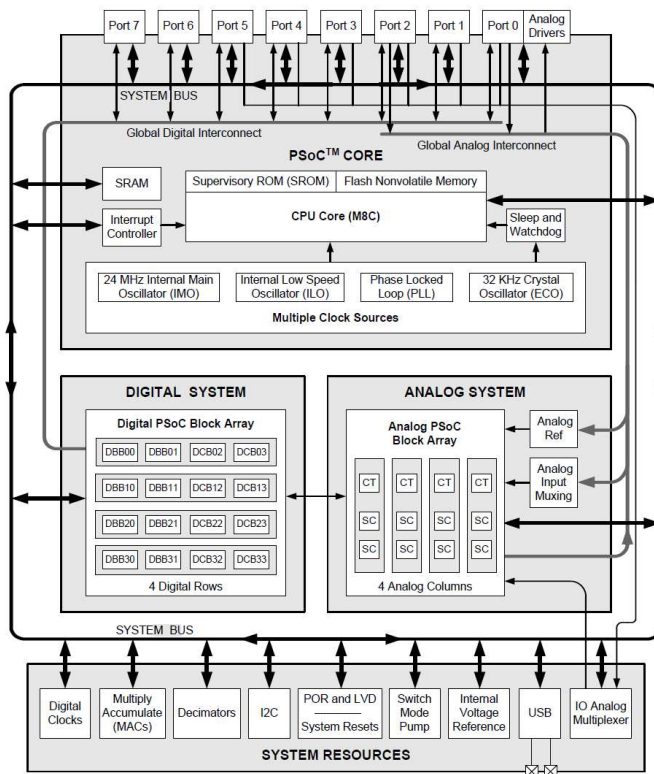


Figura 2.19 Diagrama de bloques funcionales de un PSoc (Cypress 2007)

dispositivos ofrecen interconexiones y funciones para procesamiento de señal que permiten crear aplicaciones de bajo coste para sensores inteligentes. Un dispositivo PSoc incluye bloques analógicos configurables, bloques de lógica digital y un conjunto de interconexiones que permite conectar los bloques y las salidas-entradas configurables. En la Figura 2.19 puede verse la estructura genérica de un PSoc.

Las funciones del sistema analógico que pueden implementarse están organizadas en una matriz de bloques en los que puede seleccionarse la función a implementar mediante una herramienta software. Esta herramienta actúa sobre unos registros que pueden ser reprogramados en tiempo de ejecución. Los



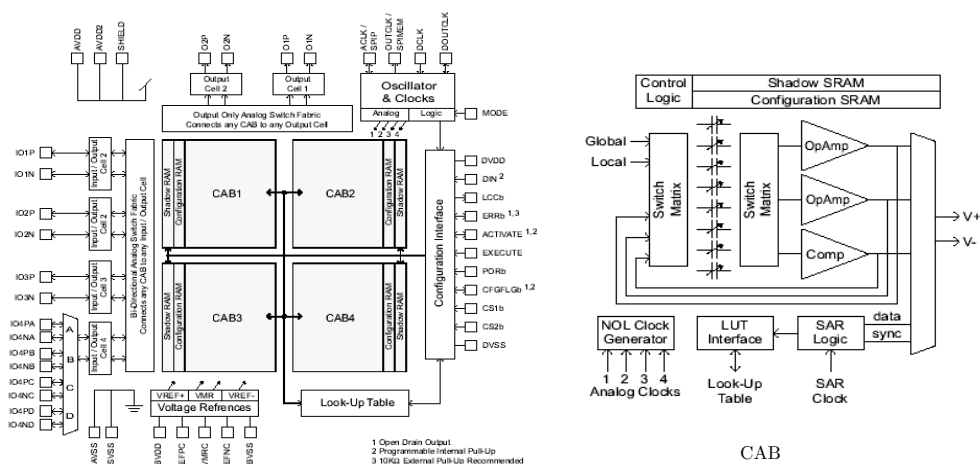
bloques se pueden conectar directamente a los puertos de entrada, a la entrada de un multiplexor, a los recursos de temporización disponibles y los *buffers* de salida disponibles en cada columna de la matriz. Los bloques incluyen amplificadores operacionales, unos con un conjunto de resistencias seleccionables y otros con un conjunto de capacidades conmutadas con las salidas y las entradas multiplexadas.

El bloque digital incluye bloques básicos reprogramables que pueden ser configurados para realizar una de estas cinco funciones: contador, , y moduladores de ancho de pulsos PWM (*Pulse Width Modulator*), generador de secuencias pseudo-aleatorias o código de redundancia cíclica (CRC). Estas funciones pueden implementarse configurando un bloque individual o encadenando varios bloques para generar funciones de más de 8 bits. Los bloques digitales de comunicaciones del PSoC tienen dos funciones adicionales: bus SPI maestro o esclavo, y UART *full-dúplex*. La sincronización de todos estos bloques digitales puede realizarse desde 16 fuentes de reloj diferentes, entre ellos los relojes del sistema.

El núcleo de procesamiento del PSoC es una CPU denominada M8C. El M8C es un procesador de 4 MIPS, 8 bits, con arquitectura Harvard y con frecuencia de reloj seleccionable en el rango de los 93.7 kHz a los 24 MHz. Una característica muy útil de estos dispositivos es que poseen interfaz de comunicación *host* USB, lo que los habilita para ser usados en un amplio rango de aplicaciones en las que el PSoC funciones como controlador de otros dispositivos. De hecho, estos dispositivos e interfaz de comunicación son objeto de uso en este trabajo.

### ***2.4.1.3 Procesador Analógico dinámicamente programable dsASP***

Anadigm Inc. ha desarrollado las familias de dispositivos analógicos reconfigurables dsASP (*dynamically programmable Analog Signal Processor*) denominadas Anadigmvortex y AnadigmApex. La diferencia principal entre las



**Figura 2.20** Dispositivo AN221E04 y estructura de un CAB interno perteneciente a la familia Anadigmortex.

dos familias es la alimentación que admiten: mientras la primera funciona con una alimentación de 5V, la segunda funciona con una alimentación de 3.3V. Estos dispositivos están basados en tecnología de capacidades conmutadas (Anadigm 2010).

Los diferentes circuitos a implementar se consiguen manipulando los conmutadores de las capacidades y las interconexiones entre los diferentes elementos de circuito presentes en los bloques analógicos reconfigurable CAB. Cada CAB contiene dos amplificadores operacionales, un comparador y 8 capacidades variables, como puede verse en la Figura 2.20. Tienen dos celdas de salida específicas y 4 celdas bidireccionales que pueden ser usadas tanto como entrada o como salida. Estas celdas de entrada/salida tienen un conjunto de recursos que permite la conexión de señales sin ninguna circuitería adicional externa. Todo el procesado de señal interno es completamente diferencial y, por tanto, las celdas de entrada/salida admiten este tipo de señales. Los recursos disponibles cuando una celda se programa como entrada son un amplificador de

ganancia programable, un amplificador *chopper* estabilizado de bajo *offset* y un filtro antialiasing. El amplificador *chopper* de entrada reduce ampliamente el voltaje *offset* de entrada. Estos dispositivos proporcionan la posibilidad de implementar un ADC de 8 bits y 250k muestras por segundo con arquitectura de aproximaciones sucesivas (SAR: *Successive Approximations Register*) interno a la FPAA. Estos dispositivos pueden implementar funciones lineales y no lineales tales como linealización de la respuesta de un sensor, síntesis de señales arbitrarias, filtrado y amplificación.

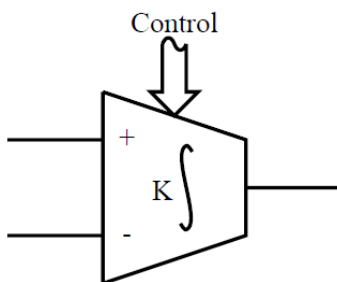
La interfaz de configuración de estos dispositivos incluye una funcionalidad que permite cargar los datos de reconfiguración en el dispositivo mientras éste está en funcionamiento normal sin necesidad de reiniciarlo. Esta reconfiguración dinámica permite a un controlador externo mandar nuevos datos de configuración al dispositivo mientras la configuración antigua está activa y funcionando. Una vez la nueva configuración está cargada completamente, la transición a la nueva configuración tiene lugar en un solo ciclo de reloj. Los datos de configuración se almacenan en una memoria SRAM integrada en el chip, lo que permite la carga de múltiples configuraciones si es necesario. La herramienta software AnadigDesigner2® es la encargada de crear el archivo de configuración. Usando los módulos analógicos configurables o CAM (*Configurable Analog Module*) que se colocan y conectan en la interfaz gráfica de la herramienta, el usuario crea un circuito analógico de procesamiento. Estos dispositivos permiten dos tipos de configuraciones dinámicas. La primera denominada configuración dinámica algorítmica, sólo admite configuración de los parámetros programables en los módulos CAM, como por ejemplo la ganancia de los amplificadores, pero la topología y, por tanto, la función del circuito creado permanece fija. En la segunda, denominada configuración dinámica manejada por estados, la topología y parámetros del circuito se pueden modificar completamente.

Ya que estos dispositivos FPAA están basados en tecnología de capacidades conmutadas, el funcionamiento de los mismos está basado en una señal de reloj. Esta señal de reloj se divide en cinco dominios diferentes. La configuración del dispositivo determina qué señal de reloj actúa como maestro. El primer dominio sólo alimenta los amplificadores *chopper* de las celdas de entrada/salida. Los otros cuatro dominios se generan con cuatro divisores de frecuencia programables por el usuario. La señal de reloj para estos dominios proviene de una única señal de reloj que puede ser modificada o pre-escalada a partir de la señal de reloj maestra. Cada una de estas cuatro señales de reloj se usa para gobernar los SAR dentro de los CAB o los conmutadores de las capacidades. La herramienta software AnadigmDesigner2 permite seleccionar qué señal de reloj se usa para cada CAM de un diseño.

#### ***2.4.1.4 Propuestas no comerciales***

A lo largo de las dos últimas décadas los investigadores han ido desarrollando distintas versiones de FPAA. Dean R. D'mello y P. Glenn Gulak, en su trabajo de 1998, realizan una exhaustiva revisión de los trabajos realizados hasta esa fecha en el campo de los circuitos analógicos y de señal mixta programables (D'mello & Gulak 1998).

Posteriormente a esa fecha, en la Universidad de Edimburgo se ideó una FPAA denominada Palmo (Hamilton et al. 1998). Se basó la elección de un integrador programable como celda básica de la FPAA que puede realizar las funciones de integrador, ganancia y comparador. El chip consiste en una matriz de estas celdas, mostrada en la Figura 2.21 . Los impulsos de señal entrante se integran en el tiempo. Este valor de la señal integrada se compara con una rampa para generar el pulso de señal de salida. Las señales rampa de comparación son señales globales. Con estas señales se controla con exactitud la



**Figura 2.21** Celda básica del dispositivo Palmo (Hamilton et al. 1998).

ganancia del circuito. Este sistema permite el uso de señales digitales que operen con los pulsos que representan las señales analógicas.

En 1999 la Universidad John Hopkins (Edwards et al. 1999) presenta un dispositivo FPMA (*Field Programmable Mixed-signal Array*) para aplicaciones espaciales. Este dispositivo está fabricado en tecnología CMOS y con la tecnología de interconexión de ‘anti-fusibles’ *Metal-to-Metal* de Actel Inc., usada en la familia de FPGA RT-SX de este mismo fabricante, lo que facilita la integración de este desarrollo con celdas digitales de la misma tecnología. Los recursos disponibles en este dispositivo permiten el desarrollo de circuitos de tiempo discreto y continuo. Estos son, amplificadores operacionales, capacidades programables, resistencias programables y conmutadores con frecuencias de reloj complementarias. En la Figura 2.22 puede verse la estructura del chip de test desarrollado en dicho trabajo.

Tetsuya Higuchi y Nobuki Kajihara, del *Evolvable Systems Laboratory* en Japón, presentan en 1999 el desarrollo de un dispositivo denominado chip de hardware analógico evolutivo, o EHW chip (*Evolvable HardWare chip*), (Higuchi & Kajihara 1999). Este dispositivo está pensado para aplicaciones de desarrollo de filtros de frecuencia intermedia en telefonía móvil. Dicho dispositivo, mediante evolución basada en algoritmos genéticos que generan un vector de bits de configuración, puede corregir las variaciones en la frecuencia

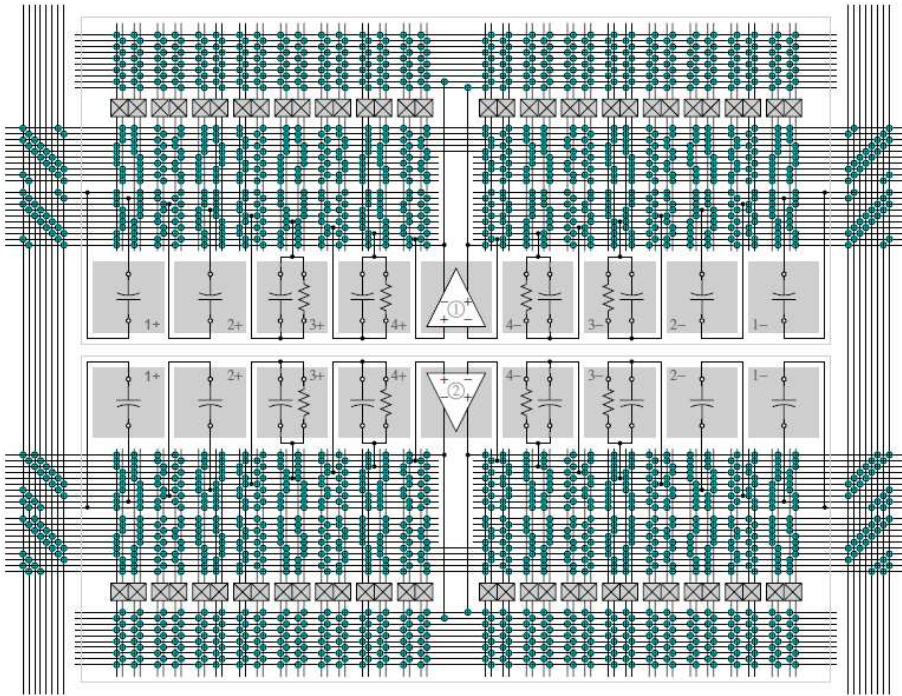


Figura 2.22 Estructura de la FPMA (Edwards et al. 1999).

del filtro que en diseños analógicos tradicionales se debe a las variaciones en los valores de resistencias y condensadores integrados en relación con los valores precisos usados en el diseño del filtro. El dispositivo se basa en el control de las fuentes de corriente que alimentan los circuitos CMOS, mediante unos bits de configuración.

S. Koneru, E.K.F. Lee, y C. Chu, de la Universidad de Iowa, en 1999 presentan una arquitectura de FPAA en 2-D de capacidades conmutadas (Koneru, Lee & Chu 1999). En este diseño cada CAB puede conectarse a los 12 CAB vecinos y acceder a 10 capacidades programables. Los conmutadores que establecen los enrutamientos en los CAB y las capacidades programables se usan también para transmitir la carga que necesitan los circuitos de capacidades conmutadas. Esto minimiza el número de conexiones entre los

CAB y las capacidades y, por tanto, se reduce el tiempo de estabilización y creación del circuito resultante. Los autores presentan un algoritmo de mapeo de circuitos para esta tecnología.

C.A. Looby y C. Lyden presentan en 2000 una FPAA de tiempo continuo (Looby & Lyden 2000) con un ancho de banda y repetitividad comparables con la exactitud de las FPAA basadas en capacidades conmutadas y con el ancho de banda de las de tiempo continuo. Usa operación en tiempo para obtener un gran ancho de banda y *buffers*, conmutadores de paso y bloques funcionales con operacionales realimentados para obtener exactitud.

Cristina C. Santini presenta en 2001 la plataforma PAMA (*Programmable Analog Multiplexer Array*) (Santini et al. 2001). Está basada en multiplexores/demultiplexores analógicos programables. Los multiplexores son fijos y son los responsables de las interconexiones de los dispositivos discretos que se pueden usar en la plataforma. La plataforma está diseñada para realizar evolución intrínseca de circuitos analógicos empleando algoritmos genéticos tradicionales. Cada gen configura la señal seleccionada como entrada o salida en un determinado multiplexor. Los componentes discretos pueden ser seleccionados por el usuario y van desde componentes de bajo nivel, como transistores, resistencias y capacidades, hasta circuitos de alto nivel como amplificadores operacionales y comparadores.

El grupo de Bogdan Pankiewicz ha desarrollado una FPAA (Pankiewicz et al. 2001) (Pankiewicz et al. 2002) cuyos CAB están basados, como puede verse en la Figura 2.23, en un amplificador OTA (*Operational Transconductance Amplifier*), una capacidad programable y conmutadores MOSFET. La polaridad de las señales de entrada al OTA puede ser positiva o negativa dependiendo de la configuración de los conmutadores S1 y S2. En la Universidad de Gdansk han desarrollado un prototipo de FPAA con una matriz de estos CAB de tamaño 5×8 en la que se han implementado distintos

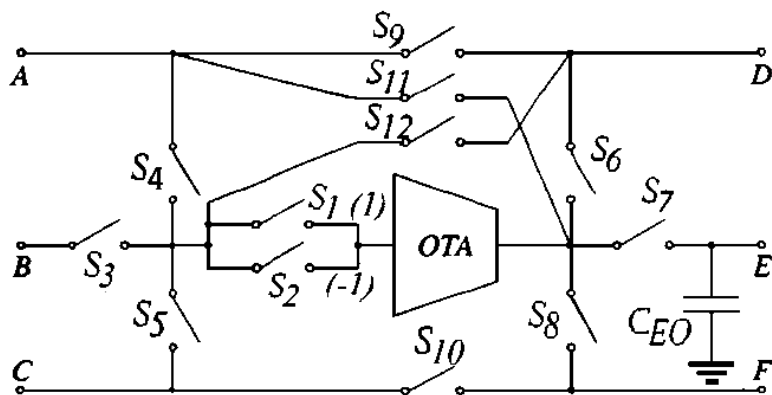


Figura 2.23 Estructura del CAB de (Pankiewicz et al. 2001).

filtros con topología biquad en cascada.

Jörg Langeheine, en la Universidad de Heidelberg, ha desarrollado el dispositivo FPTA (*Field Programmable Transistor Array*) (Langeheine et al. 2001). Este dispositivo es una FPAA cuyo bloque analógico reconfigurable básico está compuesto por una matriz de 16×16 transistores fabricados en tecnología CMOS de 0.6µm, estando alternados los transistores tipo NMOS con lo PMOS, como puede verse en la Figura 2.24. En este chip pueden programarse las interconexiones entre ellos y la geometría de la puerta, pudiendo variar la anchura W de 1 a 15µm y la longitud L tomar los valores 0.6, 1, 2, 4, 8µm El chip ha sido desarrollado para experimentar la evolución intrínseca de circuitos analógicos y la síntesis automática de los mismos.

Desde el *Jet Propulsion Laboratory*, en el *California Institute of Technology* (Stoica et al. 2001) se propone una FPTA reconfigurable a nivel de transistor orientada al ensayo y desarrollo de circuitos analógicos auto-reconfigurables basados en algoritmos evolutivos que permite la reconfiguración a varios niveles de granularidad. El dispositivo consta de una matriz de 8×8 celdas. Cada celda se



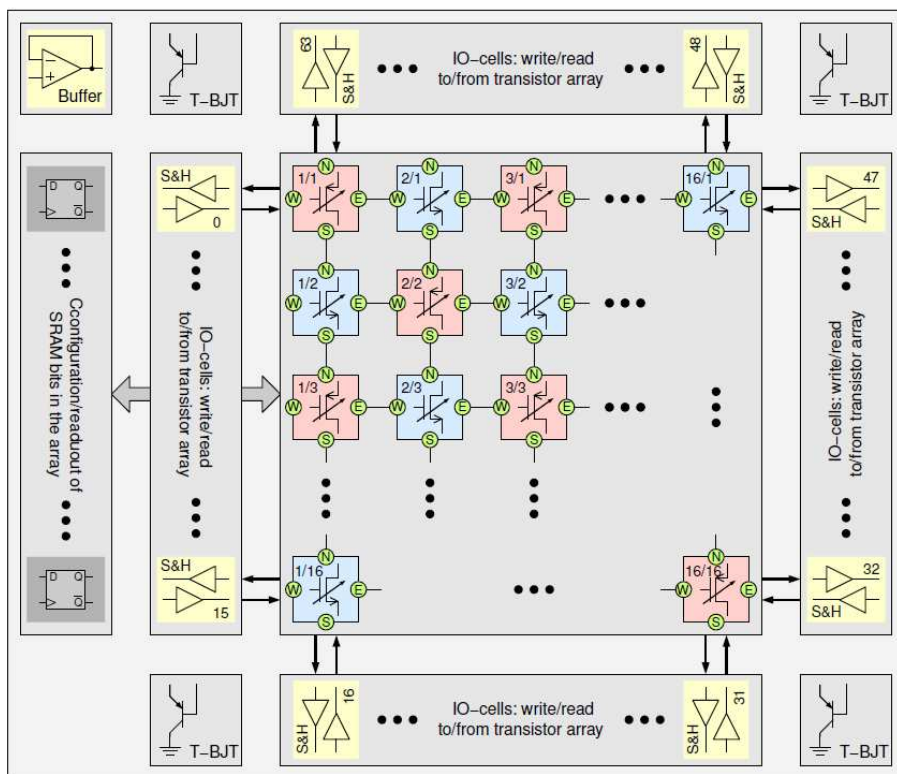


Figura 2.24 FPTA de la Universidad de Heidelberg (Langeheine et al. 2001).

puede programar a nivel de transistor. Las celdas se dividen en tres diferentes categoría dependiendo de la posición en la matriz: celdas externas, celdas intermedias y celdas internas. Hay 28 celdas externas cada una de las cuales recibe una entrada externa. Un total de 24 señales externas pueden aplicarse al chip vía 24 pines de conexión. Hay 32 celdas intermedias y 4 celdas internas. Las celdas externas e intermedias se conectan mediante seis conmutadores programables diferentes. Las celdas internas se conectan con las celdas intermedias adyacentes mediante multiplexores analógicos lo que permite un patrón de conexiones mucho más amplio. Estas celdas internas son las únicas que disponen de capacidades. Para conseguir que el chip se pueda reprogramar parcialmente cada celda está direccionada independientemente con un

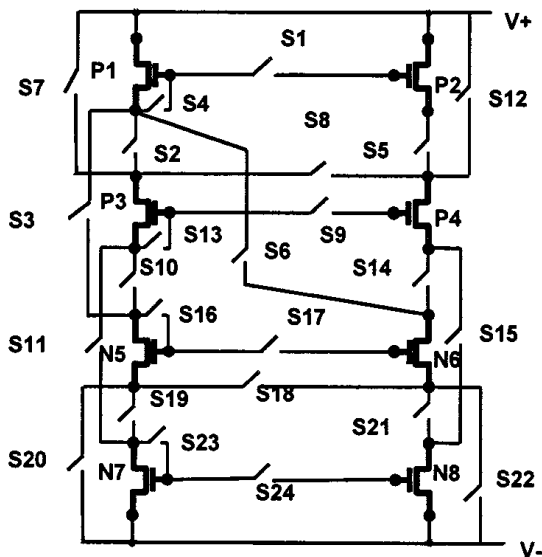
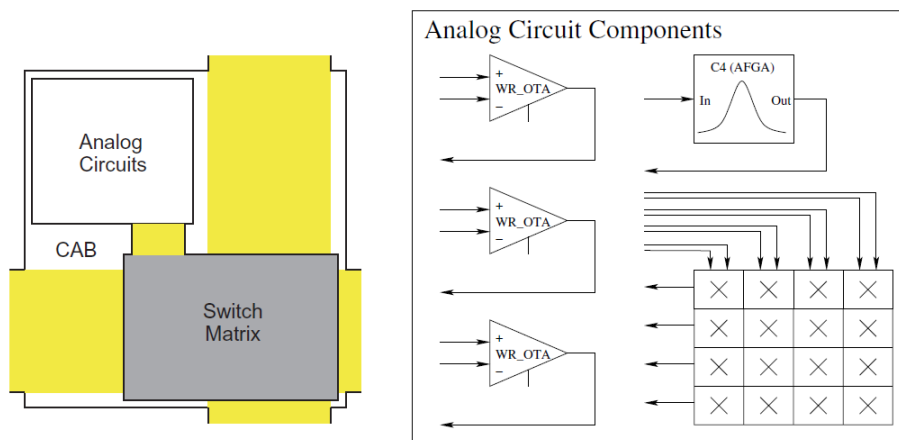


Figura 2.25 Esquema de una celda básica de FPTA (Stoica et al. 2000).

mecanismo de decodificación simple. Para programar cada celda solo son necesarios 30 bits. Cada celda está formada por una matriz de transistores interconectados mediante conmutadores programables. El estatus de cada conmutador determina la topología de circuito y por tanto la respuesta del mismo. En la Figura 2.25 puede verse la estructura de una celda de la FPTA con 8 transistores y 24 conmutadores fabricada en tecnología CMOS de 0.5µm.

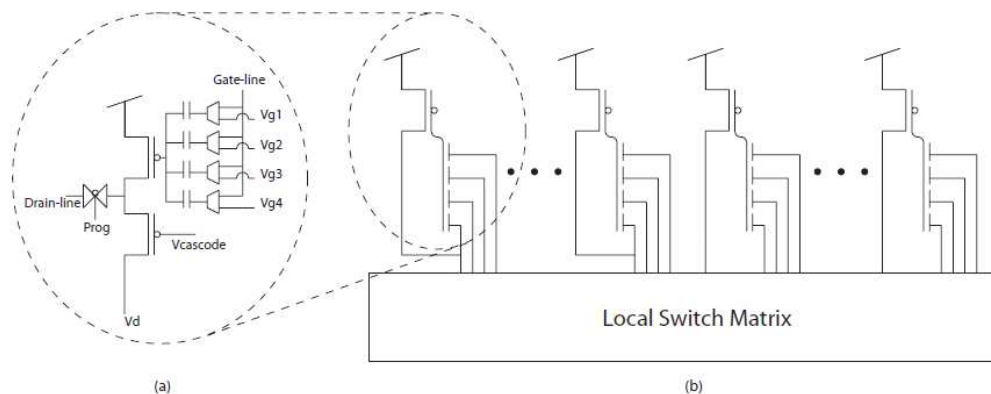
Tyson S. Hall, en el *Georgia Institute of Technology* (Hall, Hasler & Anderson 2002), ha desarrollado la FPAA denominada RASP (*Reconfigurable Analog Signal Processor*) basada en tecnología de conmutadores de puerta flotante. Esta tecnología usa transistores pFET cuyo terminal de puerta no está conectado a ninguna señal excepto a través de un condensador, y de esta manera el terminal de puerta de los transistores puede mantener una carga permanentemente mostrando así un comportamiento similar a una celda EEPROM. La FPAA consta de dos CAB conectados mediante una red de conmutadores de puerta flotante. Esta matriz de conmutadores permite



**Figura 2.26 (Izquierda) Estructura del CAB con la matriz de conmutación y componentes analógicos del CAB (Derecha) (Hall, Hasler & Anderson 2002).**

conectar los CAB con solo dos conmutadores. Los elementos que componen los CAB son tres amplificadores de transconductancia (OTA), una matriz de 4x4 multiplicadores de señales diferenciales por constantes y un amplificador paso-banda de puerta flotante o AFGA (*Autozeroing Floating-Gate Amplifier*) (Hasler, Minch & Diorio 1998) como puede verse en la Figura 2.26. Este filtro es adaptable, lo que permite obtener de una señal una de sus componentes, por lo que este dispositivo es idóneo para procesamiento analógico de Fourier. Los multiplicadores de señales diferenciales por un peso almacenado se realizan utilizando dos transistores de puerta flotante. Ya que el peso (constante) se almacena como una carga en el nodo de puerta flotante, éste puede ser programable y adaptable. El miembro más reciente de esta familia de FPAA, el RASP 2.8 (Basu et al. 2010) consta de 32 CAB desarrollado en tecnología CMOS de 0.35 $\mu$ m.

David N. Abramson en el *Georgia Institute of Technology* (Abramson et al. 2005) ha desarrollado una FPAA basada en elementos translineales como base desarrollo de procesamiento analógico. Los circuitos translineales son aquéllos en los



**Figura 2.27 (a) Estructura MITE, (b) Estructura CAB (Abramson et al. 2005)**

que la relación exponencial entre la corriente de salida y la tensión de entrada se aprovecha para realizar cálculos algebraicos y diferenciales. Una subclase de estos circuitos se denomina MITE (*Multiple-Input Translinear Element*), en la que la corriente de salida depende exponencialmente de la combinación lineal de los voltajes en las entradas (Subramanian 2007). La arquitectura de esta FPAA incluye cuatro CAB basados en estructuras MITE, como se muestra en la Figura 2.27. Las interconexiones entre los elementos dentro del CAB están basadas en la arquitectura desarrollada para las FPAA de puerta flotante (Hall, Hasler & Anderson 2002). Estas interconexiones constan de una matriz de conmutadores de puerta flotante que se usa para reconfigurar las conexiones entre las capacidades de puerta y los drenadores de las estructuras MITE. Un CAB especializado se incluye en la FPAA que contiene funciones de multiplicadores de cuatro cuadrantes.

En la Universidad de Friburgo, en el Departamento de Ingeniería de Microsistemas, el grupo de microelectrónica de Yiannos Manoli (Becker et al. 2008) ha desarrollado un dispositivo FPAA en tecnología CMOS de  $0.13\mu\text{m}$ , basado en amplificadores de transconductancia OTA, ideado para su aplicación

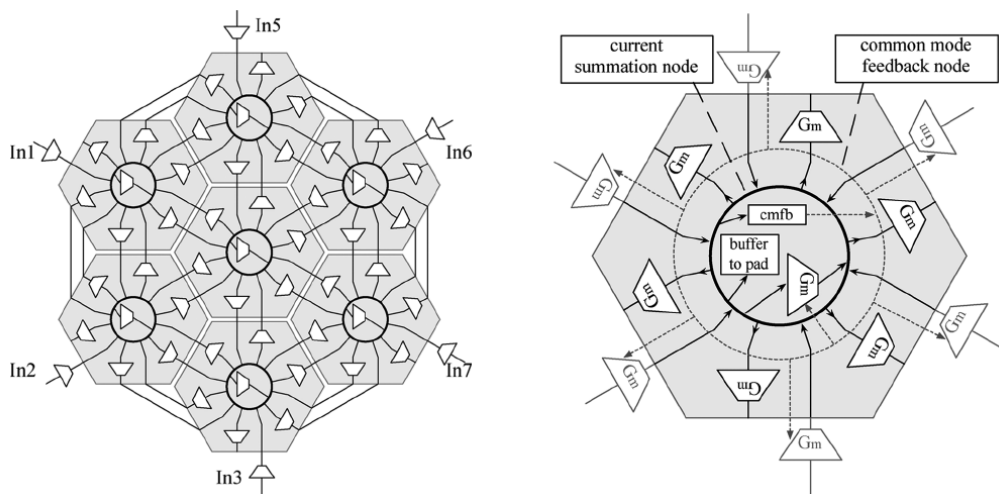


Figura 2.28 (Izquierda) Topología de la FPAA con 7 CABs. (Derecha.) Esquema de un CAB (Becker et al. 2008)

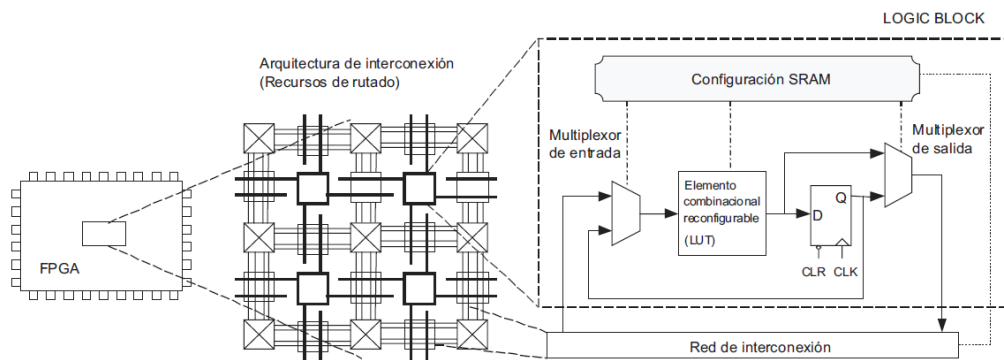
en el desarrollo de filtros analógicos de alta frecuencia en tiempo continuo. Presentan una nueva arquitectura en la que los CAB se estructuran en una red plana hexagonal, en la que cada CAB ocupa un hexágono. Esta estructura es idónea para la implementación de filtros reconfigurables, ya que elimina la necesidad de una red de enrutamiento de señales global, que introduce largos cables y un número elevado de conmutadores en la ruta de las señales y, por tanto, introduce capacidades y resistencias parásitas que limitan el rendimiento de la FPAA. La estructura hexagonal mostrada en la Figura 2.28 presenta un esquema de conexiones locales que permiten encaminar una señal en una red fija mediante la conmutación de enlaces entre CAB vecinos. La arquitectura de cada CAB consta de un nodo de suma de corrientes, que en la Figura 2.28 se muestra como un anillo sólido, y siete celdas  $G_m$ . Este nodo colecta la corriente proveniente de seis celdas  $G_m$  de los CAB vecinos y la celda  $G_m$  de auto realimentación situada dentro del anillo. Las siete celdas internas tienen conectadas al nodo sus entradas. Las celdas  $G_m$  están compuestas de seis

amplificadores de transconductancia OTA conectados en paralelo e implementados como amplificadores diferenciales, los cuales pueden desconectarse digitalmente mediante un conmutador que desconecta su voltaje de alimentación. Esto hace que la ganancia total  $g_m$  de las celdas  $G_m$  sea modificable y reprogramable.

En la Universidad Politécnica de Cataluña, en el Departamento de Ingeniería Electrónica (Martinez-Alvarado, Madrenas & Fernandez 2009), se ha desarrollado un dispositivo FPAA en tecnología CMOS de  $0.35\mu\text{m}$  basado en circuitos translineales. El dispositivo contiene una matriz de  $5\times 5$  celdas translineales reconfigurables RTC (*Reconfigurable Translinear Cell*). Estas celdas RTC contienen el circuito translineal, un espejo de corriente programable, un bloque de fuentes de corriente programables de 6 y 7 bits, un bloque de capacidades programables, tres matrices de conmutadores, una memoria de configuración, y un transistor MOS adicional.

### **2.4.2 Dispositivos reconfigurables digitales: FPGA**

Las FPGA en general consisten en una matriz de bloques lógicos o LB (*Logic Blocks*) y una red de interconexión. La funcionalidad de los LB y la configuración de la red de interconexión pueden modificarse mediante la descarga en el dispositivo de un conjunto de bits que definen la configuración del hardware (Bondalapati & Prasanna 2002). En la Figura 2.29 se presenta la estructura típica de una FPGA donde los bloques lógicos se ordenan en una matriz regular, y rodeando a cada uno de estos bloques se encuentra la red de interconexión de estos bloques. Los bloques lógicos de la periferia del dispositivo se conectan a los bloques de entrada/salida IOB (*Input-Output Blocks*) para lograr comunicación con el exterior del dispositivo.



**Figura 2.29** Arquitectura general de una FPGA.

El bloque lógico, que se presenta en la Figura 2.29, consta de una parte combinacional, que permite implementar funciones lógicas booleanas, más una parte secuencial formada por *flip-flops*, que permite sincronizar la salida con una señal de reloj externa, lo cual es útil para realizar circuitos secuenciales y permite implementar registros. La configuración de todos estos elementos se realiza mediante una memoria SRAM de configuración. La estructura de un bloque lógico varía de un fabricante a otro. Sin embargo, la parte combinacional se compone principalmente de una tabla de consultas, o LUT (*Look-Up Table*). Una LUT es un componente de memoria que almacena una tabla de verdad. Las direcciones de la memoria son las entradas de la función lógica a implementar, y en cada celda de dicha memoria se almacena el resultado de la combinación correspondiente de las entradas. En una LUT de  $n \times 1$  es posible implementar cualquier función lógica de  $n$  entradas.

Un punto a tener en cuenta es cómo se almacena la información correspondiente a las funciones lógicas que se desean implementar y las conexiones que deben hacerse entre bloques lógicos. Todas las funciones configurables por el usuario se controlan por celdas de memoria que son

volátiles y deben ser configuradas cuando el dispositivo se enciende. Estas celdas de memoria se conocen como memoria de configuración y define las ecuaciones de las LUT, el enrutamiento de las señales, los IOB, los voltajes estándar y todos los aspectos restantes del diseño. La memoria de configuración se puede visualizar como una matriz de bits rectangular. Estos bits se agrupan en *frames* que son la unidad mínima de configuración, esto es, la porción mínima de bits de la memoria de configuración que se puede escribir o leer. Las interfaces de descarga usadas más extendidas son JTAG, SPI, y puerto paralelo. A continuación se describen las tecnologías de configuración más comúnmente halladas en el mercado:

- SRAM: en este caso, el contenido se almacena mediante un proceso de configuración en el momento de encendido del circuito que contiene la FPGA. Debido a que al ser SRAM el contenido de la memoria se pierde cuando se deja de suministrar energía, la información binaria de configuración que se descarga en las celdas SRAM generalmente se almacena en memorias EEPROM conocidas como memorias de configuración. En el momento de encendido del circuito, toda la información binaria es transferida a los bloques e interconexiones de la FPGA mediante el proceso de configuración, el cual es generalmente automático, dado que la propio FPGA contiene un circuito interno que se encarga de efectuar la configuración.
- *Anti-fuse* ('antifusible'): un FPGA que utiliza este tipo de tecnología sólo puede ser programada una vez. Se las llama *anti-fuse* porque, a diferencia de un fusible donde originalmente existe una conexión y mediante el paso de corriente dicha conexión es destruida, en este caso la conexión debe ser creada, es decir que no existe originalmente. Una vez que es programada no se puede recuperar el



estado original de la conexión. Un *anti-fuse* consiste en dos líneas perpendiculares conductoras, normalmente de aluminio, separadas por una capa de dieléctrico, normalmente algún óxido. La configuración se realiza estableciendo una tensión elevada entre dos líneas que se cruzan. Esta tensión es superior a la rigidez dieléctrica del óxido y el campo eléctrico lo rompe, estableciendo un pequeño arco entre las dos pistas, que las funde parcialmente, soldándolas y creando así una conexión permanente.

- Flash: el avance experimentado en los últimos años en el diseño y prestaciones de las celdas de memoria flash ha permitido su incorporación a los dispositivos programables. Los FPGA basados en celdas flash recogen las ventajas principales de las dos técnicas anteriores, situándose en un punto intermedio. Su tamaño es bastante más reducido que el de una celda SRAM, aunque sin llegar al tamaño reducido de un *anti-fuse*, son reconfigurables, aunque la velocidad de configuración es bastante más lenta que en el caso de una SRAM, y son no volátiles, por lo que no necesitan un dispositivo auxiliar para guardar la configuración interna, como en el caso de la SRAM.

Lo que resta de sección se dedica a presentar los dispositivos reconfigurables digitales más destacados presentes en el mercado. Actualmente los líderes en el mercado de dispositivos reconfigurables digitales FPGA (Xilinx 2009) son Xilinx Inc., que posee el 51% de cuota de mercado y Altera Corporation, con una cuota de mercado en torno al 35%, seguida por Actel Corp. y Lattice Inc. El resto de mercado se lo dividen los demás proveedores, como Quicklogic Corp. y Atmel Corp. En esta sección se describe la arquitectura de un dispositivo FPGA representativo de la tecnología que ofrece

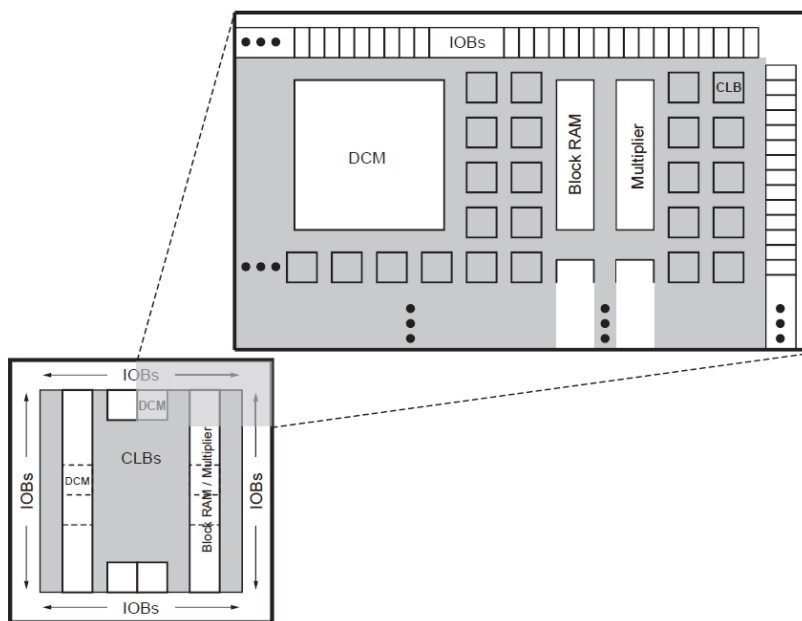


Figura 2.30 Arquitectura de la Spartan 3A

el mayor proveedor, Xilinx, y se presentarán las principales diferencias y estrategias de sus rivales directos Altera, Atmel y Lattice.

### 2.4.2.1 Xilinx

En 1985 Xilinx (Xilinx 2010) es la primera compañía de semiconductores que introduce el modelo de producción de dispositivos FPGA y aún, hoy día, es el líder del mercado. Los dispositivos reconfigurables FPGA de Xilinx tienen dos líneas de desarrollo principal: la serie Virtex de dispositivos de alto rendimiento, y la serie Spartan de dispositivos de bajo coste.

La familia de dispositivos de bajo coste Spartan se caracteriza por un número reducido de recursos lógicos, menor frecuencia de reloj y bajo coste por unidad en relación a la familia Virtex. El primer miembro de esta familia fue la Spartan 3, con un número equivalente de puertas en el rango de 1 a 73 mega



1. *CLB (Configurable Logic Blocks)*: son los bloques funcionales que proporcionan recursos para implementar lógica combinacional y lógica secuencial, además de elementos básicos de almacenamiento. Un CLB está compuesto por cuatro *slices* que se interconectan como puede verse en la Figura 2.31. Estos *slices*, agrupados en pares, se organizan en columnas, compartiendo la cadena de acarreo. Los *slices* de la izquierda contienen funciones de lógica y memoria y se denomina SLICEM. Los *slices* de la derecha contiene sólo funciones de lógica y se denominan SLICEL. Un *slice* contiene dos LUT, F y G, para lógica combinacional de cuatro entradas, dos elementos de almacenamiento (biestables), dos multiplexores, lógica de acarreo y aritmética, dos bloques RAM distribuidos de 16×1 y dos registros de 16 bits.
2. *SelectRAM Blocks*: estos bloques de memoria de doble puerto están organizados en columnas y distribuidos en el dispositivo como se ve en la Figura 2.30. Proporcionan 18 kbit de almacenamiento y, dependiendo de la configuración adoptada, pueden proporcionar bloques FIFO, LUT, RAM, ROM y registros.
3. *Multiplier Blocks*: los bloques multiplicadores embebidos de 18×18 bits se sitúan junto a los bloques SelectRAM y comparten con estos los recursos de enrutamiento, lo que incrementa la eficiencia para muchas aplicaciones.
4. *DCM (Digital Clock Manager)*: estos elementos proporcionan una solución para los retardos en la distribución de la señal de reloj, proporcionando múltiplos y submúltiplos en frecuencia de la señal principal de reloj, además de poder incluir desfase controlado entre las señales de reloj creadas.

Todos los elementos reconfigurables están conectados a una matriz de conmutación SM (*Switch Matrix*), y todas las matrices de conmutación se organizan en una matriz denominada matriz de enrutamiento general.

Los siguientes miembros en la familia Spartan 3 son las Spartan 3AN, que proporciona las ventajas de no ser de configuración volátil y suministran recursos de memoria flash en el dispositivo, y la Spartan 3A DSP, que expande el rango de densidades y que contiene recursos que habitualmente se usan en aplicaciones de procesamiento digital de señales. El último dispositivo que Xilinx ha sacado al mercado es la serie Spartan 6, que presenta un bajo consumo, hasta 150 millones de celdas lógicas e incluye bloques integrados PCI Express®, *slices* DSP a 250MHz, LUT de seis entradas, que Xilinx ya introdujo en la familia Virtex 5, y transceptores de baja potencia a 3.125 Gbps.

En lo que se refiere a la familia Virtex, los primeros miembros fueron la Virtex y la VirtexE. En esta familia, además de la lógica reconfigurable que permite implementar los diseños de los usuarios, se introducen bloques de memoria RAM organizados en columnas y distribuidos a lo largo del dispositivo. La variante VirtexE presenta más memoria en comparación con la Virtex. La segunda familia Virtex fueron las FPGA Virtex II y Virtex II Pro. Estos dispositivos están pensados para aplicaciones de alta velocidad, con un rango de puertas equivalentes que va desde las cuarenta mil hasta los diez millones de puertas.

Las siguientes familias de Virtex son la Virtex 4 y Virtex 5. La primera provee unos recursos lógicos que van desde los 30 hasta los 200 millones celdas lógicas. Tiene tres plataformas, la Virtex 4 LX, que contiene un alto número de celdas lógicas, la Virtex 4 SX, pensada para un procesamiento de señal de muy alto rendimiento, y la Virtex FX, especializada en procesamiento embebido y conectividad serie de alta velocidad. En la familia Virtex 5 se introdujo una arquitectura de grano más grueso con la aparición de las LUT de 6 entradas.

Cada CLB de la Virtex 5 tiene la mitad de *slices*, esto es, dos, y el doble de LUT y registros que en las familias de FPGA anteriores, con un total de cuatro. De esta manera se ha incrementado los recursos lógicos equivalentes que van desde los 30 a 330 millones de celdas lógicas. A su vez, se ha incrementado el tamaño de los bloques de memoria SelectRAM y se incluyen *slices* DSP especiales organizados en columnas.

Actualmente Xilinx ha sacado al mercado la familia Virtex 6, diseñada en tecnología de cobre de 40nm, la cual está pensada para diseño de aplicaciones específicas en las que se demanda un ancho de banda muy grande y un muy alto rendimiento. Presentan un consume un 50% inferior a las familias anteriores, con un costo un 20% menor.

Para el procesado embebido, Xilinx proporciona dos posibilidades. Por un lado se integran físicamente en el dispositivo núcleos de procesadores PowerPC (32 bits y arquitectura RISC, *Reduced Instruction Set Computer*) en las familias Virtex. Las Virtex 4 integran el PowerPC® 405 y las Virtex 5 el PowerPC® 440. Por otro lado, proporcionan núcleos de procesador en forma de *soft-cores*, los cuales se descargan en la FPGA para usarse. Xilinx ofrece los núcleos MicroBlaze (32 bits con arquitectura RISC), que se puede implementar tanto en la serie Spartan como en la serie Virtex, y el microcontrolador PicoBlaze (8 bits con arquitectura RISC), pensado para las familias Spartan 3, Virtex II y Virtex II Pro.

Las FPGA de Xilinx soportan reconfiguración y auto-reconfiguración parcial dinámica, lo que las convierte en el estándar de facto a la hora de desarrollar sistemas dinámicamente reconfigurables. Para permitir la posibilidad de auto-reconfiguración, Xilinx proporciona en el dispositivo integrado un puerto de configuración interno, o ICAP (*Internal Configuration Access Port*), aunque no está disponible en la familia Spartan 3 pero sí en la Virtex. De esta manera, el

hardware configurado en la FPGA puede controlar el proceso de reconfiguración de parte de la propia FPGA. Xilinx está desarrollando y enriqueciendo las posibilidades de reconfiguración dinámica en cada nueva familia que pone en el mercado.

### ***2.4.2.2 Otros fabricantes***

#### ***Altera***

Altera, al igual que su máximo competidor Xilinx, ofrece dos series de FPGA. Las FPGA Stratix de alto rendimiento y las Cyclone, de bajo coste. La serie Stratix se compone de varias familias con diferentes características:

1. la Stratix y la Stratix GX son las primeras familias de FPGA en tecnología de 130nm que introducen el uso de bloques IP (*Intellectual Property*) de DSP empotrados en el hardware;
2. En las familias Stratix II y Stratix II GX se introduce el modulo de lógica adaptativo ALM (*Adaptive Logic Module*), que contiene LUT de alto rendimiento. La familia GX, fabricada en tecnología de 90nm, incluye transceptores Gigabit y presenta un consumo menor que sus predecesoras;
3. la familia de FPGA Stratix III, fabricada en tecnología de 65nm, presenta un bajo consumo y alto rendimiento. Las subfamilias L y E presentan recursos de memoria extendidos, y la E contiene bloques hardware de procesamiento digital de señal DSP. Estas FPGA están pensadas para ser el núcleo en aplicaciones con altas necesidades de procesamiento;

4. las Stratix IV son la siguiente familia de FPGA de Altera con una alta densidad de lógica y un bajo consumo, fabricadas en tecnología de 40nm.

Al igual que Xilinx, Altera proporciona un núcleo IP de procesador de 32 bits y arquitectura RISC, denominado Nios II.

### *Atmel*

Atmel ofrece dos familias de FPGA: las AT40KAL y las AT6000. La familia AT40KAL está diseñada para ser aplicada en diseño de sistemas como coprocesador y DSP de alta densidad. El tamaño varía entre las cinco mil y cuarenta mil puertas equivalentes. Integra memoria distribuida de 10ns FreeRAM™, que libera a los elementos lógicos de ser empleados en la implementación de recursos de almacenamiento. Los recursos lógicos incluyen funciones lógicas estructuradas, como matrices de multiplicadores de tamaño variable que se pueden implementar directamente en las celdas lógicas sin necesidad de usar recursos de enrutamiento externos, lo que proporciona una mejora en la velocidad, el uso de recursos, la potencia consumida y el coste total. Esta tecnología de Atmel está disponible como núcleo embebido, concretamente en la familia FPSLIC™ (*Field Programmable System Level Integrated Circuits*). Los dispositivos FPSLIC combinan una FPGA AT40KAL en el rango de cuatro mil a cincuenta mil puertas equivalentes, con bloques memoria SRAM (hasta 36k Bytes) y un microcontrolador AVR de 8bits, arquitectura RISC y una frecuencia de 25MHz.

Los dispositivos AT6000 de Atmel y la serie de la AT40KAL de alimentación a 5V ya no están en producción, pero la empresa sigue haciendo mantenimiento de los mismos. Los AT6000 están diseñados para sistemas



basados en procesador en los que se quiere incrementar la velocidad y el rendimiento bajando el consumo, el número de elementos y el coste. El número de registros muy elevado que poseen, de 1020 a 6400, los hace ideales para el uso como coprocesadores DSP reconfigurables.

### *Lattice*

Esta empresa, además del desarrollo de FPAA como se vio en la sección anterior, desarrolla FPGA. Lattice ofrece la primera FPGA no volátil, reconfigurable cuantas veces se necesite, denominada ispXPGA. Este dispositivo contiene dos tipos de memoria: celdas de memoria SRAM y celdas de memoria no volátil EECMOS. La primera memoria se usa para controlar la configuración del dispositivo y la segunda para almacenar la configuración que luego se carga en la memoria SRAM, lo que permite que el dispositivo se reconfigure dinámicamente grabando la memoria EECMOS mientras el dispositivo continua funcionando. El dispositivo no soporta reconfiguración parcial. La memoria SRAM puede grabarse independientemente de la EECMOS, haciendo uso del puerto JTAG, o del puerto paralelo de configuración, mientras que para programar la memoria no volátil solo puede usarse el puerto JTAG. En cuanto a procesado embebido, Lattice también proporciona núcleos *open-source* de procesadores de 32 bits y arquitectura RISC.

## **2.5 Plataformas de instrumentación reconfigurables:**

### **Estado de la técnica**

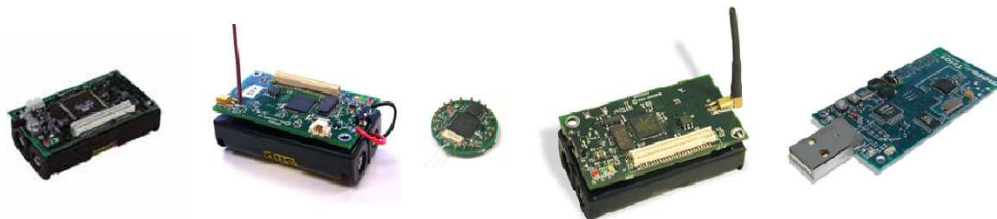
En la bibliografía consultada se constata que numerosos grupos de investigación desarrollan plataformas de instrumentación reconfigurables, pero

en la mayoría de los casos estas plataformas son reconfigurables en el ámbito digital, haciendo uso de FPGA, mientras que el diseño analógico de la misma se deja fijado al sensor o es un diseño estático en la plataforma. Otro conjunto de plataformas están diseñadas en torno a un dispositivo reconfigurable analógico y un microprocesador o microcontrolador digital que se encarga de la configuración de la FPAA y de un procesado digital básico antes de entregar la información a un *host*. Dentro de este grupo se encuentran todas las placas de evaluación que los proveedores de dispositivos analógicos reconfigurables tienen en el mercado, como es el caso representativo de Anadigm y Lattice. Un caso límite de estos enfoques son los desarrollos en torno a los PSoC de Cypress presentados anteriormente en la sección 2.4.1.2. Por otro lado, existe lo que se denominan plataformas modulares para sensores, las cuales se estructuran en distintos niveles de hardware, siendo estos niveles escalables. En estas plataformas el núcleo de procesado suele ser un microcontrolador, el cual cambia su programación en función de los módulos que se conecten los puertos de expansión que tiene. Estos módulos pueden ser tanto tarjetas de acondicionamiento con sensor incorporado, como módulos de procesamiento digital que incorporen dispositivos reconfigurables.

Estos tipos de desarrollos están pensados para aplicaciones menos genéricas que las que competen a esta tesis, en la que se presenta una aproximación nueva con dos dispositivos reconfigurables, uno analógico y otro digital, lo que hace la plataforma completamente reconfigurable, mientras que los trabajos que a continuación se recogen sólo lo son en uno de estos ámbitos.

### *Plataformas para sensores inalámbricos*

En el campo de las redes de sensores y los sensores inalámbricos, la mayoría del trabajo desarrollado relacionado con la reconfigurabilidad se basa en el

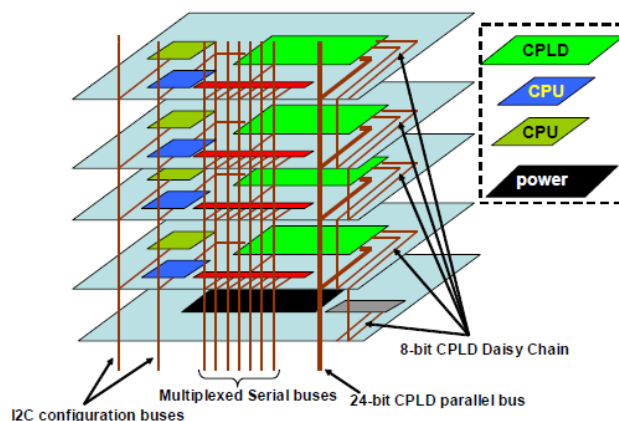


**Figura 2.32** De izquierda a derecha: Mica, Mica 2, Mica2Dot, Micaz, TelosB.

desarrollo de sistemas modulares como ya se ha comentado en la introducción de este capítulo.

En el *Department of Electrical Engineering and Computer Sciences* de la Universidad de California en Berkeley se han desarrollado los nodos para redes de sensores inalámbricos modulares que más impacto han tenido en la comunidad científica, y que se han extendido a entornos comerciales. Estos nodos van desde la plataforma Mica hasta su versión más actualizada, el TelosB (Polastre, Szewczyk & Culler 2005), como se muestra en la Figura 2.32. La característica común a todas estas plataformas es la modularidad a nivel de sensor conectado. La plataforma siempre es la misma a nivel de procesador e interfaces de comunicaciones, pero pueden añadirse módulos con la circuitería específica para acondicionar nuevos sensores. Todas ellas tienen como núcleo un microcontrolador y el software empleado es el sistema operativo TinyOS, desarrollado en el mismo departamento.

En el *Computer Engineering and Networks Laboratory* de Zurich se ha desarrollado la plataforma BTnode (Beutel, Dyer & Thiele 2005) que tiene la misma arquitectura que la Mica de Berkeley. En este mismo sentido, en Intel Research ha desarrollado las plataformas Intel Mote (Nachman et al. 2005) e Intel Mote2 (Adler et al. 2005), con software TinyOS y que tiene modularidad por capas.



**Figura 2.33** Estructura de la mPlatform de Microsoft Research (Lymberopoulos et al. 2007).

Microsoft Research ha presentado su plataforma modular mPlatform (Lymberopoulos et al. 2007), cuya estructura puede verse en la Figura 2.33, con múltiples procesadores y adicionalmente con módulos con dispositivos reconfigurables CPLD (*Complex Programmable Logic Device*).

En la Universidad de Darmstadt (Hinkelmann 2008) han desarrollado una plataforma reconfigurable basada en FPGA para desarrollo de prototipos de nodos de redes inalámbricas.

En la Universidad Politécnica de Madrid, en el Centro de Electrónica Industrial, se ha desarrollado una plataforma reconfigurable con arquitectura modular basada en FPGA para nodos en redes de sensores (Portilla et al. 2008). El sistema consta de un microcontrolador y una FPGA Spartan 3, y su prototipo con las placas de expansión puede verse en la Figura 2.34. El sistema puede reconfigurar parcialmente de manera remota la FPGA con la configuración necesaria. La interfaz de configuración elegida para la FPGA es el JTAG, lo que hace que el sistema sea escalable y puedan añadirse más módulos de procesado en FPGA, como en el caso de los módulos de procesado



Figura 2.34 Placa con el Microcontrolador y PFGA junto con los módulos de acondicionamiento (Portilla et al. 2008).

analógico de los que consta la plataforma, lo cuales pueden verse en la Figura 2.34. De esta manera, la plataforma es modular tanto en su vertiente digital como analógica.

### *Plataformas para instrumentación: PSoC y FPGA*

En los sistemas reconfigurables analógico-digitales PSoC, basados en un chip, el diseñador dispone generalmente de un microcontrolador para procesamiento digital, control de los puertos de comunicación, un conjunto de recursos de acondicionamiento y procesamiento analógico, y un conjunto de recursos de comunicación en forma de puertos implementados en hardware. En general, en la literatura se encuentran aplicaciones de estos dispositivos a problemas y sensores específicos, como por ejemplo en la Universidad de Perugia (Bissi, Pladici & Scorzoni 2007) donde han desarrollado una técnica para estimar el *offset* generado en los bloques analógicos del PSoC de Cypress que se usa para una aplicación embebida para sensores inteligentes capacitivos.

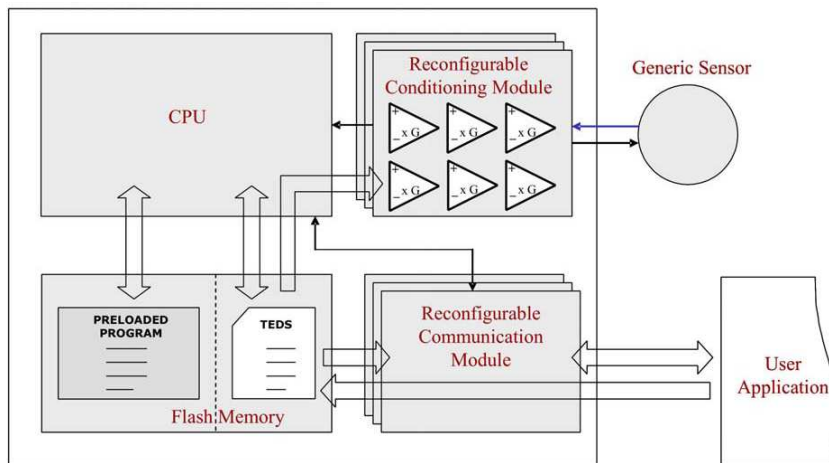


Figura 2.35 UISI del Instituto Italiano de Tecnología (Mattoli et al. 2010).

El mismo PSoC de Cypress se utiliza en el Instituto Italiano de Tecnología (Mattoli et al. 2010) para desarrollar una interfaz universal para sensores inteligentes denominada UISI (*Universal Intelligent Sensor Interface*) cuya estructura puede verse en la Figura 2.35. Esta interfaz puede convertir transductores genéricos en sensores inteligentes con múltiples interfaces estandarizadas, incluido el IEEE 1451.3.

La misma filosofía se usa en el INSA (*Institut National des Sciences Appliquées*) de Lyon (Massot et al. 2009) para el desarrollo de una plataforma portable basada en un PSoC de Cypress, para medida de magnitudes biomédicas en pacientes, tales como ritmo cardiaco y respuestas electro-dérmicas.

En lo que se refiere al uso de dispositivos reconfigurables digitales FPGA en plataformas para instrumentación, hay diferentes trabajos todos encaminados a conseguir más potencia de procesamiento y versatilidad a la hora de afrontar distintas aplicaciones. En general, en estos trabajos la placa consta de una

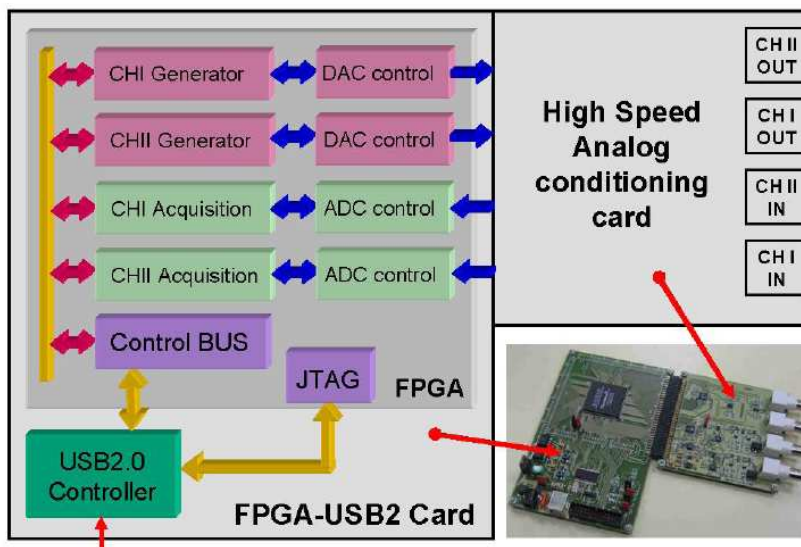


Figura 2.36 Estructura de la placa de instrumentación reconfigurable de la U. de Vigo (Grana & Perez 2007).

FPGA y un microcontrolador que se encarga de tareas de configuración y/o comunicaciones con la FPGA. En la FPGA se suelen implementar aplicaciones que contienen un núcleo microprocesador embebido y/o aplicaciones de procesamiento específica. En lo que se refiere a la interfaz con los elementos sensores, normalmente se desarrolla una interfaz específica dependiendo de la aplicación.

Así en el Departamento de Electrónica de la Universidad Tecnológica Kun-Shan de Taiwan (Tsai et al. 2004) se ha desarrollado una plataforma para instrumentos reconfigurables basada en FPGA. La plataforma permite implementar distintas aplicaciones en base a los dos tipos de reconfiguración que permite, software y hardware.

En el Departamento de Electrónica de la Universidad de Brescia (Depari et al. 2007) se ha desarrollado un modelo reconfigurable de STIM en lenguaje HDL (*Hardware Description Language*) según se especifica en el estándar IEEE 1451.2.

En una orientación más cercana a los planteamientos de esta tesis, en el Departamento de Tecnología Electrónica de la Universidad de Vigo (Grana & Perez 2007) se ha desarrollado una plataforma para instrumentación basada en FPGA y con elementos de adquisición de señales programables que se incluyen en una tarjeta de adquisición conectada a la plataforma con la FPGA, que permite el uso de amplificadores con ganancias programables. En la Figura 2.36 puede verse la estructura de este desarrollo.

Como puede deducirse de la exposición anterior, en las plataformas de instrumentación y sensorización presentadas la reconfigurabilidad está limitada a uno de los dos ámbitos que en este trabajo de tesis se manejan, el analógico o el digital. Aquellos desarrollos modulares para redes inalámbricas reconfiguran mediante software el módulo con el microcontrolador, pero la parte analógica de cada módulo sensor es fija y prediseñada. Las basadas en PSoC, aunque tiene versatilidad en los dos ámbitos, la capacidad de procesamiento digital queda mermada en relación a la que se consigue haciendo uso de dispositivos FPGA. Por otro lado, las basadas en dispositivos FPGA adolecen de versatilidad en el ámbito analógico con un número limitado de entradas, tanto en las soluciones para redes de sensores inalámbricos como las pensadas para instrumentación en general.

## **2.6 Conclusiones**

En este capítulo se han presentado los componentes de un sistema de instrumentación, distinguiendo cada uno de los subsistemas que lo componen. Se ha presentado una discusión sobre qué se entiende por un sensor inteligente según la literatura existente. A continuación, se ha presentado el esfuerzo realizado por el IEEE para estandarizar el desarrollo de sensores inteligentes



buscando simplificar la interconexión de estos sensores a redes.

Se han presentado los dispositivos reconfigurables tanto analógicos como digitales que están disponibles en el mercado y a su vez se ha realizado un estudio de los dispositivos analógicos reconfigurables que se han desarrollado en investigación en los últimos años.

Por último, se ha realizado un estudio de precedentes presentes en la literatura del desarrollo de plataformas de instrumentación reconfigurables tanto analógicas como digitales.

El estudio de todos estos elementos se realiza para mostrar el marco en el que se ha desarrollado este trabajo, particularizando que:

- el estudio de los elementos que conforma un sistema sensor y de los protocolos de comunicación estandarizados en estas aplicaciones, permite concluir que el empleo de una plataforma reconfigurable en una etapa inicial del desarrollo de un sistema de instrumentación, facilita decidir qué subsistemas del mismo pueden diseñarse analógicamente y por otra parte, cuáles de ellos es más interesante implementar digitalmente, dependiendo del sistema particular en desarrollo;
- el estudio de los dispositivos analógicos reconfigurables permite concluir que sólo los dispositivos de Anadigm y Cypress siguen en producción y disponibles. En cuanto a los dispositivos desarrollados en investigación, prácticamente todos son prototipos de los cuales no hay unidades para testeo de las mismas fuera del entorno de los desarrolladores. Aun así, los dispositivos RASP del *Georgia Institute of Technology* parecen ser versátiles y proporcionar unas altas posibilidades de procesado analógico;

- en el ámbito de los dispositivos reconfigurables digitales, Xilinx se ha convertido en el proveedor por excelencia y en el estándar de facto en la industria e investigación hasta tal punto que otros proveedores como Quicklogic han abandonado la producción de dispositivos FPGA;
- las plataformas de instrumentación reconfigurables desarrolladas en otros trabajos permiten concluir que no existe, salvo omisión involuntaria, una plataforma reconfigurable en el sentido y variabilidad de modos que este trabajo presenta.

Todo lo anterior justifica el desarrollo de una plataforma reconfigurable, tanto digital como analógicamente, que permita el estudio e implementación de aplicaciones de instrumentación y sensores inteligentes.



## Capítulo 3. Prototipado de plataformas instrumentales reconfigurables

### 3.1 Introducción

En este capítulo se propone e implementa una plataforma para desarrollo de instrumentación electrónica en la que se pueda procesar un amplio abanico de señales procedentes de muy distintos sensores y/o sistemas. Esta plataforma está basada en la conjunción de dispositivos reconfigurables, tanto analógicos como digitales. Al hacer uso de estos dispositivos en esta plataforma se consiguen dos fines primordiales: el primero es el uso de esta plataforma como sistema de desarrollo de prototipos de instrumentos electrónicos para adquisición y procesado de señales. El uso de estos dispositivos reconfigurables es idóneo para este fin, ya que permite rediseñar el sistema en desarrollo cuantas veces sea necesario siguiendo el flujo de diseño que ya se presentó en el capítulo 2 y que puede verse en la Figura 2.9. Cabe destacar que, al ser reconfigurable tanto en el dominio analógico como en el digital, se cubren todos los flancos del diseño en el camino de la señal a través del instrumento, desde que ésta se adquiere del entorno (elemento sensor o sistema) hasta que se entrega al receptor ya procesada. A su vez, abre la posibilidad de estudio y dimensionado de las partes del sistema en el sentido de poder discriminar qué elementos de procesado se pueden implementar analógicamente, cuáles digitalmente y determinar dónde se sitúa la frontera entre ambos, esto es, el convertidor analógico-digital.

El segundo fin de esta plataforma es el desarrollo de instrumentación inteligente que pueda afrontar el ser interfaz para sensores de muy distinta índole, dotando al instrumento de versatilidad e inteligencia en el sentido que ya se presentó en el capítulo 2, de manera que el instrumento cumpla distintos estándares.

Esta configuración puede ser muy útil en el caso de los sensores inteligentes entre otros. Las aproximaciones tradicionales en el trabajo con sensores hacen uso de bloques rígidos a la hora de implementar las etapas principales del procesado de la señal recibida del sensor. Estas etapas incluyen habitualmente un acondicionamiento de la señal, que dependerá de las características propias de cada sensor, una conversión analógico-digital de resolución fija, un post-procesado digital de la señal haciendo uso de un microprocesador y, por último, una etapa de transmisión de señal. La plataforma que se presenta tiene una arquitectura alternativa, ya que la combinación, de la FPGA y la FPAA, ofrece una comunicación versátil y un procesado más flexible de la señal procedente del sensor, proporcionando, además, la oportunidad del acondicionamiento analógico para diferentes tipos de sensores.

De esta forma, la FPAA implementa la interfaz analógica adecuada a cada tipo de sensor, realizando además la conversión A/D. Al mismo tiempo, la FPGA implementa los bloques digitales más adecuados al tipo de sensor y proporciona la interfaz adecuada con los buses de comunicación. El uso de estos dos dispositivos en conjunto proporciona la flexibilidad que se necesita para un prototipado rápido de sensores inteligentes, interfaces analógicas múltiples y flexibles, así como arquitecturas digitales de alta complejidad.

En los siguientes apartados se presenta la arquitectura de la plataforma desarrollada y las especificaciones técnicas de la misma. Se van a presentar tres desarrollos realizados. Una primera versión más simplificada basada en kits de evaluación y desarrollo de los fabricantes y en base a la cual se ha diseñado una

segunda versión más compleja y versátil de la misma. El tercer desarrollo amplía las posibilidades de los dos anteriores

## 3.2 Motivación y fundamentos.

Al desarrollar una plataforma para instrumentación electrónica en esta tesis desde los primeros trabajos realizados, (Morales et al. 2007), (Morales et al. 2008) se ha empleado la capacidad de reconfiguración de los dispositivos electrónicos FPAA y FPGA para el acondicionamiento de señales procedentes de sensores. En la bibliografía consultada hay desarrollos de instrumentación, como los presentados en el capítulo anterior, donde un cierto grado de reconfigurabilidad y adaptabilidad se consigue, ya sea en el ámbito analógico como en el digital.

En las aplicaciones para sensores, para la implementación del acondicionamiento analógico, se ha impuesto el uso de sistemas modulares, sobre todo en el campo de los sensores inalámbricos. En estos sistemas modulares, el cambio de un sensor a otro se lleva a cabo cambiando un módulo o tarjeta, que lleva incorporado el sensor y la electrónica suficiente para que la salida del módulo presente una interfaz genérica que le permita conectarse a un sistema de procesado digital, bien sea este un microcontrolador o un procesador digital de señales. El uso de dispositivos reconfigurables analógicos no es una opción extendida, pero se ha aplicado a la resolución de problemas de medida específicos, obteniéndose unos buenos resultados (Bissi, Pladici & Scorzoni 2007), (Callegari et al. 2006). En estas aplicaciones, el procesado digital en general se deja a un *host* o se lleva a cabo por un microcontrolador en el sistema. No obstante, en el trabajo desarrollado en esta tesis, la FPAA es el elemento encargado del acondicionamiento analógico y en cada instante se

modifica su configuración en función del sensor o sensores que se le conecten y en función de la forma en que la señal que éstos proporcionan varíe en el tiempo.

Así mismo, en la cadena de procesado de la señal del sensor, en el procesado digital sí es más común el uso de dispositivos reconfigurables, como los expuestos en el capítulo anterior pero tradicionalmente el procesado in situ, en el propio instrumento electrónico, se ha llevado a cabo usando procesadores genéricos para aplicaciones no muy complejas, o procesadores dedicados y circuitos ASIC para casos con una elevada carga computacional. El uso de FPGA ha estado relegado a su empleo como coprocesadores gracias a su alta capacidad de cómputo en muchas aplicaciones de instrumentación actuales. En este trabajo la FPGA es el elemento central del procesado digital, ya que proporciona opciones versátiles de procesado (Meyer-Baese 2007), manteniendo las ventajas de los diseños personalizados y específicos de los ASIC y eliminando su alto coste de desarrollo e incapacidad para ser modificado después del proceso de producción. Adicionalmente, la posibilidad de implementar núcleos IP (*Intellectual Property*) de microprocesadores y controladores permite que no solo actúe como coprocesador, sino que esté encargada de la configuración de la FPAA y controle el estado del sistema completo.

### ***Reconfigurabilidad***

La idea fundamental de este trabajo de tesis es el aprovechar las sinergias que se crean cuando se utilizan dos dispositivos reconfigurables, uno analógico y otro digital. En la Figura 3.1 se presenta un esquema de esta idea, que se irá desarrollando en éste y sucesivos capítulos. El diseñador que se enfrente a un problema de adquisición de señales al hacer uso de esta configuración tiene

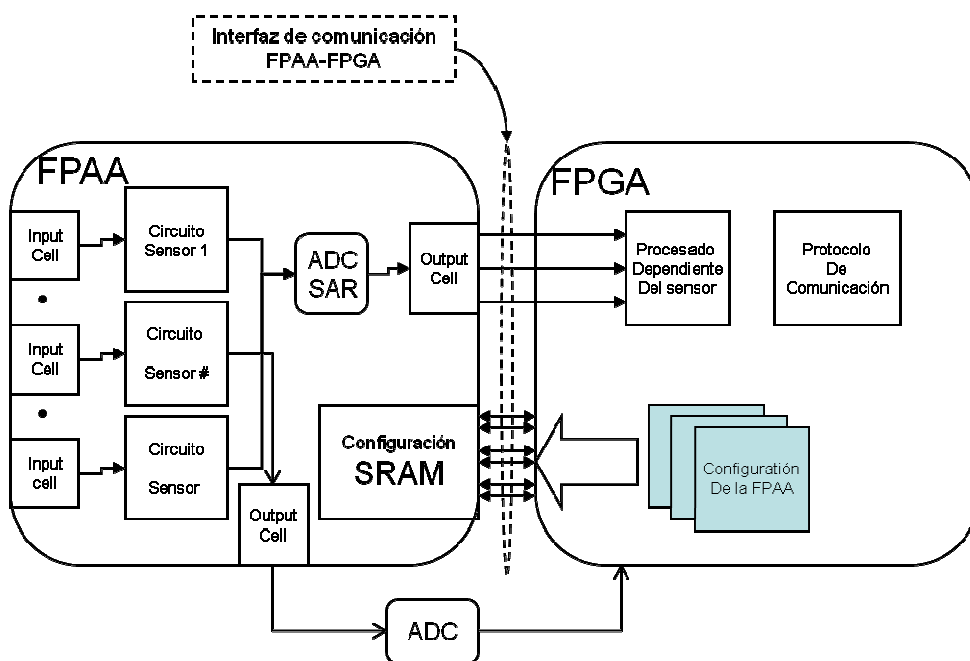


Figura 3.1 Diagrama de interacción FPAA-FPGA.

libertad a la hora de qué implementar y dónde hacerlo. En esta estructura puede implementarse y distribuirse cualquiera de los elementos que componen una etapa de acondicionamiento, tal y como se presentó en el capítulo 2, y es más, el diseñador puede probar la mejor ubicación del ADC como elemento que conecta los dominios analógico y digital en el camino que sigue la señal.

Pero no sólo puede utilizarse este sistema como plataforma de prototipado, donde un *host* reconfigura cualquiera de los elementos del sistema y recoge los resultados. El uso de estos dispositivos posibilita el diseño de estructuras de acondicionamiento auto-reconfigurables, la cuales permiten modificar estructuras de procesamiento implementadas en hardware, con el beneficio que esto puede tener en rendimiento del sistema. A continuación se van a presentar los tipos de reconfiguración que permite el binomio FPAA-FPGA.



### *Reconfigurabilidad subordinada.*

Con este término se hace referencia a la posibilidad de que tanto la FPAA como la FPGA se reconfiguren de modo subordinado a otro dispositivo. Por ejemplo, la FPAA cambia su configuración a requerimiento de la etapa de procesado que se ha implementado en la FPGA. Este es el caso, por ejemplo, de la aplicación desarrollada en el capítulo siguiente, donde mediante reconfiguración de la etapa analógica se incrementa la resolución efectiva del ADC que puede implementarse en la FPAA. En este caso la FPGA actúa como un microcontrolador y, de hecho, se implementa un núcleo microcontrolador en el dispositivo.

Por otro lado, el procesado de señal digital en la FPGA puede estar perfectamente subordinado a la etapa analógica implementada en la FPAA. Un ejemplo sencillo es la implementación de comparadores de nivel analógicos que disparen una reconfiguración en la FPGA y la señal se procese de forma diferente cuando alcanza un determinado nivel una variable en la FPAA.

### *Auto-reconfiguración*

La auto-reconfiguración en dispositivos digitales FPGA es un campo bien conocido y maduro, principalmente gracias a las tecnologías desarrolladas Xilinx. La auto-reconfiguración es un caso particular de la reconfiguración parcial. Estos dispositivos pueden mantener en funcionamiento determinadas áreas del mismo, mientras otras están cambiando su configuración. En la Figura 3.2 se muestra un ejemplo de aplicación en la que se utiliza el núcleo MicroBlaze como procesador encargado de realizar la auto-reconfiguración de la FPGA. La idea que representa en Figura 3.2 radica en la posibilidad de crear un hardware de procesado digital ad hoc en función del tipo de señal que proporciona el sensor conectado a la FPAA. Si el sensor cambia, el MicroBlaze

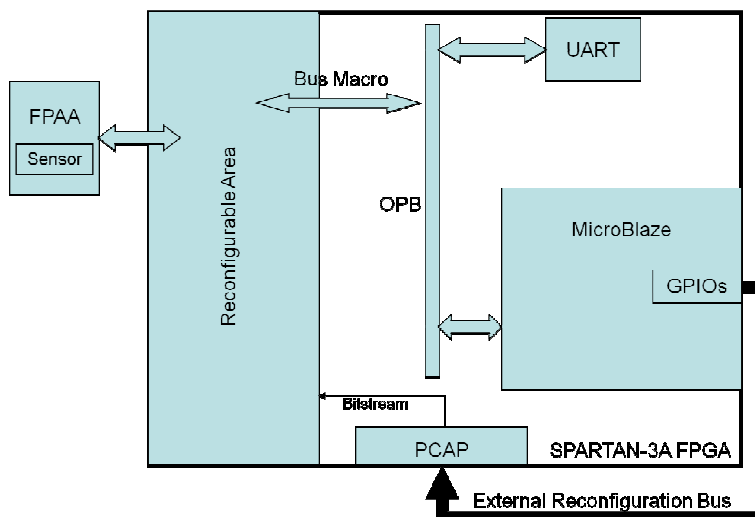
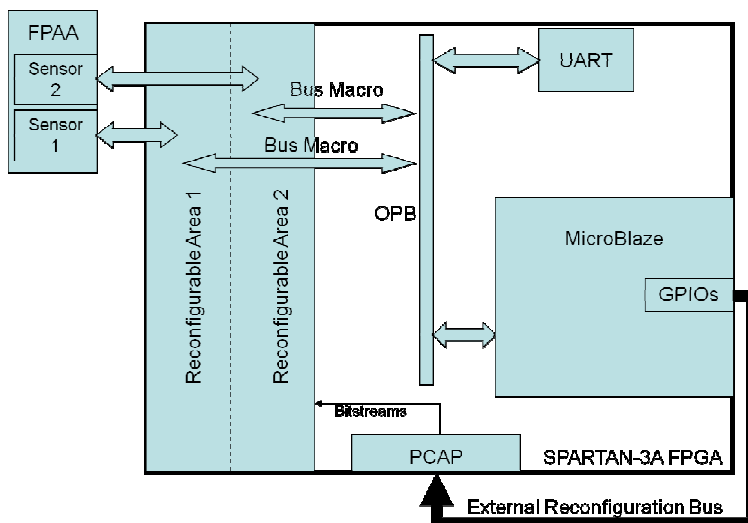


Figura 3.2 Esquema de auto-reconfiguración de la FPGA en una Spartan 3. Estos dispositivos necesitan el ruteo externo de puerto PCAP para que sea accesible internamente (González, Aguayo & Lopez-Buedo 2007).

reconfigura la FPAA y la región de la FPGA donde se localice el hardware. Este es el área reconfigurable en la Figura 3.2.

La reconfiguración parcial en los dispositivos FPGA de Xilinx puede realizarse gracias a que en la estructura de la FPGA determinadas circuiterías de comunicación o buses no desaparecen cuando el dispositivo se reconfigura. Estas estructuras están implementadas en hardware fijo y son los enlaces entre las distintas zonas reconfigurables parcialmente. La comunicación de señales entre distintas zonas debe realizarse a través de ellas. En la Figura 3.2 se representa una de estas estructuras, denominada Bus Macro.

Una extensión de esta filosofía de funcionamiento que habilita la reconfiguración parcial de distintas zonas de la FPGA permite implementar acondicionamiento para sistemas multi-sensor. Dado que la FPAA, como muestra la Figura 3.1, puede acondicionar la señal de varias fuentes o sensores



**Figura 3.3 Sistema multi-sensor reconfigurable.**

implementando un acondicionamiento específico para cada uno de ellos, el procesamiento digital puede diseñarse también específico para cada sensor. En la Figura 3.3 se muestra una posible implementación de ello. Esta aproximación está directamente indicada para los sensores que cumplen el estándar IEEE 1451.4. Estos sensores pueden auto identificarse gracias a que llevan incluida una memoria *1-wire* como se explicó en el capítulo 2. Esta orientación ya se ha empleado para la carga automática del hardware de control de periféricos en otros trabajos de investigación (Bergmann, Lu & Williams 2007). En estos, cada periférico se dota de una memoria de este tipo y al conectarse, la FPGA la reconoce y carga el hardware específico. En los sensores del estándar 1451.4, en esta memoria se guarda la TEDS del sensor que contiene información de identificación y distintas plantillas de datos importantes para el sensor, como pueden ser el rango de salida, sensibilidad, etc. En los 64 primeros bits de la TEDS se almacena la identificación del sensor y, por tanto, pueden ser usados por la plataforma que se presenta en la Figura 3.3 para cargar la configuración idónea de la FPAAs, y así implementar el STIM para estos sensores. Por otro

lado, permite introducir el procesamiento digital necesario en la zona reconfigurable de la FPGA. Además la FPGA es idónea para implementar el procesador de red NCAP (Rossi et al. 2009) que el estándar IEEE 1451.2 define.

Los trabajos presentados en los capítulos siguientes se han realizado siguiendo las ideas fundamentales expuestas en este apartado. Como se verá, los resultados obtenidos han validado esta metodología de trabajo con la plataforma reconfigurable.

### **3.3 Descripción de los componentes principales de la plataforma.**

En este apartado se realiza una descripción exhaustiva de los dispositivos que se han elegido como componentes de la plataforma de instrumentación desarrollada. Destacaremos las funciones que realizan y sus cualidades. Se comenzará presentando las FPAA de Anadigm que se emplean, mostrando las interfaces de entrada de señal que tienen y el modo de conexión de distintos dispositivos sensores para conseguir un buen acondicionamiento analógico. Se presentan a continuación otros elementos usados: PSoC de Cypress, ADC externo, microcontrolador PIC y FPGA en una manera más extensa y particularizada que aquélla en la que se hizo en el capítulo 2.

#### **3.3.1 Dispositivo AN221E04**

Como ya se ha dicho, los dispositivos FPAA de Anadigm pueden considerarse procesadores analógicos debido al conjunto de funciones que pueden implementar. En este trabajo de tesis el dispositivo usado es el

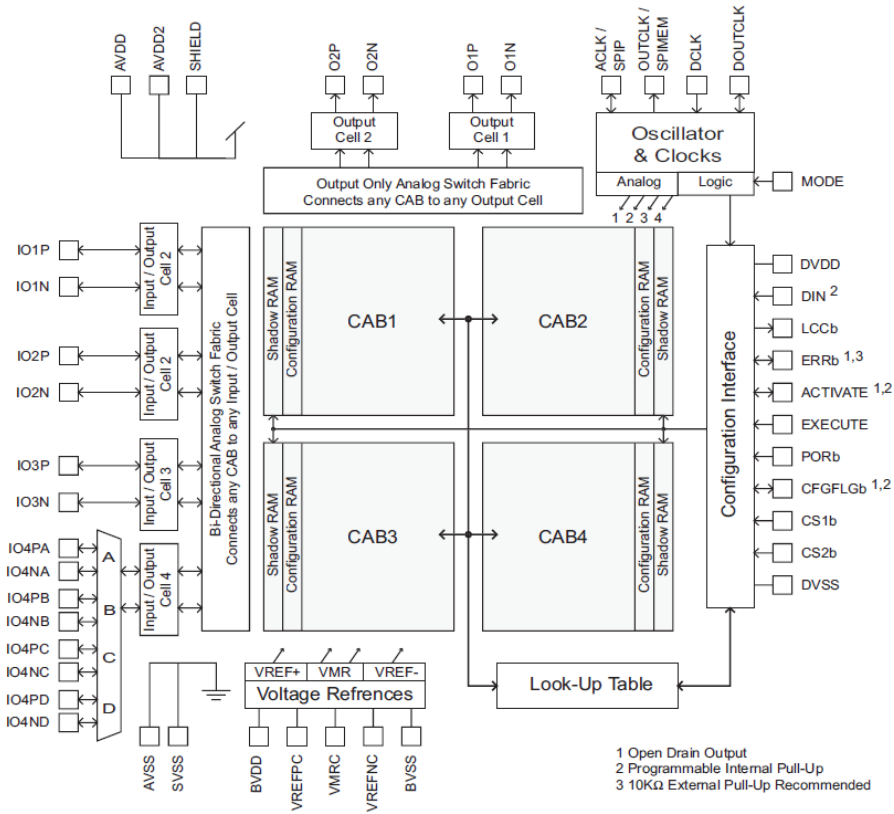


Figura 3.4 Estructura del AN221E04 (Anadigm 2010).

AN221E04 (Anadigm 2010), aunque en un primer prototipo se ha usado el AN231E04, el cual varía principalmente en la tensión de alimentación que en éste es de 3.3V y en el primero de 5V. A continuación se va a realizar una descripción de las funciones y características de configuración que tiene.

### 3.3.1.1 Descripción y configuración del AN221E04

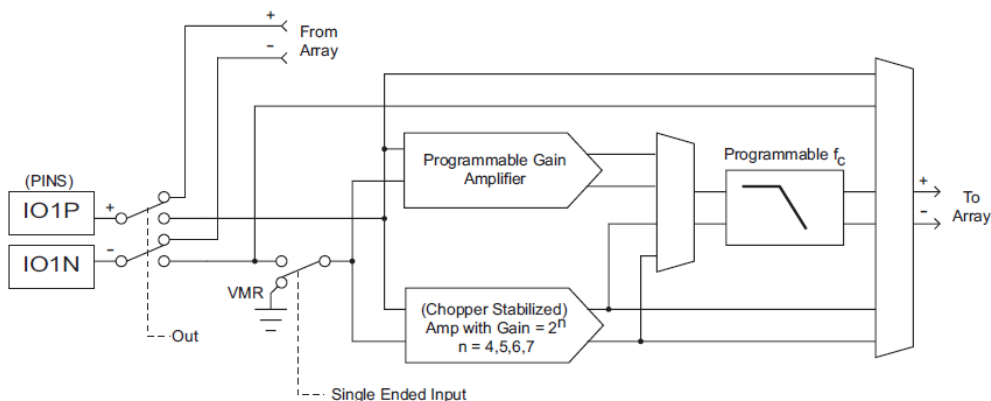
Los elementos que componen la FPAA AN221E04 pueden verse en el diagrama de la Figura 3.4. El integrado consta de cuatro celdas de entrada/salida donde se conectan las señales analógicas procedentes del exterior. Estas celdas de entrada admiten señales unipolares y diferenciales. La

cuarta celda tiene un multiplexor analógico a la entrada que permite la conexión de cuatro señales diferenciales u ocho señales unipolares de entrada. Estas celdas de entrada/salida proporcionan elementos de acondicionamiento para un primer tratamiento de la señal. Toda la circuitería interna analógica del dispositivo es completamente diferencial, definiéndose la tensión de referencia interna VMR (*Voltage Main Reference*) de 2V sobre la que varían las señales. El dispositivo contiene cuatro CAB (*Configurable Analog Block*), donde se realiza el procesado analógico. Los cuatro CAB tiene acceso a una tabla de consulta LUT (*Look Up Table*) que permite ajustar los valores de la salida de los elementos programables en función de valores de señales de entrada o tiempo. Esta LUT se puede usar para implementar funciones de transferencia definidas por el usuario, generar funciones arbitrarias y definir un filtrado que dependa de un valor de tensión.

El dispositivo proporciona dos celdas dedicadas de salida, por lo que en total se tienen hasta 9 salidas de señal posible si las celdas de entrada/salida se usan como salidas. Las celdas de salida dedicadas proporcionan elementos de procesado opcionales. Estas dos celdas proporcionan una salida digital para los resultados del comparador y ADC de aproximaciones sucesivas incluidos en los CAB, como se verá a continuación.

El dispositivo admite una señal de reloj externa, o puede generar su propia señal de reloj mediante el oscilador integrado que posee, al que se le conecta un cristal externo que se detecta automáticamente. Esta señal de reloj se puede dividir en cuatro señales sincronizadas de diferentes frecuencias usando divisores programables; cualquiera de estas cuatro señales de reloj están disponibles como reloj de salida del dispositivo.

El comportamiento de los CAB, divisores de señales de reloj, celdas de entrada y celdas de salida se controla mediante el contenido de la memoria

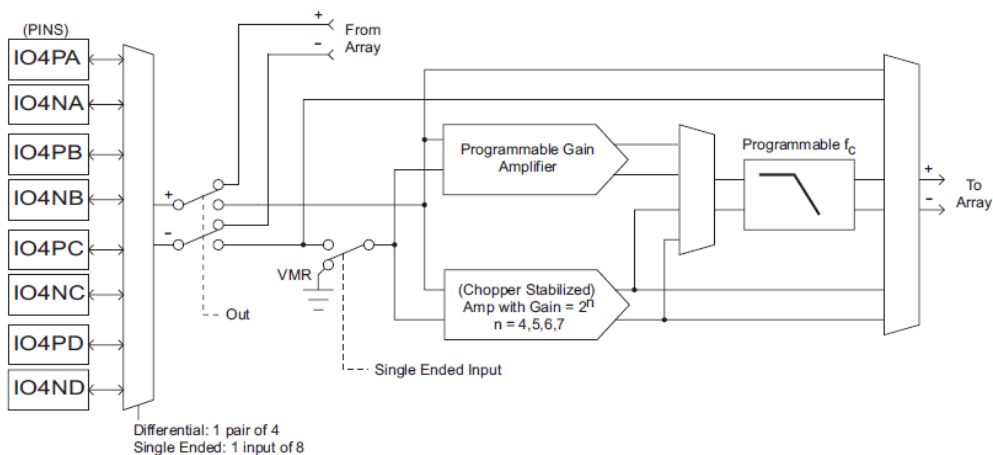


**Figura 3.5 Elementos de una celda de entrada/salida 1 de la FPAA AN221E04 (Anadigm 2010)**

SRAM de configuración (*Configuration SRAM*). Por cada bit de la memoria de configuración SRAM hay un bit en la memoria *Shadow SRAM*. Esta memoria puede modificarse sin interrumpir el procesado analógico que esté activo. Esto permite la modificación *on-the-fly* de las funciones analógicas implementadas. La configuración del dispositivo se realiza a través de la interfaz digital del mismo mediante estándar SPI. Este dispositivo puede actuar como maestro del SPI y descargar la configuración desde una memoria EPROM, o actuar como esclavo y ser configurado por un maestro. A continuación se van a presentar cada uno de los bloques mencionados.

### ***Celdas de entrada/salida***

Cada celda de entrada/salida (*Input/output Cell 1, 2 y 3* en la Figura 3.4) contiene un conjunto de elementos de procesado. Las celdas de entrada/salida aceptan señales diferenciales y unipolares, aunque como se ha dicho, toda la circuitería interna del dispositivo es completamente diferencial. Cuando se conectan señales unipolares a la entrada, la línea negativa de la señal diferencial interna se conecta mediante un conmutador a la referencia VMR,



**Figura 3.6 Celda 4 con el multiplexor bidireccional (Anadigm 2010)**

como puede verse en la Figura 3.5. Los elementos de procesado en la celda de entrada son un amplificador de ganancia programable, un amplificador *chopper* de ganancia programable, y un filtro *antialiasing* con frecuencia de corte programable. Todos los elementos pueden no ser usados, y la señal de entrada irá directamente a los CAB. Los amplificadores pueden usarse alternativamente y el filtro *antialiasing* puede colocarse en baipás. La ganancia de los amplificadores puede tomar los valores 16, 32, 64 y 128. Cuando se usa como celda de salida ninguno de estos elementos está disponible y la señal diferencial procedente de los CAB se encamina directamente a los pines de salida.

La celda de entrada/salida número cuatro contiene un multiplexor bidireccional analógico, como muestra la Figura 3.6, que permite la conexión de cuatro señales diferenciales de entrada u ocho unipolares, y cuatro cargas diferenciales u ocho unipolares cuando la celda se usa como salida, aunque solo una de estas entradas o salidas estará conectada con los elementos de la FPAA y podrá ser procesada individualmente.



### *Celdas de salida*

El dispositivo consta de dos celdas dedicadas de salida que suministran una señal diferencial analógica de salida, o una salida digital para los registros de aproximaciones sucesivas SAR (*Successive Approximation Register*) y comparadores, ambas procedentes de los bloques analógicos configurables CAB. Cualquiera de estos CAB puede conectarse a cualquiera de las salidas dedicadas mediante el multiplexor de entrada a las celdas de salida, como muestra la Figura 3.4. Las celdas de salida contienen los siguientes elementos de procesado que se muestran en la Figura 3.7: un filtro de segundo orden programable igual que el de las celdas de entrada, el cual se usa para eliminar el ruido de conmutación y el escalonado de la señal de salida y dos convertidores de señal diferencial a señal unipolar. Estos elementos pueden colocarse en baipás y conectar directamente la señal de los CAB a los pines de salida.

### *Bloques Analógicos Configurables CAB*

En el dispositivo hay cuatro CAB, las funciones disponibles en la librería de módulos analógicos configurables CAM que contiene el software

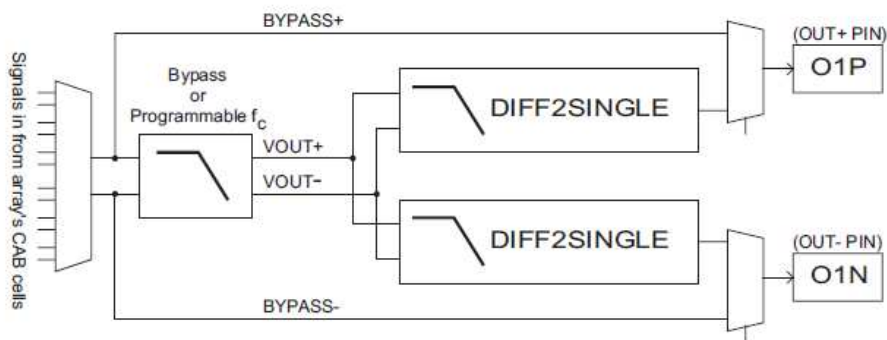
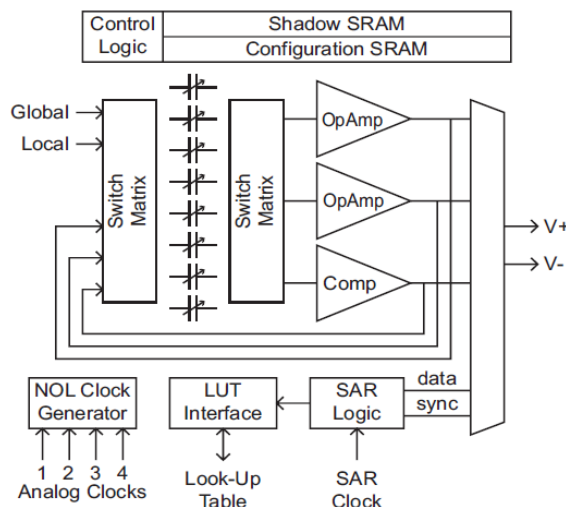


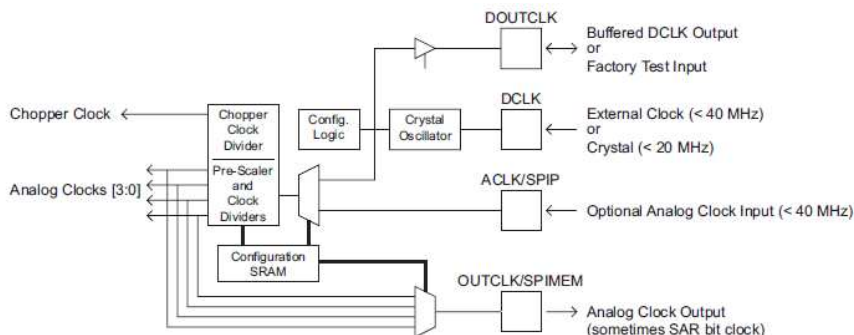
Figura 3.7 Celda de salida dedicada del AN221E04 (Anadigm 2010)



**Figura 3.8** Arquitectura de un bloque analógico configurable CAB (Anadigm 2010)

AnadigmDesigner2 se implementan en los bloques analógicos configurables. En la Figura 3.8 se muestra el esquema de un CAB. El bloque está compuesto por dos matrices de conmutadores, 8 capacidades de valor programable, dos amplificadores operacionales, un registro de aproximaciones sucesivas, un generador de señales de reloj desfasadas y una interfaz de acceso a la LUT que tiene el dispositivo. Las matrices de conmutadores se controlan mediante la memoria de configuración SRAM. La configuración de estos conmutadores puede ser estática durante el funcionamiento de la configuración y, en ese caso, determinan las conexiones del circuito, el valor de las capacidades y que entrada está activa. Por otro lado la configuración de los conmutadores puede ser dinámica y, por tanto, cambian su valor controlados por la señal analógica de entrada, la fase del reloj seleccionado y la lógica SAR.

Las señales analógicas entrantes al CAB se conectan al primer banco de conmutadores. Este banco también recibe realimentada la salida de los amplificadores operacionales y el comparador del CAB. El banco de capacidades programables se conecta a las dos matrices de conmutadores. Cada



**Figura 3.9 Sistema de generación de las señales de reloj en la AN221E04 (Anadigm 2010).**

una de estas capacidades es, en realidad, un banco de capacidades y, mediante conexión entre ellas, puede tomar un valor en un rango de 256 niveles.

El segundo banco de conmutadores se usa para completar la topología del circuito, conectando las capacidades a los amplificadores operacionales y el comparador. La salida de estos dispositivos puede ir a las celdas de entrada/salida o a los CAB vecinos. El procesado de señal en el CAB lo generan las capacidades conmutadas y, para ello, necesitan señales de reloj que no se solapen NOL (*Non-OverLapping clocks*). El generador de señales de reloj NOL toma una de las cuatro señales de reloj para sincronización de los bloques analógicos disponibles y genera todas las señales NOL que el CAB necesita.

El registro de aproximaciones sucesivas SAR, cuando se habilita, se conecta al comparador, creándose así un convertidor analógico-digital de 8 bits. La salida digital de este SAR se puede encaminar para realimentarla en el propio CAB o conectarse a la LUT, y así crear funciones no-lineales como multiplicadores de voltaje, linealización, conformar una señal o control de ganancia automático.

### ***Tabla de consulta LUT (Look Up Table)***

El dispositivo contiene una única LUT, como puede verse en la Figura 3.4, de 256 bytes. La dirección de 8 bits de los elementos de la tabla puede

generarse con uno de los SAR que hay en cada CAB o mediante un contador incluido en el dispositivo a tal efecto. Este contador se incrementa continuamente hasta alcanzar el valor que se le defina. Entonces comienza de nuevo. El valor del contador se usa como dirección de la LUT. El dato direccionado en la LUT se usa para modificar la configuración del dispositivo.

### *Características de las señales de reloj*

Dado que este dispositivo se basa en tecnología de capacidades conmutadas, es necesario que se disponga de distintas señales de reloj con sus flancos de subida sincronizados. El dispositivo obtiene la señal de reloj externa de dos fuentes, como puede verse en la Figura 3.9, el pin DCLK para la lógica de configuración de dispositivo y DCLK o ACLK para los circuitos analógicos. Estas señales pueden tener una frecuencia de hasta 40 MHz, pero habitualmente no se recomienda superar los 16 MHz si se conecta un cristal a dichos pines. La frecuencia máxima de oscilación permitida para un cristal es de 24 MHz. En el dominio analógico, a partir de la señal entrante se generan cinco señales de reloj programables diferentes, una para alimentar los amplificadores *chooper* en las celdas de entrada y otras cuatro para alimentar el registro SAR y las capacidades conmutadas dentro de los CAB.

### *Funciones que puede implementar el AN221E04*

La configuración que se puede almacenar en la *Shadow* RAM se crea con el interfaz gráfico AnadigmDesigner2. Este programa posee un conjunto de funciones analógicas denominadas Módulos Analógicos Configurables o CAM, que se pueden interconectar entre ellos y crear los circuitos de acondicionamiento que el usuario desee, como se muestra en la Figura 3.10. La manera en la que se usan los recursos en los CAB del dispositivo es ajena al

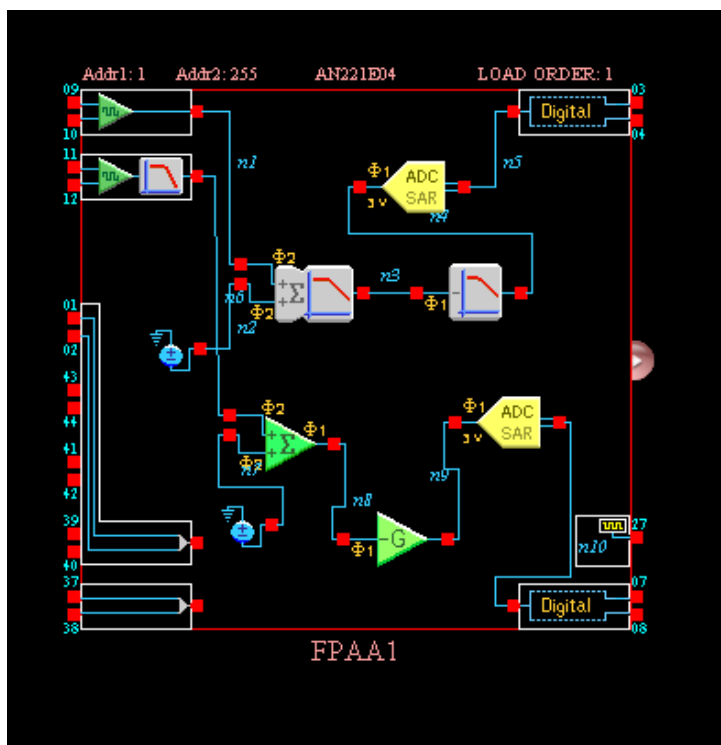

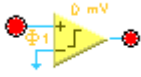
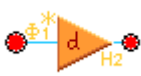
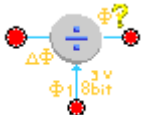


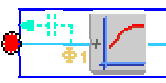
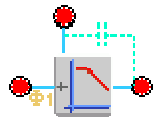
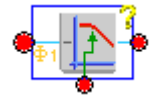



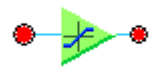


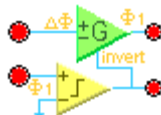
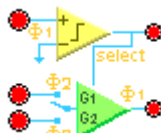



Figura 3.10 Configuración de la FPAA para dos entradas de señal y salida digital creada con el software AnadigmDesigner2.

diseñador, quedando determinada por la herramienta software. La herramienta permite determinar la configuración de las celdas de entrada/salida, las celdas de salida y los elementos que en ambas se emplean. En la Figura 3.10 se muestra el interfaz gráfico de esta herramienta. Cada uno de los elementos mostrados como ejemplo en la Figura 3.10 es un CAM, en ellos el usuario puede configurar propiedades como la ganancia y la frecuencia en los filtros. El software permite seleccionar las frecuencias de reloj que se usan para cada uno y la frecuencia de las 5 fuentes disponibles en el dispositivo. En la Tabla 3.1 se muestran los CAM disponibles y una descripción de la función que implementa cada uno de ellos.


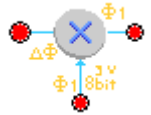
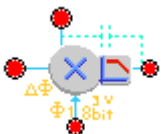
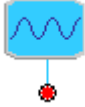
Tabla 3.1 CAM que se pueden implementar en AN221E04 usando AnadimDesigner2.


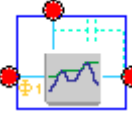
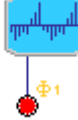
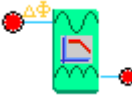
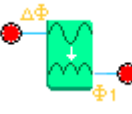
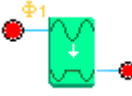
Nombre del CAM	Símbolo	Descripción breve
ADC-SAR		<p>Este CAM crea un ADC de 8 bits utilizando un registro de aproximación sucesiva (SAR) y comparador de un CAB. La salida de este ADC puede conectarse a cualquiera de las dos celdas de salida dedicadas, teniéndose en el terminal negativo el dato serie digital de 8 bits y en el terminal positivo la señal Sync. El ClockB de sincronismo se obtiene en la celda auxiliar de la FPAA.</p>
Comparator		<p>Este CAM crea un comparador de muestreo. El comparador tiene varias opciones programables.</p>
Differentiator		<p>Este CAM crea un diferenciador inversor con una constante de diferenciación programable. Este CAM puede crear un circuito que genera una salida basada en el cambio de la entrada en una fase y mantiene la salida durante la siguiente fase, o un circuito que genera una salida basada en el cambio de la entrada en cada fase.</p>
Divider		<p>Este CAM crea un divisor. El voltaje de entrada a la izquierda, X, está dividido por la entrada inferior cuantizada, Y, la cual está multiplicada por un factor D. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida. Este CAM tiene restricciones en su conexión de entrada Y.</p>
FilterBilinear		<p>Este CAM crea un filtro bilineal (unipolar), configurable en paso-bajo, paso-alto, pasa-todo o polo-cero. El paso-alto, pasa-todo y polo-cero debe ser utilizado con una señal de entrada mantenida en la 2ª fase del ciclo de reloj. El filtro tiene una frecuencia de corte y ganancia en banda pasante programables.</p>
FilterBiquad		<p>Este CAM crea un filtro bicuadrático (dos polos). El filtro puede ser paso-bajo, paso-alto, paso-banda o rechazo-banda. El paso-alto y rechazo-banda deben ser utilizados con una señal mantenida. El filtro tiene una frecuencia de corte, ganancia y factor de calidad programables,</p>


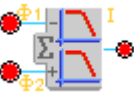
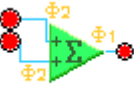
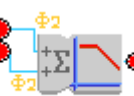
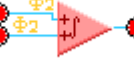
Nombre del CAM	Símbolo	Descripción breve
<b>FilterDCBlockLP</b>		Este CAM crea un filtro bilineal (unipolar) paso-alto con una constante de tiempo que puede incrementarse de forma significativa con un par de condensadores externos. El CAM informa al usuario sobre el valor de los condensadores externos a usar.
<b>FilterLowFreqBilinear</b>		Este CAM crea un filtro bilineal (unipolar) paso-bajo con una frecuencia de corte que puede ser significativamente reducida con un par de condensadores externos. El CAM informa al usuario sobre el valor de los condensadores externos a usar.
<b>FilterVoltageControlled</b>		Este CAM crea un filtro bilineal (unipolar) o bicuadrático (dos polos) configurable en paso-bajo, paso-alto o pasa-todo, con una frecuencia de corte variable que se establece mediante la tensión en la entrada de control. El rango de variación es de casi dos décadas, y el punto medio del rango es seleccionable por el usuario. Las versiones paso-alto y pasa-todo se deben utilizar con una señal de entrada mantenida en la 2ª fase del ciclo de reloj.
<b>GainHalf</b>		Este CAM crea un amplificador de ganancia programable. El voltaje de entrada es escalado por el valor de la ganancia programable, y este CAM puede ser inversor o no inversor. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida.
<b>GainHold</b>		Este CAM crea un amplificador inversor de ganancia programable. El voltaje de entrada es escalado por el valor de la ganancia programable. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida. El valor de la salida se mantiene sin compensación de <i>offset</i> de entrada en la fase opuesta.
<b>GainInv</b>		Este CAM crea un amplificador inversor de ganancia programable. El voltaje de entrada se escala en función del valor de la ganancia programable. El valor de la salida es válido en las dos fases del ciclo de reloj.
<b>GainLimiter</b>		Este CAM crea un amplificador de ganancia programable. El voltaje de entrada se escala en función del valor de la ganancia programable. El valor de la salida puede limitarse a un nivel programado. El valor de la salida es válido en las dos fases del ciclo de






Nombre del CAM	Símbolo	Descripción breve
GainPolarity		<p>reloj.</p> <p>Este CAM crea una etapa de ganancia que permite control de la polaridad. El bloque de ganancia puede ser un amplificador con ganancia programable o un filtro paso-bajo bilineal con frecuencia de corte y ganancia programables. La polaridad de la ganancia se controla a través de un comparador. Este comparador tiene opciones similares a las del CAM Comparador incluyendo la capacidad de seleccionar con lo que se compara la señal de control.</p>
GainSwitch		<p>Este CAM crea una etapa de ganancia con dos terminales de entrada conmutables. Esto se puede usar para seleccionar entre dos señales de entrada o, con las dos entradas unidas entre sí, seleccionar entre dos parámetros de ganancia diferentes. La etapa de ganancia puede ser un amplificador con ganancia programable o un filtro paso-bajo bilineal con frecuencia de corte y ganancia programables. La selección entre dos entradas se controla a través de un comparador Este comparador tiene opciones similares a las del CAM Comparador incluyendo la capacidad de seleccionar con lo que se compara la señal de control.</p>
GainVoltageControlled		<p>Este CAM implementa una etapa con ganancia variable, controlada por el voltaje de entrada en una segunda entrada. La relación entre la ganancia y el voltaje de control es una función especificada por el usuario con 256 pasos de cuantificación. Si la opción 'Output Hold' está desactivada, La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante la fase 1. Si está activada la opción, la salida será válida durante todo el ciclo del reloj pero no estará compensado el <i>offset</i>.</p>
Hold		<p>Este CAM crea una etapa de muestreo y retención. La tensión durante la fase de muestreo en entrada se lleva a la salida durante las dos fases siguientes (un periodo de reloj completo).</p>
HoldVoltageControlled		<p>Este CAM crea una etapa de muestreo y retención con dos modos de comportamiento controlado por tensión. En el primer modo, la señal de control determina cuando el CAM muestrea y cuando retiene.</p>



Nombre del CAM	Símbolo	Descripción breve
		<p>En el segundo modo, la señal de control determina cuando el CAM debe funcionar como un HOLD CAM a una frecuencia determinada y cuando el CAM debe detenerse y mantener en la salida la última tensión muestreada. La selección de estas alternativas se controla a través de un comparador. Este comparador tiene opciones similares a las del CAM Comparador incluyendo la capacidad de seleccionar con lo que se compara la señal de control.</p>
<b>Integrator</b>		<p>Este CAM crea un integrador con una constante de integración programable. Este CAM puede ser inversor o no inversor. Hay una función opcional de <i>reset</i>, controlada a través de un comparador que forma parte del CAM. Este comparador tiene opciones similares a las del CAM Comparador incluyendo la capacidad de seleccionar con lo que se compara la señal de control.</p>
<b>Multiplier</b>		<p>Este CAM crea un multiplicador. El voltaje de entrada a la izquierda, X, está multiplicado por la entrada inferior cuantizada en 256 niveles, Y, la cual está multiplicada por un factor D. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida. Este CAM tiene restricciones en su conexión de entrada Y.</p>
<b>MultiplierFilterLowFreq</b>		<p>Este CAM crea un multiplicador que tiene un filtro paso-baja en la salida de un solo polo. El voltaje de entrada a la izquierda, X, está multiplicado por la entrada inferior cuantizada en 256 niveles, Y, la cual está multiplicada por un factor D. La frecuencia de corte del filtro es programable que puede ser significativamente reducida con un par de condensadores externos. El CAM informa al usuario sobre el valor de los condensadores externos usar. Este CAM tiene restricciones en su conexión de entrada Y.</p>
<b>OscillatorSine</b>		<p>Este CAM crea una salida sinusoidal, centrada en la tierra de la señal. Tiene una amplitud y frecuencia programables. Basado en una estructura de filtro bicuadrático, el circuito oscila a su frecuencia de resonancia propia. Este oscilador tiene una salida continua que es siempre válida.</p>

Nombre del CAM	Símbolo	Descripción breve
PeakDetect2		<p>Este CAM crea un detector de pico con tasa de atenuación programable. Se pueden detectar picos positivos o negativos. Este CAM tiene una salida continua que es siempre válido.</p>
PeakDetectExt		<p>Este CAM crea un detector de pico con tasa de atenuación programable. Se pueden detectar picos positivos o negativos. Se puede usar una capacidad externa. Este CAM tiene una salida continua que es siempre válido.</p>
PeriodicWave		<p>Este CAM implementa un generador de forma de onda periódica con un máximo de 256 pasos, que pueden ser especificados por el usuario. También puede generar dos formas de onda periódicas con la misma frecuencia y hasta 128 pasos cada una. Si la opción "Output Hold" está desactivada la salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida. Puede seleccionarse que la salida sea válida durante todo el periodo de reloj sin compensación del <i>offset</i> de entrada. Otra opción permite que las formas de onda se vuelvan a comenzar gracias a un detector interno de cruce por cero.</p>
RectifierFilter		<p>Este CAM crea un rectificador inversor o no inversor programable que incluye un filtro paso-bajo de 1º orden. El filtro tiene una frecuencia de corte y ganancia programables. El filtro puede ser parcialmente eliminado estableciendo una frecuencia de corte alta. Este CAM tiene una salida continua que es siempre válido.</p>
RectifierHalf		<p>Este CAM crea un rectificador inversor o no inversor programable de medio ciclo. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida.</p>
RectifierHold		<p>Este CAM crea un rectificador de medio ciclo inversor con ganancia programable y un bloque de muestreo y retención a la salida. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida. Durante la otra fase la salida el valor de la tensión se mantiene constante</p>

Nombre del CAM	Símbolo	Descripción breve
SquareRoot		<p>Este CAM crea la raíz cuadrada de la tensión de entrada a través de un circuito de realimentación en bucle cerrado. Debido a la retroalimentación, un filtro paso-baja se incluye en la función de transferencia para que haya un tiempo de establecimiento necesario para llegar a la raíz cuadrada de un nuevo nivel de entrada.</p>
SumBiquad		<p>Este CAM crea una etapa de suma con dos entradas, que incluye un filtro de dos polos bicuadrático. La primera señal de entrada puede ser filtrada con un paso-bajo, paso-alto o paso-banda. El paso-alto se debe utilizar con una señal de entrada mantenida durante un periodo de reloj. La segunda entrada se filtra con un filtro paso-bajo de la misma frecuencia de corte y factor de calidad. La segunda entrada se puede invertir o no invertir de manera que, tanto la suma como la diferencia se pueden implementar en la función de transferencia. Cada rama de entrada tiene una ganancia programable. El filtro tiene frecuencia de corte programable y factor de calidad. La salida es válida para las dos fases de reloj.</p>
SumDiff		<p>Este CAM crea una etapa sumadora de 'half-cycle' con un máximo de cuatro entradas. Las entradas pueden estar invertidas o no de manera que, tanto las sumas como las restas se pueden implementar. Cada rama de la entrada tiene una ganancia programable. La salida tiene una compensación del <i>offset</i> de entrada del amplificador durante su fase de salida válida.</p>
SumFilter		<p>Este CAM crea una etapa sumadora con un máximo de tres entradas con un filtro paso-baja de 1º orden a la salida. Las entradas pueden estar invertidas o no de manera que, tanto las sumas como las restas se pueden implementar. Cada rama de la entrada tiene una ganancia programable. La suma de voltajes a la salida se filtra con el filtro paso-baja de ganancia y frecuencia programables que hace que la salida sea siempre válida.</p>
SumIntegrator		<p>Este CAM crea una etapa sumadora integradora con un máximo de tres entradas. Las entradas pueden estar invertidas o no de manera que, tanto las sumas como las restas se pueden implementar. Cada rama</p>

Nombre del CAM	Símbolo	Descripción breve
		de la entrada tiene una constante de integración programable. Hay una función de reset opcional que se controla con un comparador. Este comparador tiene opciones similares a las del CAM Comparador incluyendo la capacidad de seleccionar con lo que se compara la señal de control.
<b>SumInv</b>		Este CAM crea una etapa sumadora inversora con un máximo de tres entradas. La ganancia de cada entrada es programable. La salida de este CAM es válida siempre.
<b>TransferFunction</b>		Este CAM implementa una función de transferencia en tensión definida por el usuario con 256 niveles. Si la opción "Output Hold" opción está desactivada, la salida tiene una compensación del <i>offset</i> de entrada del amplificador durante la fase 1. Puede seleccionarse que la salida se mantenga durante todo el periodo del reloj
<b>Transimpedance</b>		Este CAM crea un amplificador de transimpedancia programable pensado para la conexión de fotodiodos. Un amplificador de transimpedancia convierte una entrada de corriente en una tensión de salida.
<b>Voltage</b>		Este CAM crea una conexión con las referencias de tensión en el chip
<b>ZeroCross</b>		Comparador de muestreo que produce un pulso cuando la entrada cambia de negativo a positivo. El comparador tiene varias opciones programables

### Configuración del dispositivo

Una vez creada la configuración del dispositivo, ésta se descarga haciendo uso de la interfaz de configuración del mismo. Esta es una interfaz SPI, pudiendo funcionar el dispositivo como maestro de la misma y descargar la configuración desde una memoria SPI, o puede funcionar como esclavo y recibir la configuración de un *host* maestro como se muestra en la Figura 3.11. La máquina de estados de la lógica de configuración del dispositivo está gobernada por la señal de reloj DCLK. Esta señal no tiene por qué ser una señal continua. Se necesitan 40 ciclos de reloj para completar la secuencia de inicio. Después el

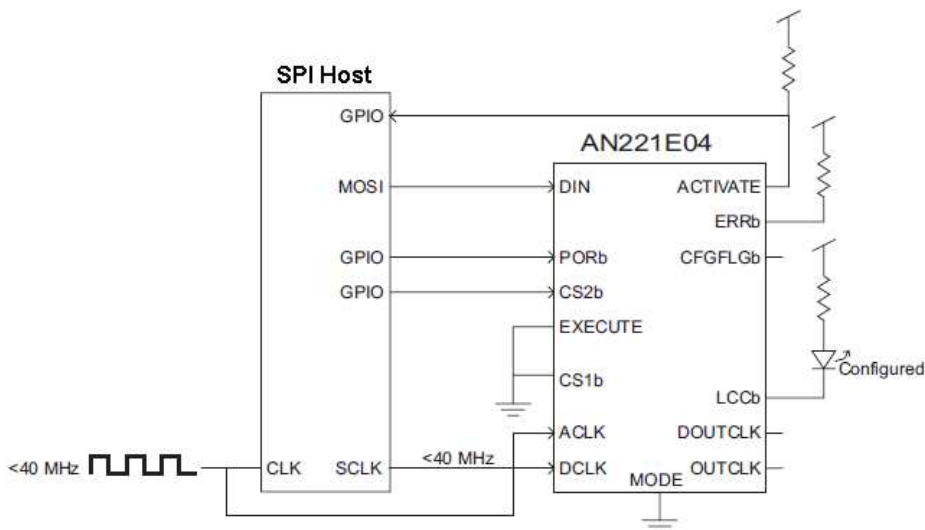


Figura 3.11 Configuración de la FPAA desde un *host*.

dispositivo espera el byte 0xD5 de sincronización en la cabecera de la configuración y a continuación se descarga la configuración. Son necesarios 8 ciclos de reloj adicionales para completar la transferencia.

### *ADC internos*

Como se ha dicho antes, este dispositivo puede implementar un ADC de 8 bits en cada uno de los CAB, haciendo uso del registro de aproximaciones sucesivas SAR presente en los CAB. Este CAM, cuyo símbolo se muestra en la Tabla 3.1, necesita dos señales de reloj con un ratio de frecuencias de 16 a 1. El reloj más lento, denominado CLOCKA, determina la frecuencia a la que las sucesivas conversiones tienen lugar, y no debe exceder de 250 kHz. El reloj más rápido, denominado CLOCKB, se usa para realizar las aproximaciones sucesivas al resultado final.

El SAR realiza ocho medidas sucesivas sobre la señal de entrada durante la fase de muestreo de la señal, esto es, la fase 1 de CLOCKA. Para asegurar una correcta conversión, las medidas deben realizarse sobre el mismo valor de la

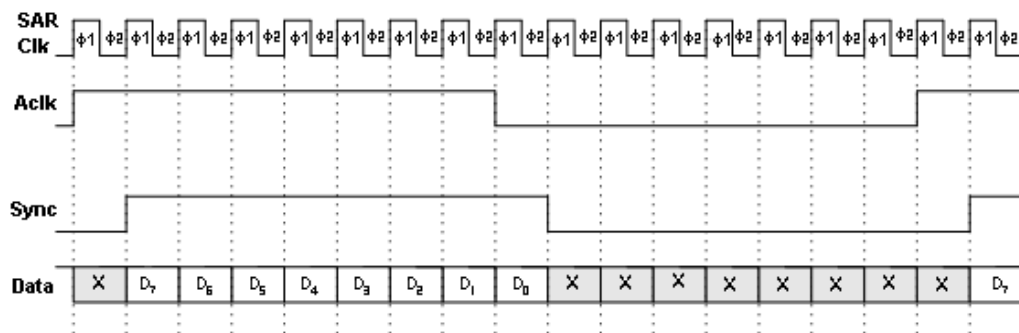


Figura 3.12 Diagrama de temporización de la conversión en el SAR. Aclk corresponde a la señal de reloj CLOCKA en la configuración del ADC.

señal de entrada, por lo que los CAM anteriores deben estar gobernados por un reloj de la misma frecuencia y que mantengan la salida en la misma fase 1. El rango de tensión de entrada del ADC puede seleccionarse como una opción, siendo posible elegir entre  $\pm 3V$  y  $\pm 4V$  basados sobre el voltaje interno de referencia VMR.

La salida del SAR es una palabra digital de 8 bits que comienza con la fase 1 de la señal Sync, como muestra la. Esta salida está retrasada un ciclo de reloj CLOCKB (SAR Clk en la Figura 3.12) con respecto a la señal CLOCKA. Los bits aparecen durante el flanco de subida del reloj del SAR, en serie comenzando por el bit más significativo, y se mantienen durante un ciclo de este reloj. La señal Sync se mantiene a nivel alto durante la salida de un dato válido. La representación es en signo y magnitud, correspondiendo 0x7F al valor más pequeño de tensión de entrada y 0xFF al valor más grande de tensión de entrada.

La salida de este CAM sólo puede conectarse a una celda de salida de la FPAA configurada en modo digital, por lo que como máximo se pueden implementar dos ADC funcionando paralelamente en la FPAA. El reloj que gobierna el SAR es accesible mediante la celda auxiliar de la FPAA.

### *Especificaciones Técnicas*

En la Tabla 3.2 siguiente se recogen las especificaciones técnicas más relevantes de este dispositivo.

**Tabla 3.2 Principales parámetros del AN221E04**

Parámetro	Mínimo	Típico	Máximo
<b>Condiciones de Funcionamiento</b>			
Alimentación DC VDD	4.75V	5V	5.5V
VMR	-	2V	-
Entradas Analógicas	(VMR-1.9)V	-	(VMR+1.9)V
Entradas digitales	0	-	5V
<b>Parámetros Entradas/Salidas Digitales</b>			
Nivel bajo de entrada	0	-	30%VDD
Nivel alto de entrada	70%Vdd	-	VDD
Nivel bajo de salida	0	-	20%VDD
Nivel alto de salida	80%VDD	-	VDD
Max. Carga Capacitiva	-	-	10pF
Min. Carga resistiva	10k $\Omega$	-	-
Frecuencia DCLK	-	-	40MHz
Frecuencia ACLK	-	-	40MHz
<b>Parámetros Entradas/Salidas Analógicas</b>			
Rango de entrada de alta precisión	0.5V	-	3.5V
Rango de entrada estándar	0.1V	-	3.9V
Rango de entrada de alta precisión diferencial sobre VMR	0	-	+/- 3V
Rango de entrada estándar diferencial sobre VMR	0	-	+/- 3.8V
Entrada en modo común	1.8V	2V	2.2V
Offset de entrada	-	5mV	15mV
Frecuencia de entrada	-	2MHz	8MHz
<b>Amplificador de entrada conectado</b>			
Ganancia	16	-	128
Offset de entrada equivalente	-	3mV	12mV
CMRR	-	67dB	-

Parámetro	Mínimo	Típico	Máximo
SINAD	-	75dB	-
Resistencia de entrada	10M $\Omega$	-	-
Amplificador Chopper conectado			
Ganancia	16	-	128
Offset de entrada equivalente	-	<100 $\mu$ V	200 $\mu$ V
CMRR	-	102dB	-
SINAD	-	75dB	-
Resistencia de entrada	10M $\Omega$	-	-

### 3.3.1.2 Pre-acondicionamiento analógico

Dado el alto número de sensores y tipos de salida de señal que éstos presentan, es útil estudiar los modos de conexión que admite la familia de FPAA denominada Anadigmvortex de Anadigm. Esta familia trabaja con señales analógicas unipolares o diferenciales referidas a 2V, que es la referencia principal o VMR (*Voltage Main Reference*) y las cuales pueden variar en el rango de 0 a 4V ya que los dispositivos se alimentan a 5V como anteriormente se ha comentado. Las señales que se conecten a la FPAA no tienen por qué estar referenciadas a este VMR y sus amplitudes pueden exceder el rango de 0 a 4V. A continuación se presentan distintas configuraciones que cubren un amplio rango de sensores, aunque puede haber casos en los que se tenga que hacer uso de varias de estas configuraciones en conjunción para afrontar un determinado sensor. Para hacer la presentación de estos métodos se usarán figuras en las que se incluyen imágenes del entorno de programación AnadigmDesigner2 que, como ya se ha comentado, es el entorno gráfico en el que se crean las configuraciones y archivos de configuración de estas FPAA.

#### *Señales unipolares*

Cuando una señal unipolar se conecte a una celda de entrada de la FPAA esta debe configurarse en modo unipolar como se muestra en la Figura 3.5.



Además debe usarse el filtro antialiasing de la ceda de entrada el cual tiene una frecuencia de corte programable con un valor máximo de 470kHz. Igualmente se pueden usar el amplificador de ganancia programable o el amplificador chopper de bajo offset, pero estos elementos tienen una ganancia mínima de 16 que ha de ser tomada en consideración. Si se usa uno de estos amplificadores el terminal negativo de la entrada debe conectarse a la tensión de referencia VMR. Si la señal a acondicionar excede los 470kHz y no admite una ganancia de 16, esta señal unipolar no puede ser procesada. De igual manera la señal de salida de la FPAA se puede usar de manera unipolar con tan solo conectar en uno de los terminales de salida (en el negativo se tiene la señal invertida a la señal en el positivo).

Si la señal tiene una componente en continua no deseada y sus variaciones no exceden el rango permitido en la FPAA, esta componente en continua puede

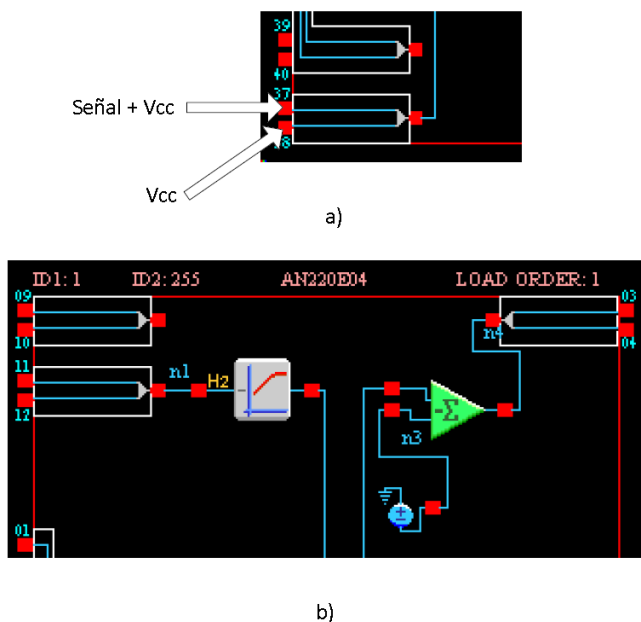


Figura 3.13 Eliminación de componentes en continua haciendo uso de CAM. a) Añadiendo un señal Vcc en el terminal negativo. b) Mediante el uso de un filtro paso alta que elimina la componente en continua.

ser eliminada fácilmente si se conecta la señal al terminal positivo de la celda de entrada y en el terminal negativo se conecta una tensión igual a la componente en continua como se muestra en la Figura 3.13a. Este método es muy simple pero no sirve para añadir una componente en continua a una señal de salida de la FPAA. Otra manera de eliminar una componente en continua es haciendo uso de CAM. Como se ve en la Figura 3.13b, con un filtro paso-alta con la frecuencia de corte por debajo de la frecuencia de funcionamiento de la señal de entrada se elimina esta componente en continua, pero los *offsets* que se generan en los amplificadores de este CAM no pueden ser eliminados. Adicionalmente, este filtro permite configurar su ganancia para amplificar (hasta 20) o atenuar la señal a procesar.

Para eliminar las componentes *offset* que se generan en el procesado se pueden usar los CAM sumador-inversor con ganancia ajustable por separado para cada una de sus entradas y junto con la fuente de voltaje (con valores seleccionables de +3 y -3V fijos), como se ve en la Figura 3.13b. El inconveniente de estos métodos es el uso de recursos internos de la FPAA que no estarán disponibles para otras tareas de procesado.

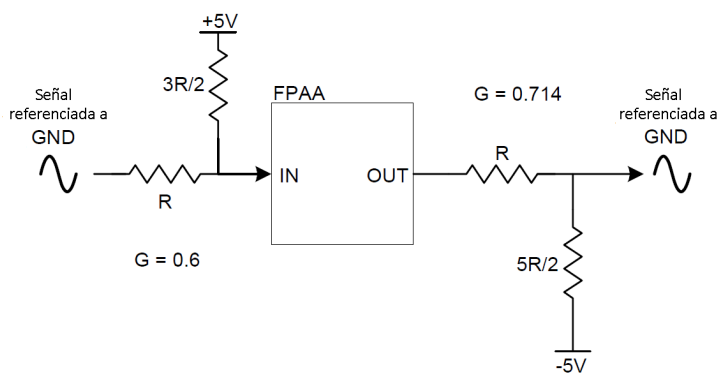


Figura 3.14 Cambio de nivel de continua utilizando divisores de tensión

Otro método sencillo de cambiar de nivel señales con componente en continua no deseada es el uso de divisores de tensión, como se muestra en la Figura 3.14, donde se ve como se puede usar este método para conectar señales referenciadas a tierra a la entrada de la FPAA y como se pueden trasladar al nivel de tierra señales de salida de la FPAA. Esta aproximación se puede duplicar para trasladar de nivel señales diferenciales. Las resistencias se deben elegir de manera que la señal se traslade al nivel de 2V en la entrada, y al nivel de tierra o el nivel que necesite la siguiente etapa en la salida. El uso de un divisor de tensión resistivo a la salida puede ser inviable en aplicaciones donde la impedancia de entrada de la siguiente etapa sea pequeña. Las resistencias del divisor de tensión deben ser pequeñas en comparación con las de entrada de la otra etapa, pero no tanto como para sobrecargar la salida de la FPAA (no inferior a  $100\text{k}\Omega$  la suma de las resistencias). Por otro lado, hay que tener en cuenta que el uso de divisores de tensión atenúa la señal. En la entrada esto puede ser interesante si la amplitud de la señal excede los 4 V de amplitud, pero el valor de la atenuación viene fijado por la relación de resistencias en el divisor para conseguir el cambio de nivel de continua que se necesite y situar la señal sobre los 2V de VMR.

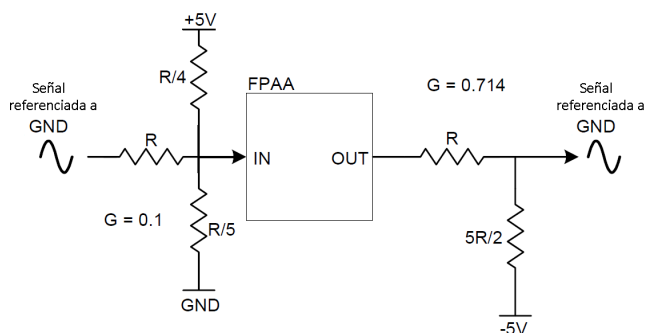
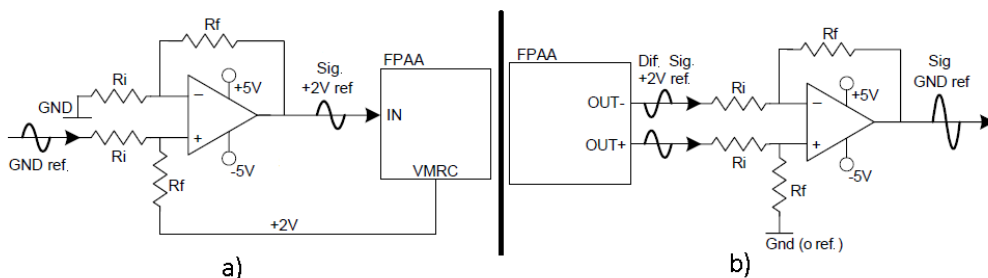


Figura 3.15 Atenuación variable de señal a la entrada con resistencias

Con la estructura presentada en la Figura 3.15, donde se introduce una tercera resistencia, se puede controlar el nivel de atenuación de la señal de entrada, lo que permite manejar señales con amplitudes grandes. Éste es un método de bajo coste que puede manejar señales con cualquier nivel de continua, y aplicable a señales en continua. Las limitaciones de este método vienen impuestas por las tolerancias de las resistencias y las fuentes de alimentación, las cuales limitan el valor de atenuación y cambio de nivel que se consigue.

Por último, el uso de amplificadores operacionales tanto a la entrada como a la salida de la FPAA permite atenuar señales grandes como amplificar señales pequeñas. En la Figura 3.16a se muestra como se puede cambiar al nivel de VMR una señal referenciada a tierra usando un amplificador. La relación  $R_f/R_i$  determina la ganancia de la configuración, como es sabido. Como puede observarse, se usa el pin VMR de la FPAA para referenciar la señal. Debe tenerse en cuenta que este pin no debe sobrecargarse, por lo que se recomienda mantener la suma de  $R_f$  y  $R_i$  por encima de  $100k\Omega$ . De igual manera, la Figura 3.16b muestra como usando un amplificador operacional se puede hacer la conversión de señal diferencial a unipolar y un cambio de nivel a tierra (GND).



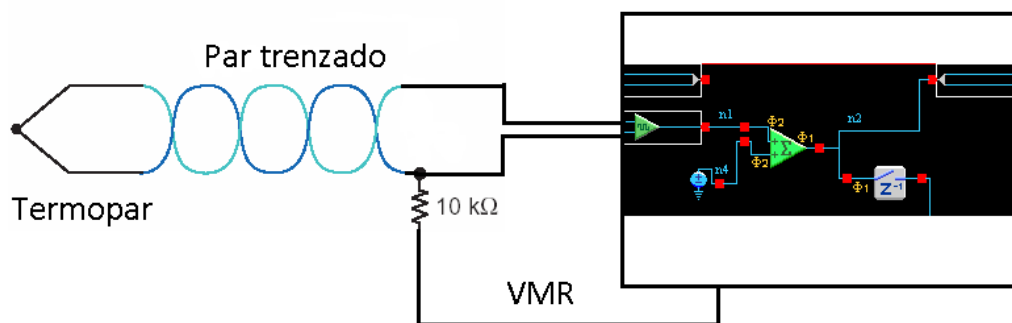
**Figura 3.16** Cambio de nivel de continua, a) Elevación de señal referenciada a tierra a VMR en la entrada, b) Conversión de señal diferencial de salida sobre VMR a señal unipolar referenciada a tierra

Cabe destacar que la conexión de  $R_f$  a GND puede sustituirse por otra tensión de referencia, lo que permite cambiar la señal a cualquier nivel deseado.

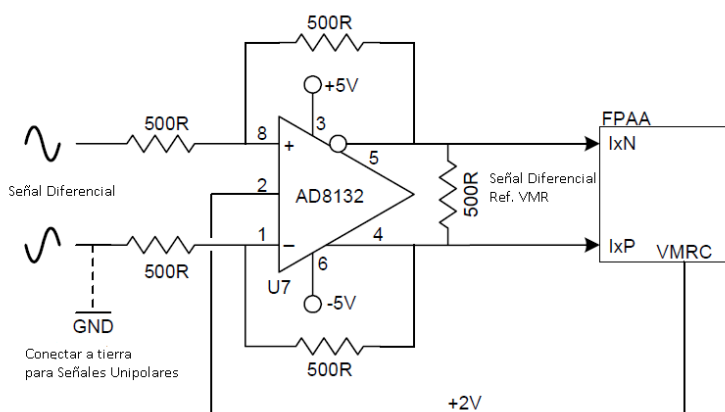
Las ventajas del uso de operacionales incluyen el manejo de señales de cualquier amplitud, que la información DC de la señal no se pierde y la salida de la FPAA se puede entregar a etapas unipolares con impedancia de entrada pequeña. Las desventajas se enmarcan en la necesidad de elementos más complejos, lo que implica que es una solución de mayor coste.

### *Señales diferenciales.*

Cuando la salida de señal de un sensor es diferencial, de pequeña amplitud y flotante, lo que ocurre en cualquier sensor generador o en la medida de bioseñales, ésta puede conectarse directamente a la entrada, como se muestra en el ejemplo de un termopar de la Figura 3.17. La celda de entrada de la FPAA debe configurarse con el amplificador *chopper* de bajo *offset* que amplifica la señal sin añadir *offset*. Es necesario referenciar los terminales de entrada a VMR, ya que el amplificador de entrada no tiene referenciadas sus terminales a 2V. Este es un método barato y sin dependencias de tolerancias de componentes adicionales, ya que no se usa ninguno. Aunque sólo



**Figura 3.17** Conexión de señales diferenciales flotantes de pequeña amplitud: termopar.



**Figura 3.18 Amplificación de señales diferenciales con amplificador diferencial.**

funcione con señales diferenciales de amplitudes pequeñas, se menciona aquí debido a los buenos resultados obtenidos en las aplicaciones desarrolladas con bioseñales y, en particular, con señales de electrocardiografía, como se verá en el capítulo siguiente.

En el caso de que la amplitud de la señal diferencial de entrada tenga una magnitud que exceda el rango de excursión permitido en la FPAA, divisores de tensión en las dos entradas de la celda de la FPAA pueden emplearse para atenuar la señal, en la manera que se muestra en la Figura 3.14. Si es necesario amplificar la señal diferencial antes de iniciar el procesado en la FPAA, se puede hacer uso de amplificadores diferenciales con salida diferencial, como por ejemplo el AD8132, cuyo uso se presenta en la Figura 3.18 con la configuración de ganancia unidad. Los valores de las resistencias se pueden modificar para conseguir la ganancia deseada. Así se puede conseguir la atenuación de señales de gran amplitud, no siendo necesario que la alimentación del operacional abarque las variaciones de la señal ya que la atenuación se consigue en los divisores de tensión.

### 3.3.2 PSoC CY8C38

En esta aplicación el PSoC de Cypress se utiliza con dos fines primordiales: hacer de interfaz entre el sistema y el puerto USB y descargar las configuraciones necesarias en los dispositivos FPAA de Anadigm y FPGA de Xilinx gracias al firmware creado a tal efecto. Adicionalmente, dado que contiene elementos de procesamiento analógico y convertidor analógico-digital  $\Sigma\Delta$  de alta resolución, este dispositivo puede utilizarse en la plataforma para digitalizar la salida de la FPAA y para acondicionar señales analógicas. A continuación se van a presentar los módulos que componen este dispositivo y la arquitectura del mismo.

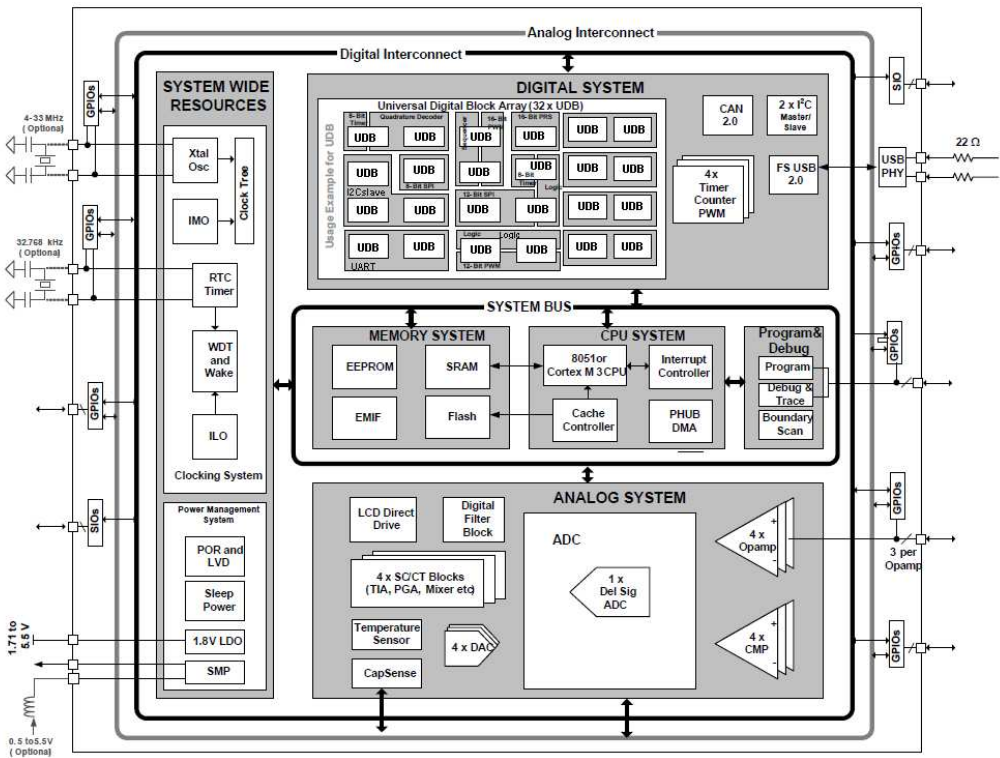


Figura 3.19 Diagrama funcional del dispositivo CY8C38 (Cypress 2010).

### *Estructura general del dispositivo*

En la Figura 3.19 se presenta la arquitectura y componentes principales del dispositivo CY8C38. El dispositivo consta de subsistemas analógico y digital configurables, junto con una circuitería de interconexión versátil que le permite el ruteo de las señales a las entradas/salidas. Estos sistemas se integran en torno a una CPU lo que les confiere una alta versatilidad. Los principales componentes como, se presentan en la Figura 3.19 son: la CPU con arquitectura 8051 de 8 bits, el subsistema de almacenamiento y memoria, el subsistema de programación y depuración, el subsistema de temporización y señales de reloj, el subsistema de control de la alimentación y los subsistemas analógico y digital.

### *Subsistema digital*

El subsistema digital permite crear una combinación de periféricos digitales estándares junto con funciones lógicas creadas por el usuario. Estas funciones y periféricos pueden interconectarse entre ellos y permiten el ruteo de la señal digital a cualquier pin del dispositivo a través del sistema de interconexión digital, DSI (*Digital System Interconnect*) lo que proporciona un alto grado de flexibilidad en el diseño. No es necesario interactuar a nivel hardware ni de registro con el sistema digital, ya que Cypress proporciona el software PSoC Creator basado en una interfaz gráfica de captura de esquemáticos que permite el uso automático de estos recursos. Los componentes principales son los bloques digitales universales UDB (*Universal Digital Blocks*), que contienen una matriz de dispositivos lógicos programables PLD (*Programmable Logic Devices*) junto con una máquina de estados, lo que permite implementar una amplia variedad de periféricos. PSoC Creator proporciona acceso a un conjunto



de periféricos estándar prediseñados y testeados los cuales se mapean en los UDB. Estos periféricos incluyen UART (*Universal Asynchronous Receiver-Transmitter*), SPI, funciones PWM (*Pulse Width Modulator*), contadores, EMIF (*External Memory InterFace*), CRC (*Cyclic Redundancy Code*) y funciones lógicas AND, OR, XOR y NOT. Adicionalmente, el módulo digital contiene funciones fijas de interfaz como son: el interfaz I2C, que puede funcionar en modo esclavo, maestro y multi-maestro, el interfaz Full Speed USB y el interfaz Full CAN 2.0b.

### ***Subsistema analógico***

El subsistema analógico basa su funcionamiento en el uso de una referencia de voltaje muy precisa, con menos de un 0.1% de error con la temperatura y el voltaje. El módulo contiene:

- multiplexores analógicos;
- 4 comparadores con conexión opcional a LUT;
- referencias de voltaje;
- un ADC con estructura  $\Sigma\Delta$ ;
- 4 DAC;
- un bloque de filtrado digital DFB (*Digital Filter Block*);
- 4 amplificadores operacionales;
- 4 bloques de capacidades conmutadas, con las que se pueden implementar, haciendo uso de los amplificadores anteriores, amplificadores de transimpedancia, amplificadores de ganancia programable, mezcladores, y otros componentes analógicos;
- un subsistema CapSense que permite el acondicionamiento de la señal procedente de capacidades táctiles.

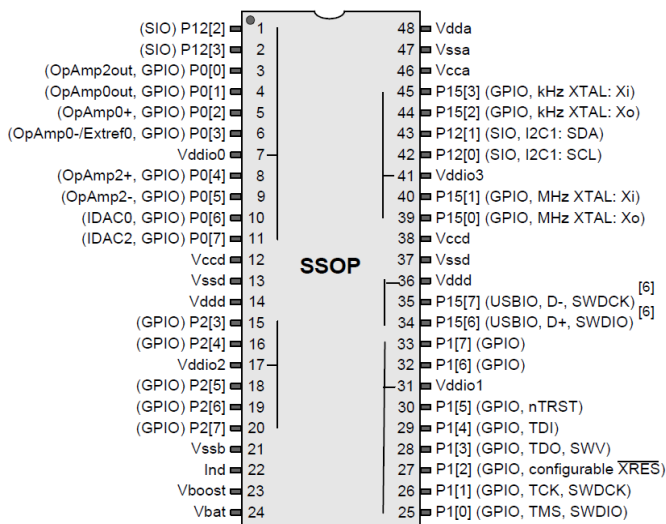


Figura 3.20 Encapsulado SSOP de 48 pines del CY8C38 (Cypress 2010).

Todos los pines de entrada/salida de propósito general GPIO se pueden usar con el módulo analógico usando el bus interno analógico. Esto permite al dispositivo hacer de interfaz a un elevado número de señales analógicas (hasta 25 en el encapsulado con menos pines, como puede verse en la Figura 3.20). El núcleo del módulo analógico es un ADC sigma-delta con ancho de palabra programable y frecuencia de muestreo variable. Sus principales características son:

- 12, 16 ó 20 bits de resolución;
- frecuencias de muestreo de hasta 192 kmps;
- menos de 2LSB de error integral de no linealidad INL (para 16 bits de resolución);
- menos de 1LSB de error diferencial de no linealidad DNL (para 16 bits de resolución);
- una SNR de 89dB (para 16 bits de resolución);

La salida del ADC puede alimentar directamente el bloque de filtrado digital DFB sin hacer uso de la CPU mediante acceso directo DMA. El bloque de filtrado digital DFB puede configurarse para implementar filtros digitales de respuesta impulsiva finita, FIR (*Finite Impulse Response*), e infinita, IIR (*Infinite Impulse Response*), de hasta 64 etapas, y otras funciones definidas por el usuario. El DFB puede implementar multiplicaciones de hasta 48 bits en un solo ciclo de reloj.

Los DAC de 8 bits admiten una tasa de salida de datos de hasta 8 Mmps y la salida de estos convertidores digitales puede encaminarse a cualquiera de los pines GPIO. Haciendo uso de DFB se pueden implementar un convertidor digital-analógico por modulación de ancho de pulso PWM con una resolución de hasta 10 bits y 48 kmps.

### ***Subsistema CPU***

La CPU del dispositivo tiene la arquitectura del procesador 8051 de 8 bits y funciona a una frecuencia de 67MHz. El módulo incluye, además, un controlador de interrupciones anidadas, un controlador de acceso a memoria DMA, y memoria RAM. El vector de interrupciones anidadas proporciona una latencia baja, ya que permiten a la CPU direccionar directamente la primera dirección de la rutina de interrupción sin tener que usar una instrucción de salto, como necesitan otras arquitecturas. El bloque DMA permite el intercambio de datos con los periféricos sin la intervención directa de la CPU. El ciclo de la CPU es diez veces más rápido que el de un procesador 8051 estándar y la frecuencia de funcionamiento es configurable, lo que permite ajustar el consumo en aplicaciones concretas.

### *Subsistema de almacenamiento no volátil*

El dispositivo contiene una memoria flash tipo EEPROM que permite la escritura/lectura de bytes, con un tamaño de 64 kB. La CPU puede reescribir bloques de memoria, lo que permite la carga de programas de arranque. Se puede utilizar un código de corrección de errores, lo que permite crear aplicaciones con una alta fiabilidad. Esta memoria admite modo protegido para la información sensible del usuario. Además, 2 kB pueden usarse para almacenar datos de programa y datos de configuración como la velocidad de arranque y el modo de funcionamiento de los pines se guardan en esta memoria no volátil lo que permite que estas configuraciones estén funcionando directamente después de la secuencia POR (*Power On Reset*).

### *Entradas/salidas del PSoC*

Las posibilidades de conexión analógica y digital del CY8C38 son muy flexibles. Justo después del POR (*Power On Reset*) se secciona el modo de funcionamiento de los pines de entrada/salida, permitiéndose 4 zonas de tensión diferentes, las cuales se fijan con los pines Vddio, como se muestra en la Figura 3.20. Cada pin GPIO permite conexión analógica de entrada y salida, manejo de LCD, CapSense, generación de interrupciones, control del *slew rate*, y conexión digital de entrada y salida. Además, el sistema de entradas y salidas SIO permite establecer el nivel de voltaje  $V_{OH}$  independientemente de la tensión Vddio cuando se usa como salida digital el pin. Por otro lado, el sistema de entradas y salidas SIO permite establecer el nivel umbral de entrada, lo que convierte las entradas en comparadores analógicos.

### *Generadores de reloj*

El dispositivo incorpora un sistema de generadores de reloj flexible basado en un oscilador interno principal IMO (*Internal Main Oscillator*) que funciona como reloj maestro del sistema, el cual se puede configurar para funcionar desde 3MHz hasta 62MHz. Esta frecuencia principal se puede convertir en múltiples derivadas, así el dispositivo contiene un PLL que genera frecuencias de hasta 67MHz a partir del IMO, un cristal externo o una referencia de reloj externa. Adicionalmente, el dispositivo contiene un oscilador de bajo consumo y baja frecuencia que se usa para los *timers* de *watchdog*, o cuando el dispositivo se coloca en modo *sleep*.

### *Rangos de alimentación*

El dispositivo admite unos rangos de alimentación amplios, que van desde 1.71V hasta 5.5V, lo que permite que se alimente de fuentes reguladas diferentes o directamente de distintos tipos de baterías. Adicionalmente, el dispositivo contiene un convertidor integrado *boost* asíncrono que permite que el dispositivo se alimente de fuentes de voltaje de hasta 0.5V, lo que habilita el uso de una sola batería o célula solar. Por otro lado, el convertidor se puede usar para generar otras tensiones que necesite el dispositivo como por ejemplo una fuente de 3.3V para alimentar un *display* LCD a través del pin Vboost.

La alimentación de los módulos digital y analógico se controla mediante el *firmware* del dispositivo, lo que permite procesado de bajo consumo cuando alguno de los periféricos no está en funcionamiento. Esto permite que el consumo sea por ejemplo de 1.2mA cuando la CPU funciona a 6MHz, o 0.8mA funcionando a 3MHz.

### 3.3.3 Microcontrolador PIC y ADC externo

#### *Microcontrolador PIC 18F2550*

Las funciones de interfaz USB para transferencia de datos y configuración de los dispositivos FPAA y FPGA en el primer prototipo desarrollado las implementa el microcontrolador PIC 18F2550 de Microchip Technology Inc. (Microchip 2007). Este dispositivo presenta un ADC de 10 bits de resolución, que puede usarse para conversión de las señales analógicas. En la Tabla 3.3 se recogen sus principales características. La familia de microcontroladores PIC ha sido ampliamente usada para el desarrollo de instrumentación electrónica portátil (Martinez-Olmos et al. 2008), (Palma et al. 2007), (Palma et al. 2008) debido a su bajo coste y consumo.

**Tabla 3.3 Características principales del PIC18F2550.**

<b>Parámetro</b>	<b>Valor</b>
<b>Tipo de memoria de programa</b>	Flash
<b>Tamaño de memoria de programa (kB)</b>	32
<b>Velocidad CPU (MIPS)</b>	12
<b>RAM Bytes</b>	2048
<b>Memoria Datos EEPROM (bytes)</b>	256
<b>Periféricos de comunicación digital</b>	1 - A/E/USART, 1 - MSSP (SPI/I2C)
<b>PWM</b>	2
<b>Timers</b>	1 x 8-bit, 3 x 16-bit
<b>ADC</b>	10 ch, 10-bit
<b>Comparadores</b>	2
<b>USB (Canales, velocidad, versión)</b>	1, Full Speed, USB 2.0
<b>Rango temperatura(C)</b>	-40 to 85
<b>Rango de tensiones de funcionamiento(V)</b>	2 to 5.5
<b>Número de pines</b>	28

### *ADC externo*

El uso de un ADC externo permite la adquisición de señales procedentes de la FPAA de Anadigm con una resolución mayor que la que proporciona el ADC que se puede implementar internamente en la FPAA. Existen condiciones a tener en cuenta a la hora de elegir un ADC en concreto, la primera de ellas es la tensión de alimentación, que sea compatible con las alimentaciones de la plataforma; la segunda de ellas es la resolución del dispositivo y la tasa de muestras que puede suministrar.

En la Tabla 3.4 se ha destacado el ADC 141S626 de National Semiconductor, que finalmente se ha seleccionado para este diseño. La arquitectura de este dispositivo está basada en un registro de aproximaciones sucesivas (SAR). El dispositivo está diseñado con circuitería diferencial en todas las etapas, desde el circuito de muestreo y retención y a través de todo el proceso de conversión, lo que garantiza una razón de rechazo al modo común, CMRR (*Common Mode Rejection Ratio*) excelente y una SNR de 82dB.

**Tabla 3.4 Algunos convertidores con características en el rango útil para este desarrollo.**

Dispositivo	161S626	141S626	MPC3204	TLV2553
Fabricante	National Semiconductor	National Semiconductor	Microchip	Texas Instruments
Tension Alimentación	-0.3 a 6.5V	-0.3 a 6.5V	2.7 a 5.5V	2.7 a 5.5V
Frecuencias de trabajo	50-250KSPS	50-250KSPS	50-100KSP	150-200KSPS
Resolución	16bits	14bits	12bits	12bits
Núm. Canales	1 (diferencial)	1 (diferencial)	8 (no dif.)	11 (no dif.)
DNL	±0.8/-0.5 LSB	±0.95 LSB	±0.5 LSB	±1 LSB
INL	±0.8 LSB	±0.95 LSB	±0.75 LSB	±1 LSB

La salida de datos de este integrado es serie, tiene un formato en complemento a dos y es compatible con varios estándares, como SPI, QSPI, MICROWIRE y la mayoría de las interfaces series para DSP. La frecuencia de

salida de los datos depende de la entrada de reloj del chip, la cual se genera en la FPGA en el caso de este sistema. Los datos van saliendo a medida que se obtiene la conversión, por lo que no tiene latencia este dispositivo

Soporta un modo de operación, que es de utilidad en este desarrollo, ya que hay dispositivos que funcionan a distintos niveles de tensión, en el que el aporte de tensión para las entradas/salidas analógica y digital es independiente;  $V_A$  (tensión de referencia analógica) y  $V_{IO}$  (tensión de referencia digital) pueden ir desde 2.7 a 5.5V y puede ser usadas de forma independiente. Esta característica permite maximizar el rendimiento y minimizar el consumo de potencia operando en la adquisición analógica con 5V mientras que la comunicación digital con el controlador se realiza a 3.3V.

### 3.3.4 FPGA XC3C200A

En el capítulo anterior se ha realizado un estudio extenso de los distintos dispositivos FPGA que hay en el mercado. Como ya se dijo, dentro de éstos, se ha elegido Xilinx y, teniendo en cuenta las características de las familias de este fabricante, se ha elegido un dispositivo Spartan-3A, en concreto el modelo XC3S200A con el encapsulado VQ100. Las razones son las siguientes:

- puesto que se está desarrollando un sistema de instrumentación, interesa que el consumo de potencia sea el menor posible, por lo que las posibilidades que la Spartan 3A ofrece gracias a sus modos de hibernación hace que el consumo de este dispositivo se reduzca considerablemente;
- los niveles de tensiones que necesita este dispositivo, facilita el diseño de la etapa de alimentación de la plataforma que se ha desarrollado, ya que coinciden con los niveles de otros dispositivos en la



plataforma, lo que además, simplifica el diseño la interconexión entre estos elementos (FPAA-FPGA-PIC);

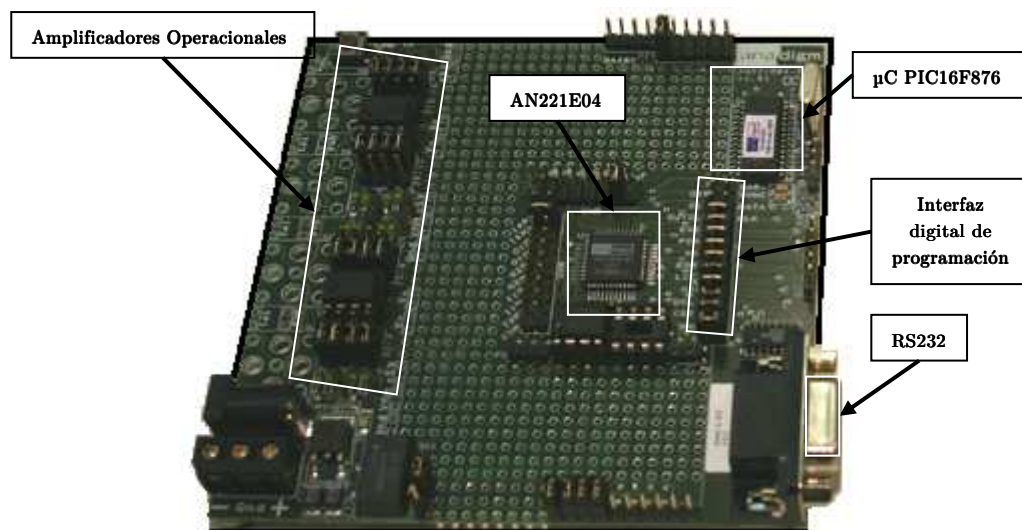
- la cantidad de recursos lógicos que contiene, como se muestra en la Tabla 3.5, permite el desarrollo de aplicaciones con una cierta complejidad, como las que aparecen en el acondicionamiento de sensores. Por otro lado, la elección de este dispositivo permite que el encapsulado contenga un número menor de pines, lo que facilita el desarrollo de la plataforma. Aún así, el número de pines disponible es suficiente para las señales que se tienen que manejar.

**Tabla 3.5 FPGA de la familia Spartan-3A**

Dispositivo	Puertas	Celdas Lógicas	Matriz de CLBs			
			Filas	Col.	CLBs	Slices
XC3S50A	50k	1584	16	12	176	704
XC3S200A	200k	4032	32	16	448	1792
XC3S400A	400k	8064	40	24	896	3584
Dispositivo	Bits RAM	Bits/bloq. RAM	MUX	DCM	I/O usuario	Pares I/O diferencial
XC3S50A	11k	54k	3	2	144	64
XC3S200A	28k	288k	16	4	248	112
XC3S400A	56k	360k	20	4	311	142

### 3.4 Desarrollo inicial: placas de desarrollo comerciales

En este apartado se presentarán las primeras aproximaciones que se realizaron al desarrollo de la plataforma, para las cuales se emplearon distintos kits de de evaluación y desarrollo de aplicaciones con los dispositivos en los que se basa el sistema reconfigurable y que los fabricantes ponen en el mercado. Así, en relación con la FPAA, Anadigm comercializa el kit de desarrollo Anadigmvortex Development Board AN221K04, que contiene el dispositivo AN221E04.



**Figura 3.21** Anadigmvortex Development Board AN221K04

Por otro lado Avnet comercializa el Xilinx Spartan 3A Evaluation Kit, que contiene el dispositivo XC3C400A. También se han utilizado las placas Xilinx Spartan-3E Evaluation Kit y la Spartan-3E FPGA Starter Kit que contiene el dispositivo XC3C500E y un conjunto de recursos que la hacen idónea para implementar aplicaciones en una etapa de test y depurado del trabajo.

### 3.4.1 Descripción de las placas de desarrollo

A continuación se va a realizar una descripción de la estructura, interfaces y principales elementos de las placas de desarrollo utilizadas.

#### *Anadigmvortex AN221K04 Kit*

En la Figura 3.21 se muestra la placa Anadigmvortex Development Board AN221K04 (Anadigm 2006). Esta placa permite el testeo de configuraciones analógicas en la FPAA AN221E04 de Anadigm. Esta placa está pensada para

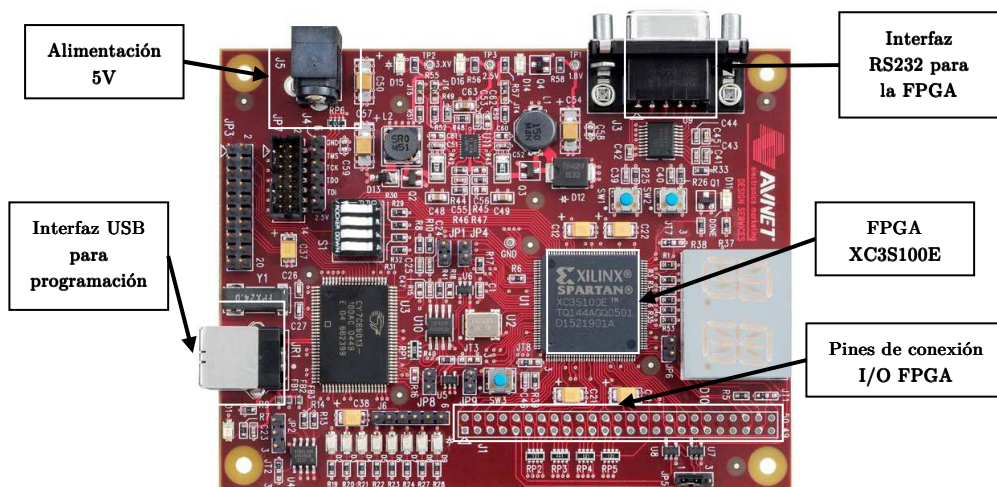


Figura 3.22 Xilinx Spartan-3E Evaluation Kit

usarse en conjunción con el software AnadigmDesigner2 a través del puerto serie de comunicación que está controlado por el microcontrolador PIC16F876, el cual que se encarga de la configuración de la FPAA a través del interfaz de configuración digital de la FPAA. Adicionalmente, el *firmware* en el microcontrolador permite leer la salida de un ADC implementado en la FPAA, como se explicó anteriormente, conectado en la celda de salida 1 de la FPAA. Anadigm proporciona la configuración del protocolo de comunicación RS232 usado y los comandos para la adquisición de datos, lo que permite que la plataforma se pueda manejar con cualquier otro entorno de programación para el desarrollo de aplicaciones de la FPAA o mediante otra placa de desarrollo.

Esta placa incluye una zona que permite la implementación de pequeños circuitos si son necesarios. Todos los puertos analógicos de entrada salida de la FPAA son accesibles mediante tiras de pines para su utilización. La sección de comunicación y configuración digital que incluye el PIC y el interfaz RS232 pueden desconectarse completamente de la sección analógica, que incluye a la FPAA, mediante una serie de *jumpers*, lo que permite que el dispositivo FPAA

se pueda conectar y controlar mediante otro dispositivo, como puede ser una FPGA. La placa contiene cuatro amplificadores operacionales con terminales accesibles para implementar cualquier pre-acondicionamiento necesario para conectar la señal a las entradas de la FPAA. Existe una interfaz para memoria SPI EEPROM desde la que puede descargar la configuración para su funcionamiento aislado, sin necesidad de que intervenga el microcontrolador PIC. El sistema completo funciona con una alimentación de 5V

### ***Xilinx Spartan-3E Evaluation Kit***

En la Figura 3.22 se presenta la placa Xilinx Spartan-3E Evaluation Kit. Esta placa contiene el dispositivo XC3X100E, que sólo incluye 4 multiplicadores dedicados, 2 DCM, 4 BRAM y cien mil puertas equivalentes, lo que permite implementar aplicaciones simples.

Este dispositivo puede comunicarse mediante la tira de pines donde están mapeadas sus entradas/salidas, el interfaz serie RS232, y a través de USB, que se usa para su configuración con el software proporcionado por el fabricante.

### ***Spartan-3E FPGA Starter Kit***

En la Figura 3.23 se muestra la placa de desarrollo Spartan-3E FPGA Starter Kit (Xilinx 2008), la cual incluye como núcleo el dispositivo XC3S500E, que incluye 20 multiplicadores dedicados, 4 DCM, 20 BRAM y quinientas mil puertas equivalentes, lo que permite diseñar y testear aplicaciones con un alto grado de procesado.

La placa dispone de un gran número de interfaces, tanto analógicas (convertidores ADC 14 bits y DAC de 10 bits) como digitales (RS232, VGA, PS/2, Ethernet, USB, SPI, 1-wire, *Display* LCD y pines conectores) y recursos de almacenamiento (EEPROM, DDR RAM).

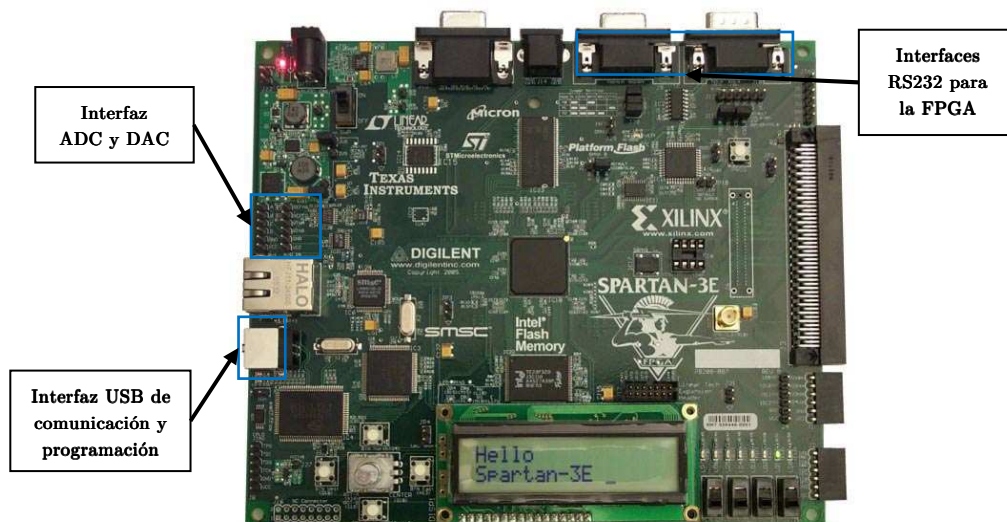


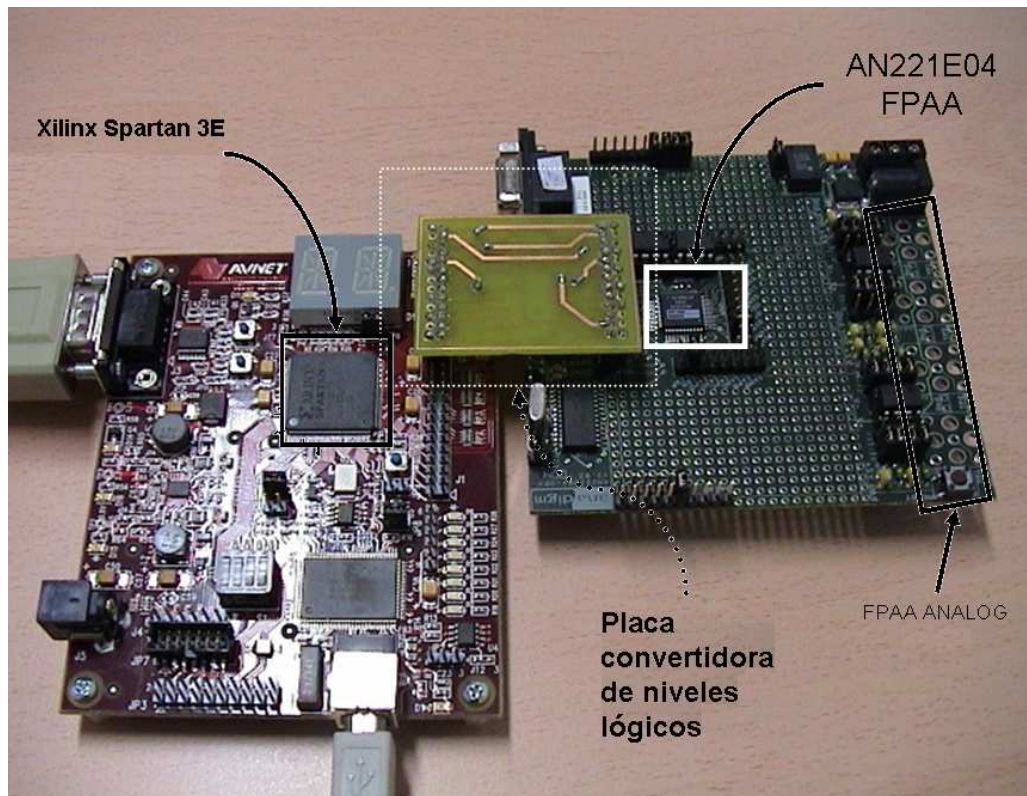
Figura 3.23 Spartan-3E FPGA Starter Kit

Xilinx, en colaboración con National Instruments, ha creado los *drivers* y recursos de programación necesarios para poder implementar diseños lógicos en la placa utilizando el software gráfico LabView con el módulo específico LabView FPGA Module. Esto permite integrar en una sola herramienta el desarrollo de la aplicación y la adquisición y testeo de la misma en el laboratorio a través del control de instrumentos de medida.

### 3.4.2 Arquitectura, montaje e interfaces entre las placas

El uso de estas placas de desarrollo ha permitido ensayar distintas técnicas de reconfiguración, como ya se ha comentado y se mostrará en capítulos posteriores. Para ello, se han realizado montajes de laboratorio iniciales haciendo uso de las mismas. Así, como primera aproximación se utilizaron las placas Anadimvortex y Xilinx Spartan-3E Evaluation Kit, como puede verse en la Figura 3.24. En este montaje la FPGA se encarga de configurar la FPAA mediante la interfaz digital de la misma, y el microcontrolador y puerto serie de la placa de la FPAA quedan anulados. Puesto que los niveles lógicos a los

que



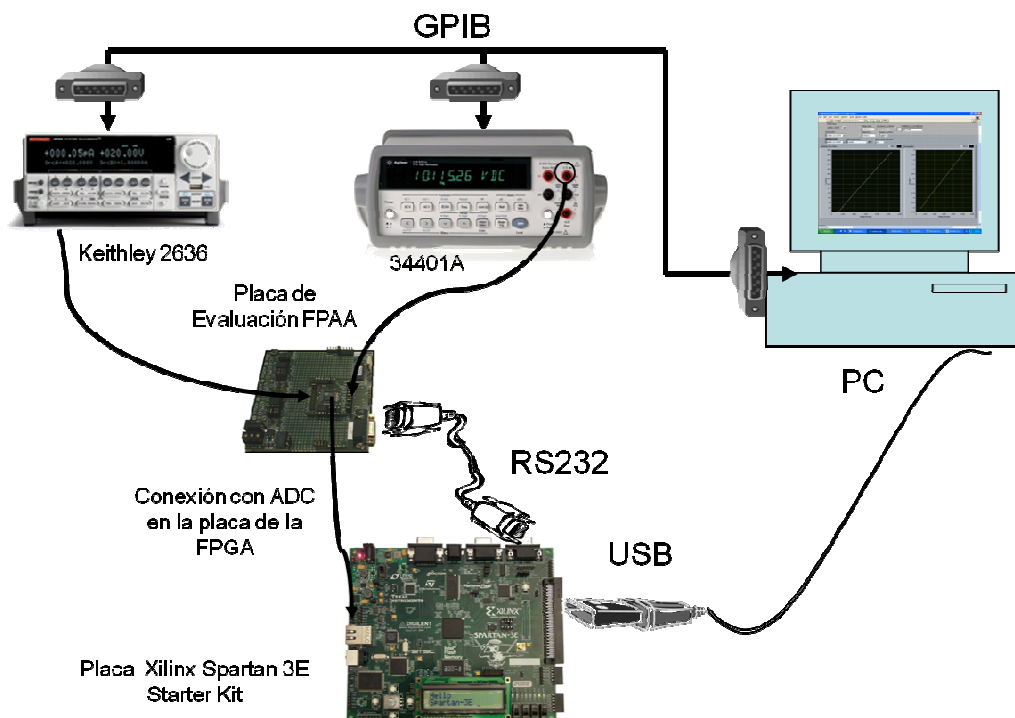
**Figura 3.24 Primeros desarrollos plataforma FPGA-FPAA**

trabajan las dos placas no son compatibles, ya que la FPGA trabaja con LVCMOS a 3.3V y la FPAA trabaja con CMOS a 5V, se diseñó una pequeña placa con convertidores de niveles lógicos para poder realizar la conexión.

Con esta arquitectura, la salida de cualquier señal procesada por la FPAA hacia la FPGA tiene que realizarse mediante un convertidor ADC configurado en la FPAA. Los datos procesados pueden entregarse a un PC *host* ya sea por el puerto serie de la placa de la FPGA o por el puerto USB.

Posteriormente, se sustituyó la placa Xilinx Spartan-3E Evaluation Kit por la Spartan-3E FPGA Starter Kit, para aquellos desarrollos en los que es





**Figura 3.25** Montaje experimental para desarrollo y depuración de aplicaciones con las placas de evaluación de la FPAA y la FPGA

necesario un procesamiento digital más complejo, como es el caso de la adquisición de señales biológicas como el electrocardiograma. Cuando se utiliza este montaje se puede hacer uso del ADC integrado en la placa de la FPGA para la conversión de las señales procedentes de la FPAA. Este ADC contiene dos canales de conversión con 14 bits de resolución, con una tasa máxima de muestreo de 1 Mmps. Esto permite tener una resolución suficiente para las aplicaciones que se han desarrollado. En la Figura 3.25 puede verse el montaje experimental típico que se ha usado para desarrollo y testeo de aplicaciones de instrumentación. En este caso, la FPGA se encarga de la configuración de la FPAA haciendo uso del puerto serie, lo que simplifica el desarrollo. Por otro lado, el PC puede encargarse de la configuración de ambos dispositivos dentro de una aplicación, en caso de depurado de la misma.

### *Limitaciones*

El uso de plataformas de evaluación de dispositivos reconfigurables presenta ciertas limitaciones, que aconsejan el desarrollo de una plataforma específica para prototipado de instrumentación electrónica. Si nos centramos en la primera aproximación que se ha presentado anteriormente, esta no tiene un ADC con una resolución suficiente para muchas aplicaciones, ya que el ADC que se puede implementar en la FPAA solo tiene 8 bits de resolución. Si bien es cierto que mediante técnicas de reconfiguración dinámica del dispositivo FPAA es posible obtener una resolución de 10 bits, como se muestra en el siguiente capítulo, esta resolución puede no ser suficiente en determinados casos, y además consume recursos internos de la FPAA que pueden necesitarse para acondicionamiento.

Por otro lado, el uso de plataformas separadas para los dispositivos reconfigurables provoca que muchos recursos estén duplicados y el consumo del sistema sea más elevado. Estos problemas se eliminan si se realiza una plataforma que incluya los dos dispositivos y los puertos de comunicación necesarios. Por tanto, en los siguientes apartados se presentan dos prototipos de plataforma de instrumentación con todos los elementos integrados en el mismo PCB.

### **3.5 Prototipo P01: 1 FPAA+1 FPGA+ 1 $\mu$ C**

La experiencia adquirida con el empleo de montajes con placas de evaluación de FPAA y FPGA el diseño de una plataforma que facilitase el uso de estos dispositivos y técnicas de reconfiguración de los mismos. En lo que sigue, se presenta el diseño y como se ha estructurado la conexión entre dispositivos.



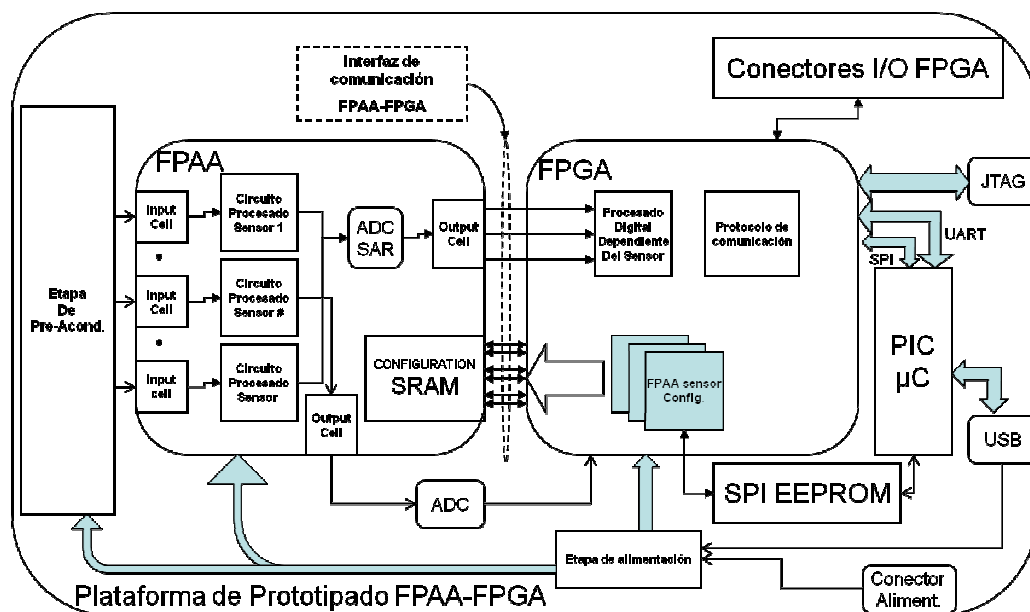


Figura 3.26 Estructura del prototipo de plataforma de instrumentación.

### 3.5.1 Arquitectura general del diseño

En un primer desarrollo se plantea la plataforma cuya estructura se muestra en la Figura 3.26. Como ya se ha mencionado anteriormente, los elementos principales de la misma son la FPAF y la FPGA, ya que proporcionan el carácter reconfigurable y determinan, además las dos principales zonas de la placa: la zona analógica y la digital. Además, dicha plataforma cuenta con una memoria SPI que servirá para almacenamiento de datos, por un lado, y como memoria de configuración de la FPGA por otro. La FPGA descarga de dicha memoria tanto su configuración como la configuración adecuada para la FPAF y la traslada a la misma a través de las señales de comunicación destinadas a programación que hay entre ambos dispositivos.

Para presentar los elementos de la plataforma de la Figura 3.26, se empleará el orden en el que éstos intervienen en el procesamiento de una señal. Por tanto, el primer bloque de procesamiento es el módulo de pre-acondicionamiento. Este módulo está formado por amplificadores, operaciones, resistencias, condensadores, etc., y se encarga de acondicionar la señal de entrada a unos niveles de referencia y amplitudes adecuados para ser tratada por la FPAA. La interconexión entre el módulo de pre-acondicionamiento y las entradas de la FPAA se realiza mediante pines, de manera que el usuario pueda elegir las entradas de la FPAA que emplea.

El siguiente bloque en el procesamiento es la FPAA, que realiza el acondicionamiento analógico de la señal. La digitalización de la señal procesada en la FPAA puede realizarse en la propia FPAA, como ya se ha comentado con anterioridad, o mediante un ADC externo de mayor resolución, incluido en el diseño. La configuración de la FPAA la realiza la FPGA, para lo cual, se han implementado las conexiones digitales necesarias, tal y como se presentaron en la Figura 3.11.

Los datos procesados y digitalizados se entregan a la FPGA para que ésta realice el procesamiento digital. La configuración de la FPGA puede realizarse desde la memoria SPI, o a través del módulo JTAG creado para ese propósito de forma específica.

Una vez que se ha realizado todo el procesamiento de señal, los datos son transmitidos al exterior vía USB. Para ello se emplea la interfaz SPI entre el microcontrolador (PIC) y la FPGA, ya que el microcontrolador gestiona la comunicación USB.

Es interesante destacar que la memoria SPI no sólo es accesible por la FPGA, sino que también existe la posibilidad de que el microcontrolador escriba en la misma. En concreto, la configuración de la FPGA debe poder ser

cargada a la memoria desde un *host*, para lo cual, es el PIC el encargado de gestionar la carga de los datos de configuración procedentes del PC. Además de la interfaz de comunicación SPI entre la FPGA y el PIC, existe una interfaz de comunicación UART entre ellos, para facilitar la implementación de comunicaciones, según la aplicación que se esté desarrollando.

El sistema global está alimentado con 5V, por lo que es necesaria una etapa de gestión de potencia para convertir esos 5V en las tensiones adecuadas para cada uno de los dispositivos. Para ello, dicha etapa cuenta con reguladores de tensión, supervisores y convertidores DC-DC, que proporcionan tensiones de +3.3V, +1.2V y  $\pm 15V$ .

### ***PCB del prototipo a doble cara.***

En una primera aproximación se ha realizado un prototipo en una PCB a doble cara para ser manufacturado en el laboratorio del grupo de investigación, de forma que sus características tienen que ser tales que permitan la correcta realización de la placa con las herramientas disponibles. La mayor limitación está en la soldadura puesto que, es necesario que tanto el tamaño de los componentes como la distribución de los mismos en la placa (anchos de pista, separación, etc.) sean tales que permita realizar soldaduras manuales.

En la Figura 3.27 se puede observar la distribución de los planos de tierra analógica (rojo) y digital (azul) tanto en la cara superior como en la inferior, y la Figura 3.28 muestra cómo han sido conectados los componentes en cada una de las caras de la placa así como las conexiones existentes entre todos ellos. En la Figura 3.29 se muestra el prototipo construido.

En los apartados sucesivos se explicará con más detalle la interconexión cada uno de los elementos de la plataforma mostrados en la Figura 3.26 .

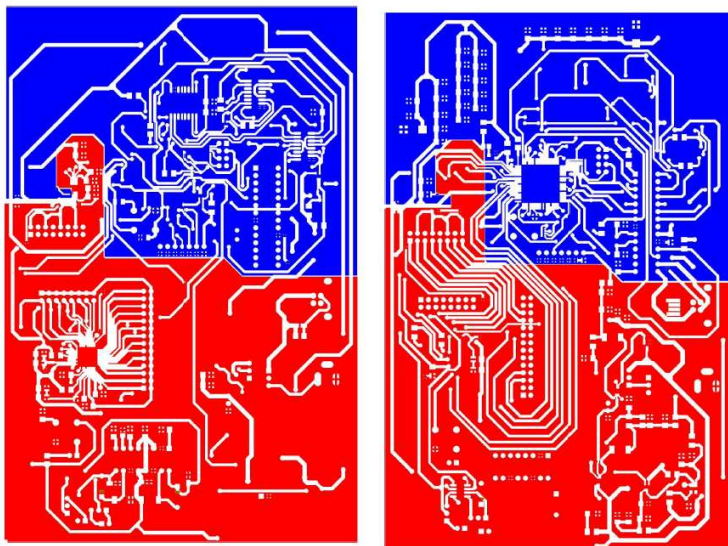


Figura 3.27 Distribución de los planos de tierra en la placa diseñada: cara inferior (izquierda), cara superior (derecha).

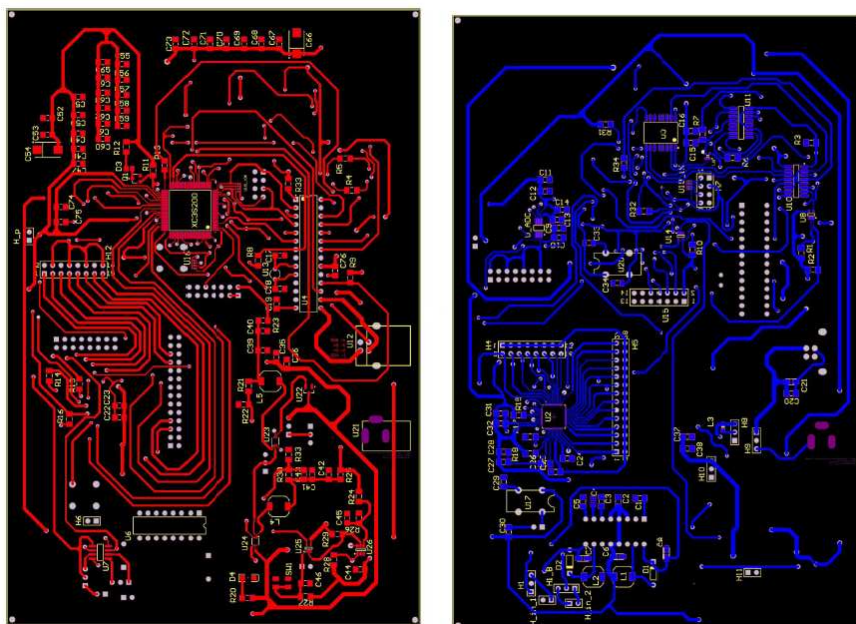


Figura 3.28 Distribución de los componentes y pistas en la placa: cara inferior (derecha), cara superior (izquierda).

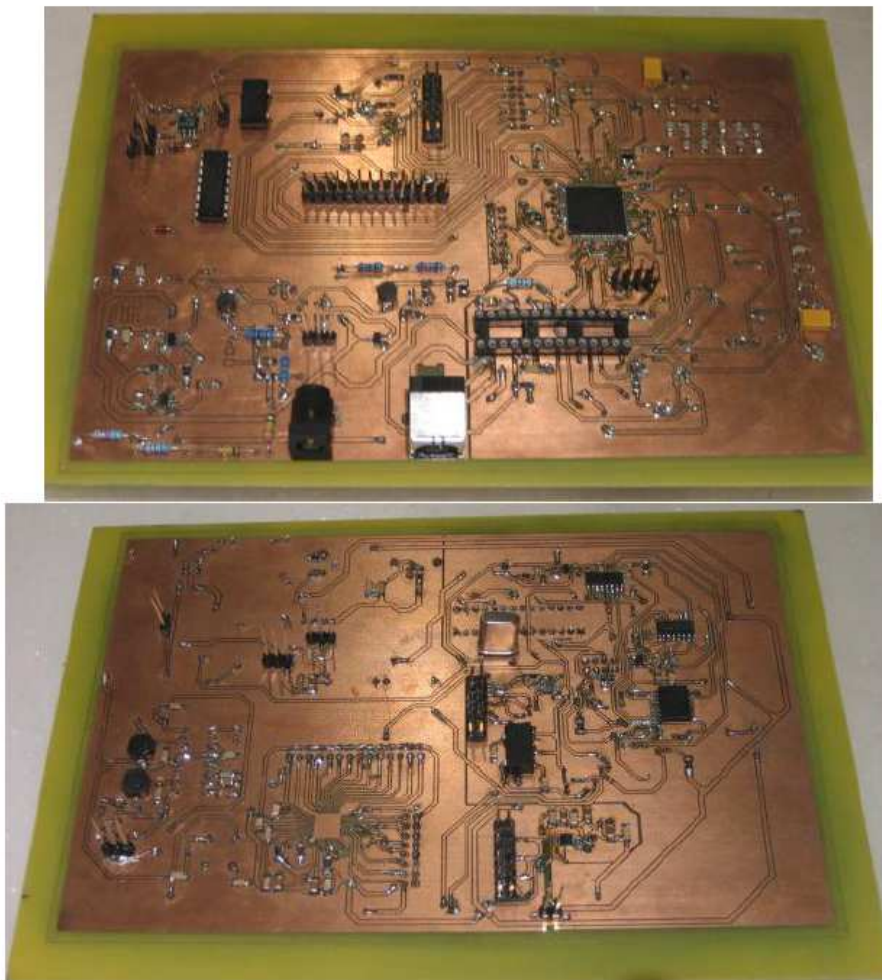


Figura 3.29 Prototipo construido.

### 3.5.1 Módulo de pre-acondicionamiento

El módulo de pre-acondicionamiento es el encargado de recibir la señal externa y transformarla en una señal que pueda ser tratada por la FPAA. El esquema de este bloque puede observarse en la Figura 3.30. Para ello cuenta con dos amplificadores operacionales que están en el chip LT1366CS8, de Linear Technology, y a cuyas entradas han sido conectados sendos conectores

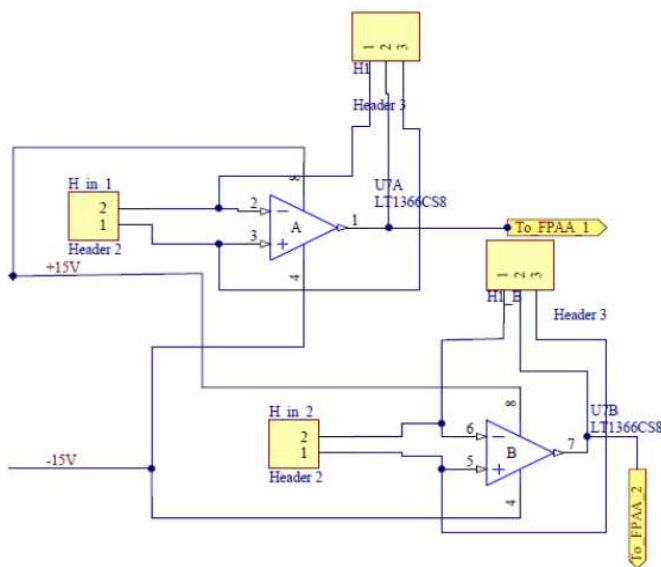


Figura 3.30 Esquemáticos de la etapa de pre-acondicionamiento.

(H\_in\_1 y H\_in\_2) con el objetivo de facilitar la conexión de las señales externas a las entradas de dichos operacionales. Las salidas de este chip están conectadas a las entradas de la FPAA. Este dispositivo está alimentado a una tensión diferencial de  $\pm 15V$  para permitir un rango amplio de señales de entrada.

### 3.5.1 FPAA y ADC externo

La FPAA es el dispositivo encargado de realizar el procesado y acondicionamiento analógico de la señal entrante en la Figura 3.26. Cuando se trabajó con las placas de evaluación de los fabricantes de FPAA y FPGA se tuvo el problema de que los niveles lógicos de los dispositivos no son compatibles. Para subsanar este problema se ha recurrido a un integrado de la misma familia de FPAA que funciona a 3.3V de alimentación, el AN231E04.

Tabla 3.6 Comparativa entre FPAA de Anadigm

Parámetro	AN231E04	AN221E04
Tensión de Alimentación(V)	3.3	5
Reconfiguración	Dinámica	Dinámica
Consumo de potencia(mW)	125	400
Arquitectura	Diferencial	Diferencial
LUT(Bytes)	256	256
Encapsulado	44-pin QFN (7x7x0.85)mm	44-pin QFN (10x10x2)mm
Pitch	0.5mm	0.85mm
Distorsión Armónica Total	100dB	80dB
SNR	80dB	80dB

En la Tabla 3.6 se presenta una comparativa entre ambos dispositivos, en la que puede verse que las características funcionales son prácticamente idénticas. La principal diferencia de este dispositivo es que para las celdas de entrada/salida sólo existe un amplificador *chopper* que sólo puede emplear una de las celdas a la vez. En cuanto a cantidad de pines de comunicación y celdas de entrada y salida, el dispositivo AN231E04 es idéntico al AN221E04. De esta manera, la comunicación entre la FPAA y FPGA puede realizarse sin necesidad de conversión de niveles de tensión.

### *Configuración*

El comportamiento del AN231E04 está determinado por el contenido de su memoria de configuración volátil (basada en tecnología SRAM). Cuando se inicia la secuencia de POR (*Power-On-Reset*), la memoria de configuración se limpia, de forma que el dispositivo puede aceptar una nueva configuración una vez que este proceso ha finalizado. El dispositivo tiene una interfaz de configuración serie SPI. En el esquema utilizado en este desarrollo, la FPAA actúa como esclava y el *host* (FPGA) envía los datos de configuración tal y como se muestra en la Figura 3.11. El chip AN231E04 está alimentado a





+3.3V, generados, al igual que en el caso de la FPGA, en el bloque de gestión de potencia. Como se puede apreciar en la Figura 3.31, los pines de entrada/salida de la FPAA están emparejados en los conectores H4 y H5, con la de tensión de referencia VMR del procesado interno de la FPAA. Esto se ha realizado con el objetivo de que sea posible acondicionar la señal de entrada tal y como se explica en el apartado 3.3.1.2.

Todas las salidas de naturaleza analógica (OP1-ON1, . . . , OP4-ON4) de la FPAA, están conectadas al conector H12 de la Figura 3.32, que permite que la conexión a la entrada del convertidor analógico digital U\_ADC (el dispositivo 141S626). Las entradas (I1P, I1N...etc.) en los conectores H4 y H5, por su parte, proceden de los amplificadores operacionales del chip U7 (LT1366CS8) en la Figura 3.30, es decir, son las señales de entrada a la placa.

El convertidor analógico digital cuenta únicamente con una entrada diferencial, por lo que para que sea posible conectar todas las salidas que proporciona la FPAA (4 en salida diferencial), se ha introducido un conector (H12 en la Figura 3.32) para conectar la salida deseada en cada momento. Cuando la conversión de la señal se realiza, el ADC pone el resultado en su patilla DOUT. La transmisión de los datos hacia la FPGA se controla por

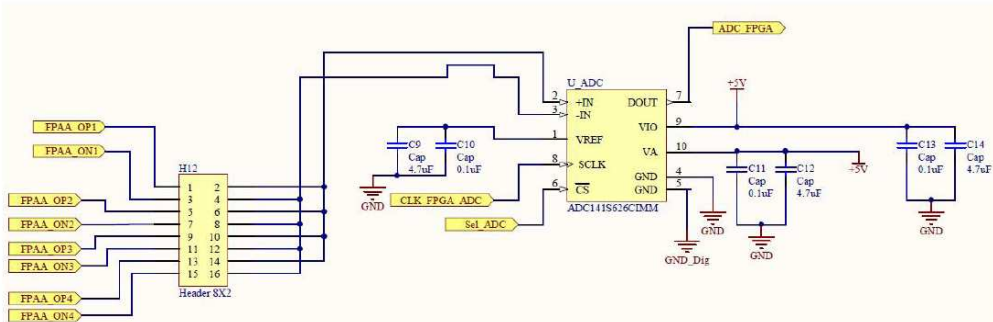


Figura 3.32 Esquemático de las conexiones del ADC

la propia FPGA a través de las señales Sel\_ADC, con la que activa el dispositivo, y CLK\_FPGA\_ADC, con la que controla la temporización durante la transmisión así como la velocidad de conversión.

### 3.5.2 Microcontrolador PIC 18F2550 y memoria SPI

Este apartado presenta la comunicación entre la memoria de almacenamiento de la plataforma, la FPGA y el microcontrolador PIC. Esta interfaz de comunicación debe permitir que tanto la FPGA como el PIC accedan a la memoria.

El PIC seleccionado, el 18F2550 (Microchip 2007), ha sido utilizado en diseños anteriores (Martinez-Olmos et al. 2008), como ya se ha mencionado con anterioridad. Este dispositivo tiene integrado la circuitería necesaria para comunicación USB, lo que facilita la comunicación de la plataforma con cualquier PC *host*. Además, el número de pines disponible es suficiente para implementar una comunicación serie entre el PIC y la FPGA (UART) y todas las líneas de comunicación con la memoria SPI y la FPGA. Además, es necesaria la incorporación de un cristal de cuarzo que controle la frecuencia de funcionamiento del dispositivo. El uso de este dispositivo facilita el desarrollo los firmwares para control de todos esos interfaces, no obstante, como se verá más adelante el uso de un PSoC como elemento de control e interfaz entre protocolos, añade versatilidad a la plataforma.

Si se observa de nuevo la Figura 3.26, puede verse la memoria que, como ya se ha mencionado anteriormente, es la encargada de almacenar tanto los datos de aplicación como los de configuración. En la elección de esta memoria hay factores que se deben tener en cuenta, factores que van desde la organización interna de la misma, hasta sus características eléctricas, pasando por la interfaz de comunicación con el resto de dispositivos.

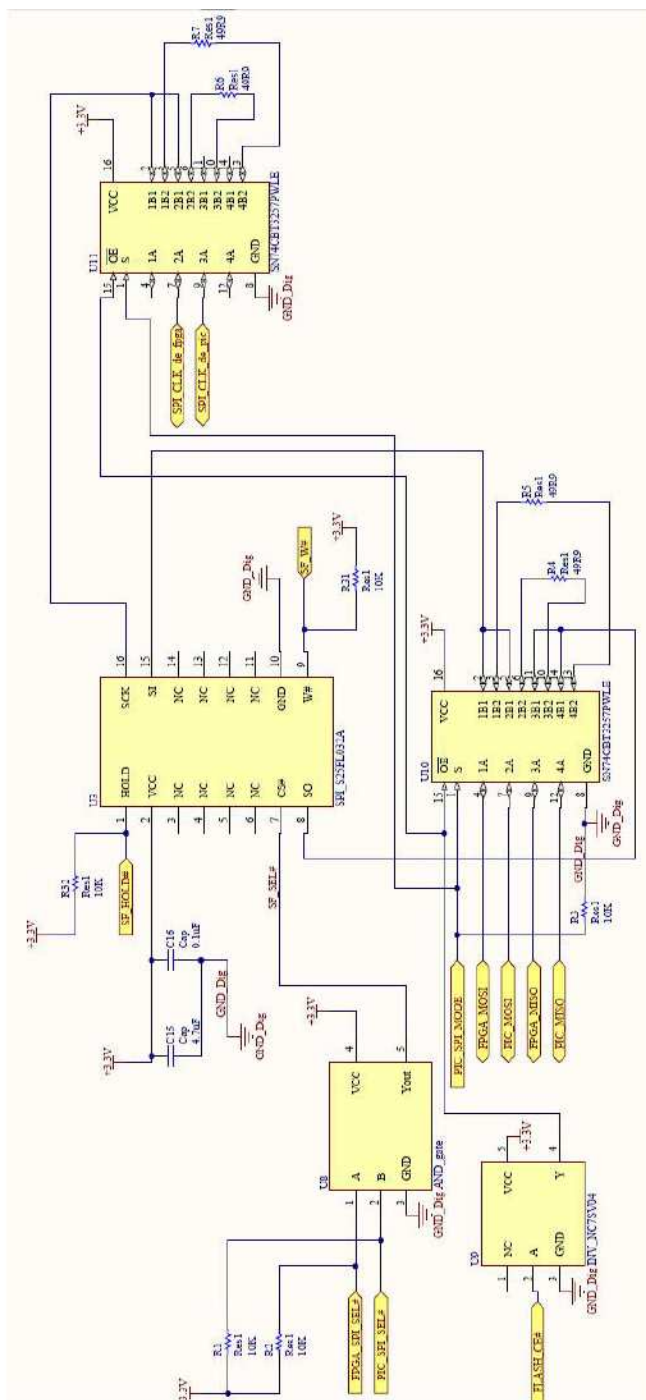


Figura 3.33 Esquemático de comunicación con la memoria SPI

La memoria SPI S25FL032A elegida, es un dispositivo de memoria flash alimentado con 3.3V (2.7-3.6V) formada por 64 sectores, cada uno con 512Kb de memoria. Esta memoria recibe la entrada de datos a través de la patilla señalada como SI (*Serial Input*), y obtiene los datos por la patilla SO (*Serial Output*). Además, está diseñada para ser programada *on-board* con la alimentación de 3.3V estándar.

La plataforma reconfigurable permite la lectura y escritura de datos en la memoria SPI tanto con la FPGA como con el PIC. Como puede verse en la Figura 3.33, la interfaz PIC $\leftrightarrow$ SPI se lleva a cabo a través de los multiplexores U10 y U11, ambos controlados por el PIC, que se puede considerar el maestro de la interfaz SPI. Por otro lado, la comunicación con la Spartan se realiza a través de la interfaz dedicada que ésta posee. Así pues, para garantizar el correcto funcionamiento del sistema global, se hace necesaria la existencia de una serie de señales que impidan posibles intentos de acceso simultáneo a la memoria desde la FPGA y el PIC. La primera de estas señales se puede observar en la Figura 3.34, con el nombre de PIC\_SPI\_MODE y actúa como señal de control del multiplexor U10. En función del valor de esta señal, se pueden distinguir dos modos de funcionamiento:

- Modo PIC/FPGA $\leftrightarrow$ SPI: cuando PIC\_SPI\_MODE = 0. En este modo (cuyo diagrama se muestra en la Figura 3.34a) tanto el PIC como la FPGA pueden acceder a la memoria, para lo cual deberán poner su línea de selección de la misma (FPGA\_SPI\_SEL en el caso de la FPGA, o PIC\_SPI\_SEL en el caso del PIC) en bajo. Una vez que alguna de las señales de entrada a la puerta AND U8 se activa, la señal SF\_SEL# (que actúa como señal de selección de la SPI) se pone en bajo, seleccionando la memoria. Por otro lado, el hecho de que la señal de PIC\_SPI\_MODE (controlada por el PIC) se ponga a

0 hace que el multiplexor U10 conecte la interfaz de comunicación de la FPGA o el PIC con la SPI (compuesta por las señales FPGA\_MOSI y FPGA\_MISO en el caso de la FPGA y PIC\_MOSI y PIC\_MISO en el caso del PIC). La SPI necesita recibir, además, la temporización que se utilizará en la transmisión de los datos. Dicha temporización se realiza mediante el pin SCK, por lo que tanto la FPGA como el PIC deberán ser capaces de generar dicha señal. El multiplexor U11 es el encargado de seleccionar cuál de las dos señales de reloj controla la SPI, para lo que hace uso de la misma señal que en el caso de los datos, la PIC\_SPI\_MODE. Así pues, cuando dicha señal está a 0, la SPI recibe por el pin SI los datos y por el SCK los de temporización.

- Modo PIC $\leftrightarrow$ FPGA: cuando PIC\_SPI\_MODE = 1. Tal y como se observa en la Figura 3.34b), en este modo el multiplexor U10 está configurado para permitir la conexión entre el PIC y la interfaz SPI de la FPGA, de forma que el PIC y la FPGA sean capaces de comunicarse. El objetivo de este modo es habilitar la configuración esclavo-serie del PIC hacia la FPGA, de forma que el PIC actúe como maestro y la FPGA desempeñe el papel de esclavo.

El primero de estos dos modos presenta una configuración que es potencialmente conflictiva, puesto que podría producirse un intento simultáneo de acceso a la memoria por parte de la FPGA y el PIC. Para solucionarlo se ha establecido la siguiente filosofía de actuación: si el PIC intenta acceder a la memoria SPI tiene que poner en bajo la señal PROG\_B de la FPGA, de forma que ésta se ponga en estado de *reset* y por tanto sea incapaz de acceder a la memoria.

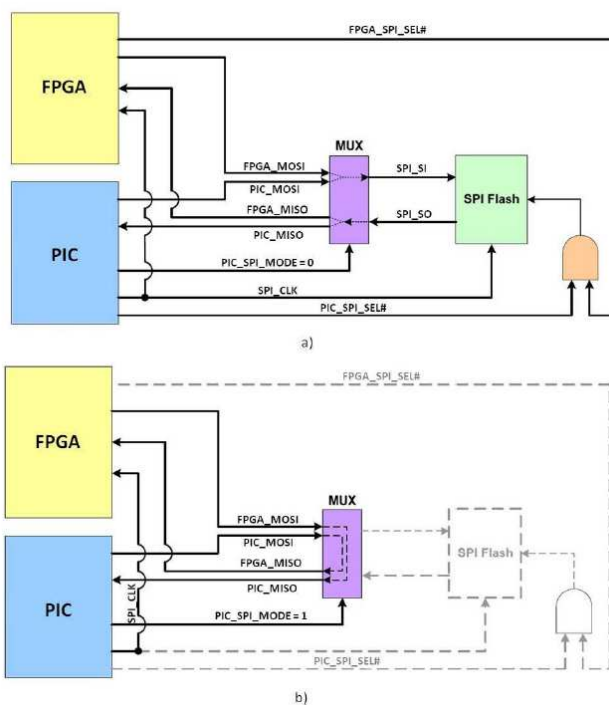


Figura 3.34 Modos de configuración de las comunicaciones con la interfaz SPI: a) modo PIC/FPGA↔SPI, y b) modo PIC↔FPGA

El modo de funcionamiento normal es que el PIC ponga a la FPGA en estado de *reset* y descargue vía USB un archivo de configuración de la FPGA, para después cargarlo en la SPI. Cuando la transferencia se completa, el PIC libera la patilla PROG\_B, permitiendo a la FPGA acceder a la memoria para leer el nuevo archivo de configuración.

### 3.5.3 FPGA

Como ya se ha mencionado, el dispositivo elegido es el XC3S200A. En este apartado se comentan las especificaciones de la alimentación de este dispositivo y con la interfaz de configuración del mismo.

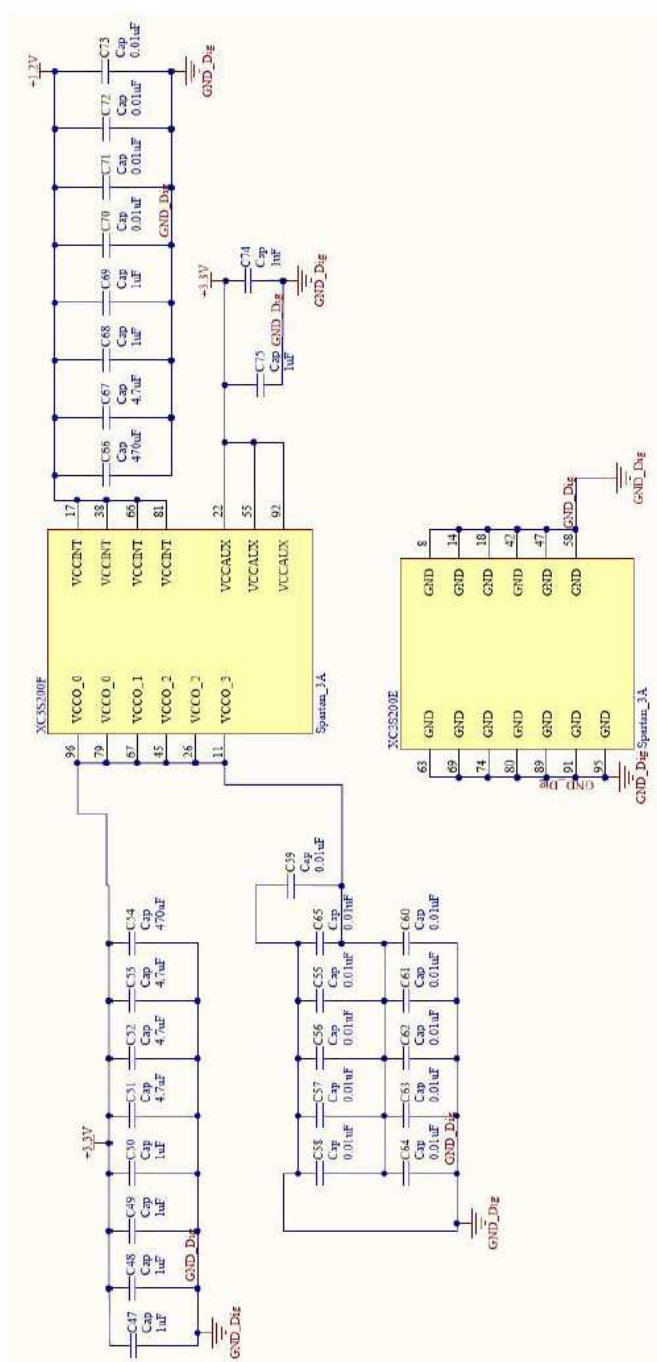


Figura 3.35 Alimentación de la FPGA XC3S200A

### *Alimentación*

El esquema de alimentación de la FPGA se presenta en la Figura 3.35, en la que se pueden destacar tres tipos de patillas de alimentación diferentes:

- *Vcco*: hay una por cada banco de entrada/salida presente en la FPGA (en este caso, cuatro<sup>4</sup>). Tienen como objetivo la alimentación de los *drivers* externos, excepto en los casos en los que se utilicen las señales estándar GTL y GTLP. El valor de tensión en estos pines determina el rango de tensión de la señal de salida. En este diseño están fijadas a +3.3V;
- *Vccint*: estos pines proporcionan la alimentación para la lógica interna de la FPGA. Están fijados a una tensión de +1.2V proporcionada por el convertidor DC-DC U24 del módulo de gestión de potencia;
- *Vccaux*: la FPGA cuenta con una fuente auxiliar de alimentación, pensada para optimizar el desarrollo de funciones concretas en la FPGA, como la conmutación de las entradas/salidas.

### *Configuración*

El funcionamiento de la plataforma diseñada se basa en la configuración de la FPGA, ya que es ésta quien se encarga de la configuración de la FPAA y de procesamiento digital de los datos. Como ya se ha mencionado anteriormente, la configuración de la FPGA se puede realizar de tres formas distintas:

- a través de la interfaz JTAG, haciendo uso del conector de JTAG dispuesto a tal efecto (U15). Las conexiones de los pines de



configuración de la FPGA al conector U15, para este modo de configuración, se muestran en la Figura 3.36;

- mediante descarga directa de los datos de configuración de la SPI. Para esto se hace uso de la interfaz FPGA $\leftrightarrow$ SPI existente entre ambos chips;
- haciendo uso de la conexión directa FPGA $\leftrightarrow$ PIC, de forma que el microcontrolador cargue en la FPGA los datos de configuración procedentes de un *host* USB.

Estos modos de funcionamiento de la FPGA se seleccionan a través del estado de los pines M0, M1 y M2 del dispositivo. Para tal fin, se han colocado los *jumpers* necesarios para establecer los valores lógicos deseados en estos pines de la FPGA. La Tabla 3.7 muestra la configuración de los pines M0-M2 que da lugar a cada uno de los posibles modos de funcionamiento de la FPGA. En el caso de esta plataforma, las configuraciones ‘maestro paralelo’ y ‘esclavo paralelo’ no tiene sentido, ya que dichas interfaces de configuración no se han cableado.

### 3.5.4 Alimentación de la plataforma

Tal y como se muestra en el diagrama de bloques de la Figura 3.26, en la placa hay una parte de gestión DC, que es la encargada de realizar la transformación de la tensión de alimentación en distintos niveles de tensiones que se necesitarán en el circuito. Como se ha visto en los apartados anteriores de este capítulo, la gran mayoría de los dispositivos que conforman esta plataforma están alimentados a 3.3V. Adicionalmente, la FPGA necesita que su núcleo esté alimentado a 1.2V, y el resto de los elementos se alimentan con 5V, excepto los amplificadores operacionales de la entrada que necesitan  $\pm 15V$ .

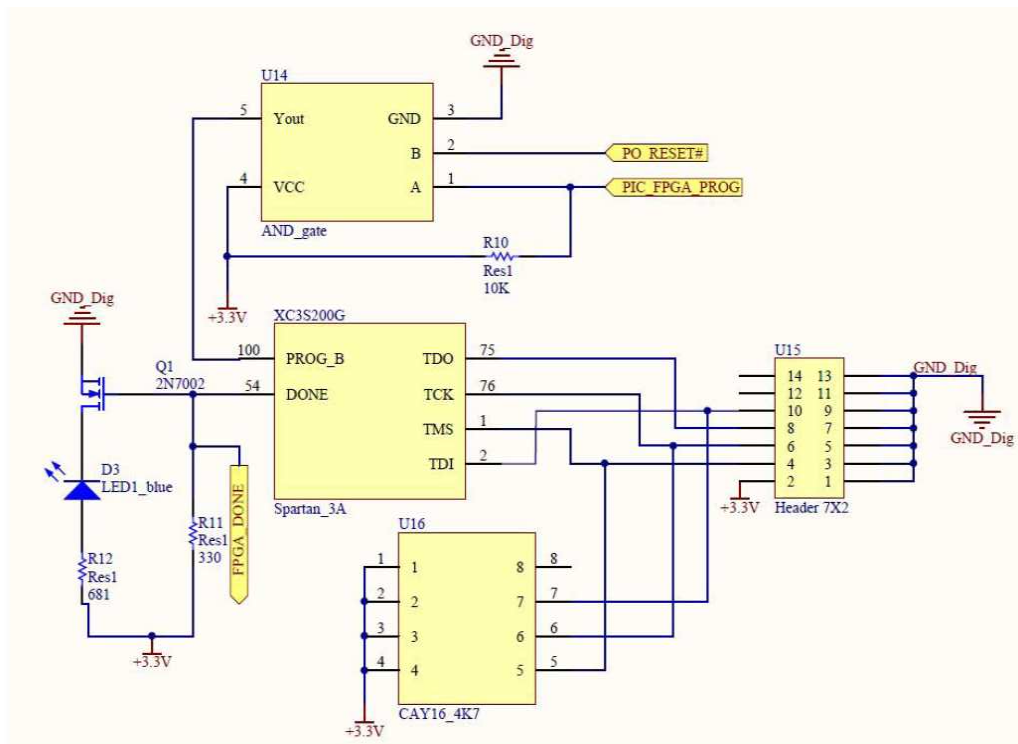


Figura 3.36 Esquemático de configuración de la FPGA.

Tabla 3.7 Valores de las señales M0-M2 para cada uno de los modos de funcionamiento.

Modo de Configuración	M0	M1	M2
Maestro serie	0	0	0
Esclavo serie	1	1	1
Maestro paralelo	1	1	0
Esclavo paralelo	0	1	1
JTAG	1	0	1

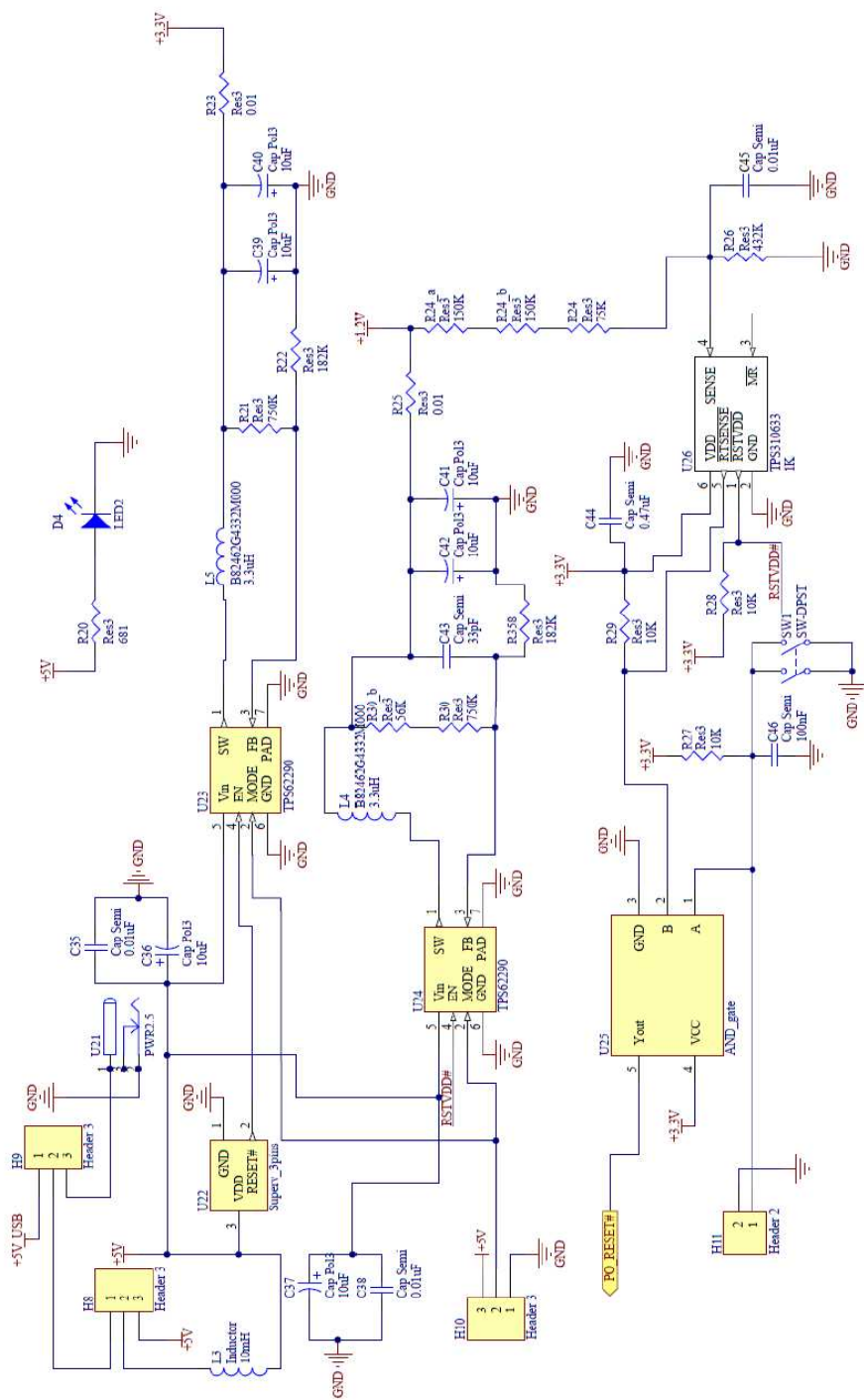


Figura 3.37 Esquemático de la gestión DC.

Tabla 3.8 Dispositivos del bloque de gestión DC.

Dispositivo	Fabricante	Descripción	Tensión de alimentación
TPS3809K33	Texas Instruments	Supervisor de tensión	5V
TPS62290	Texas Instruments	Convertor DC-DC que proporciona 3.3 ó 1.2V ajustable	5V
TPS310633	Texas Instruments	Supervisor de tensión	3.3V
MAX743	Maxim	Convertor DC-DC que proporciona $\pm 12$ ó $\pm 15$ V	5V

Así pues, este bloque DC está diseñado para generar los  $\pm 15$ , 3.3 y 1.2V necesarios para alimentar correctamente todas las zonas de la placa. Para ello se han empleado reguladores y supervisores de tensión, además de convertidores DC-DC. En la Tabla 3.8 se muestran los dispositivos que lo forman.

En la Figura 3.37 puede observarse el esquemático de la conexión de todos los dispositivos que se presentan en la Tabla 3.8. La plataforma está diseñada para ser alimentada con una entrada de +5V en el conector U21, o a través del cable USB. La elección de uno u otro tipo de alimentación se realiza a través de la posición del *jumper* H9, cuya misión consiste en seleccionar entre la entrada de +5V (H9 en configuración 2:3) procedente del conector U21, o alimentación procedente del USB (H9 en configuración 1:2). Como testigo de funcionamiento se ha incluido el diodo LED D4, que se ilumina cuando se está aplicando tensión a la placa y así, saber que ésta está correctamente alimentada. Los +5V de entrada a la placa son detectados por el supervisor de tensión de Texas Instruments TPS3809K33 (U22 en la Figura 3.37), de manera que cuando la tensión de entrada supera el umbral de este dispositivo, su salida de *reset* (activa en bajo) se pone en alto generando la señal que habilita el dispositivo U23, un convertidor DC-DC reductor de Texas Instruments, que

proporciona a la salida una tensión de +3.3V. Esta señal de +3.3V alimenta un segundo supervisor de tensión, el TPS310633 (U26), cuya señal de *reset* habilita otro convertidor DC-DC reductor (U24) que proporciona los 1.2V necesarios para alimentar el núcleo de la FPGA.

Las tensiones de  $\pm 15V$  para alimentar los amplificadores operacionales de la etapa de pre-acondicionamiento se generan con el dispositivo elevador DC-DC MAX743, a partir de la alimentación de 5V de la plataforma.

### 3.6 Prototipo P02: 2 FPAA + 1 FPGA + 1 PSoC

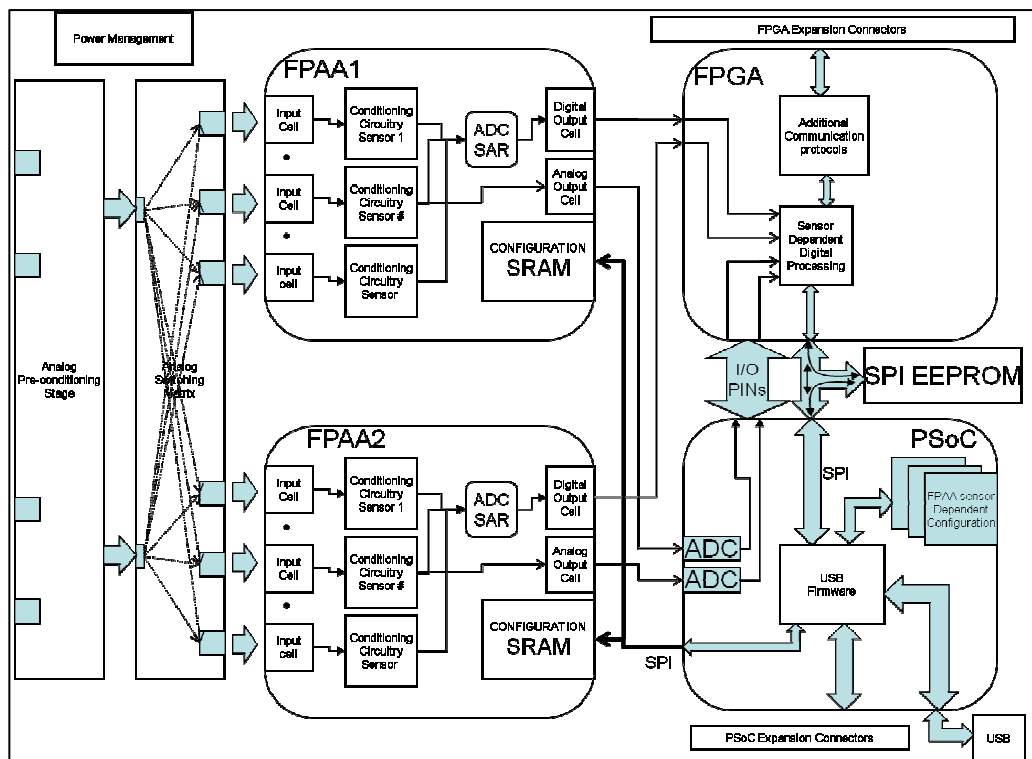


Figura 3.38 Plataforma de instrumentación prototipo P02.

Al desarrollo presentado en el apartado anterior, se le han realizado una serie de mejoras que a continuación se presentan y que han dado lugar a un segundo prototipo. Es interesante poder adquirir un número elevado de señales procedentes de sistemas o sensores, por lo que la inclusión de otro dispositivo FPAA permite la consecución de este fin.

Por otro lado, como se expuso en el capítulo anterior y se ha ampliado en el presente, los PSoC de Cypress contienen un microcontrolador que puede hacer de interfaz USB y a la vez configurar las FPAA y la FPGA presente en el diseño. Este dispositivo contiene recursos analógicos configurables que pueden emplearse como etapas de procesamiento analógico para señales procedentes de sensores. Este dispositivo contiene un convertidor analógico-digital de 12 a 20 bits de resolución, el cual, es un rango de resolución suficiente para un amplio grupo de aplicaciones de instrumentación. Además, es interesante que la etapa de pre-procesado se pueda conectar a diferentes entradas de cualquiera de las FPAA que integren la plataforma.

### 3.6.1 Estructura general de la plataforma

Por todo ellos se está desarrollando una plataforma para instrumentación con la estructura que muestra la Figura 3.38. Las principales características de esta plataforma son las siguientes:

- se introduce otra FPAA de Anadigm. En esta nueva aproximación al diseño de una plataforma, las dos FPAA son el dispositivo AN221E04 cuya principal característica es que se alimenta a 5V, con lo que el rango dinámico de las señales que puede manejar es mas amplio, lo que facilita la posterior digitalización de la señal. Otra característica interesante de este dispositivo es que todas las celdas

de entrada poseen amplificadores *chopper*, lo que es útil en muchas aplicaciones como se verá en capítulos posteriores. En el resto de cualidades, éstas son comparables a las del dispositivo usado en el diseño anterior. La inclusión de dos dispositivos analógicos programables permite el desarrollo de aplicaciones analógicas más elaboradas, como pueden ser las de acondicionamiento de señal más convertidor  $\Sigma\Delta$ , que con un post-procesado digital en la FPGA permite implementar un convertidor analógico-digital de mejores prestaciones que el que se puede configurar en la propia FPAA;

- se ha cambiado el modelo de FPGA por el dispositivo XC3S400A con encapsulado FT256. Este dispositivo presenta una cantidad mayor de recursos lógicos como puede verse en la Tabla 3.5, lo que permite abordar el desarrollo de aplicaciones más complejas;
- se elimina el ADC externo ya el presente en el PSoC es suficiente para las aplicaciones objetivo;
- el PSoC de Cypress, que sustituye al microcontrolador PIC en este nuevo diseño, con que los recursos que incluye, le confieren a este nuevo diseño una gran versatilidad. En concreto el dispositivo usado es un integrado de la familia CY8C38 dentro de los PSoC3, cuyas características ya se presentaron. Este dispositivo funciona como interfaz USB y se encarga de la configuración de los demás dispositivos de la plataforma a través de interfaces SPI. Además se usa para implementar el convertidor analógico-digital necesario para transferir la señal a la FPGA, cuando éste no se implementa en las FPAA;
- se ha incluido una matriz de conmutación analógica que permite el ruteo de cualquier señal conformada en la etapa de pre-acondicionamiento a cualquiera de las entradas habilitadas en las

FPAA. Esta matriz está constituida por los dispositivos MAX4701 y MAX4695, conmutadores analógicos, para los que son necesarias seis señales de control para configurarlos. No obstante, esta red de conmutación puede ser neutralizada y mediante conexiones manuales realizar el ruteo de las señales si se considera necesario.

- El módulo de gestión de la alimentación de los dispositivos en la placa se ha simplificado y rediseñado ya que en este diseño la mayoría de los dispositivos funciona con una alimentación de 5V.

La implementación de un prototipo de esta plataforma no es factible realizarla con los recursos que posee el grupo de investigación por lo que se ha encomendado su proceso de fabricación a un proveedor comercial.

### 3.6.2 Funcionamiento.

Como se ha comentado, en esta plataforma el PSoC es el encargado de configurar los dispositivos usados. La secuencia de funcionamiento de la plataforma se describe a continuación, cuando la plataforma funciona en conjunción con un host vía USB. En un primer estado, el PSoC descarga la configuración inicial en las FPAA, en la FPGA si es necesario y los datos necesarios en la memoria SPI. Estos datos pueden ser configuraciones adicionales para las FPAA y FPGA para ser usadas posteriormente. Una vez configurados los dispositivos, el PSoC ejecuta el programa específico para la aplicación que se esté diseñando, en la que hará de interfaz entre las FPAA y la FPGA. En función de la evolución del procesado, el hardware configurado en la FPGA puede solicitar una reconfiguración de las FPAA. Paralelamente, el *host* puede intervenir en el procesado de la señal solicitando algún tipo de reconfiguración de los dispositivos.



En un funcionamiento de la plataforma no tutelado por un *host*, se hace necesario que en la memoria SPI estén almacenadas las configuraciones iniciales y posteriores de todos los dispositivos, y el *firmware* programado en el PSoC debe dar cobertura a esta eventualidad.

### 3.7 Conclusiones.

En este capítulo se han presentado los diseños de plataformas de instrumentación reconfigurables donde han especificado las principales características de los dispositivos que las componen. Se ha realizado una exposición de los primeros desarrollos con kits de evaluación de los dispositivos, comentándose sus limitaciones debidas principalmente a los distintos niveles lógicos con los que trabajan las distintas plataformas y a la duplicidad de recursos implementados en éstas.

En base a la experiencia del trabajo con estos primeros desarrollos, se ha presentado la implementación exhaustiva de un prototipo de plataforma de instrumentación reconfigurable, destacando los elementos que la componen, las cualidades de estos y los métodos de configuración implementados.

Por último, se ha presentado un segundo prototipo que expande y mejora las posibilidades del anterior al incluir dos dispositivos FPAA, una FPGA con más recursos lógicos, y un PSoC que controla la configuración de los dispositivos anteriores y en el que se puede implementar acondicionamiento de señales analógicas, amén de un ADC con una resolución seleccionable de 12, 16 o 20 bits.

La unión de dispositivos reconfigurables analógicos y digitales abre un amplio abanico de posibilidades de procesamiento, de los cuales se presentan varios desarrollos en los capítulos siguientes.

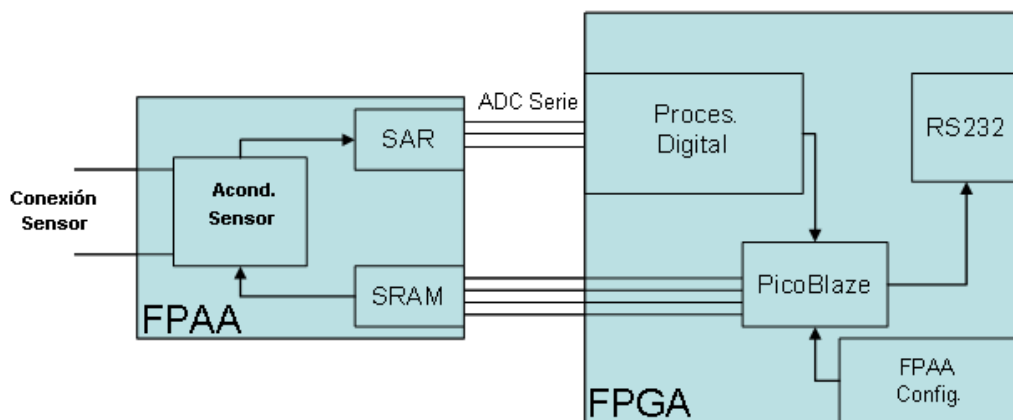
# Capítulo 4. Aplicación al sensado medioambiental

## 4.1 Introducción

En los capítulos anteriores se han presentado los elementos sobre los que se sustentan las plataformas reconfigurables desarrolladas y la filosofía de procesado que éstas permiten. En este capítulo se presentan ejemplos de estructuras de procesado para señales procedentes de elementos sensores de parámetros ambientales, como la presión y la temperatura. y como estas estructuras permiten compatibilizar la presencia más de un sensor conectado a la misma plataforma mediante el uso de técnicas de reconfiguración analógicas y digitales.

Como aplicación de estas capacidades de reconfiguración, se presenta un método de reconfiguración analógica que permite aumentar el número efectivo de bits del convertidor ADC de la FPAA. Además, se presentan las ventajas de estos métodos de procesado cuando se aplican a sensores bajo el estándar IEEE 1451.4 y como esta plataforma reconfigurable FPAA-FPGA se ajusta perfectamente al desarrollo de aplicaciones para los sensores bajo este estándar.

Las aplicaciones aquí presentadas se han realizado utilizando las placas de evaluación de los dispositivos FPAA y FPGA presentadas en el capítulo anterior, creando con ellas la plataforma reconfigurable que tiene la arquitectura que se muestra en la Figura 4.1. En las aplicaciones que a continuación se presentan, la FPGA se encarga de configurar en la FPAA el



**Figura 4.1 Estructura FPAA-FPGA usada en las aplicaciones de este capítulo.**

acondicionamiento necesario para el sensor o sensores que se conecten a la FPAA y adquiere la señal digitalizada mediante el ADC implementado en una de los bloques analógicos configurables CAB presentes en la FPAA. La configuración de la FPGA se realiza mediante descarga de la configuración de una memoria no volátil en la plataforma de la FPGA, o desde un PC *host* mediante interfaz USB. Esta estructura permite distribuir entre los dos dispositivos reconfigurables todas las tareas de procesamiento que se requieran seleccionando cuáles son más óptimas realizadas analógicamente y cuáles digitalmente.

## 4.2 Técnicas de reconfiguración para incremento de la resolución digital efectiva

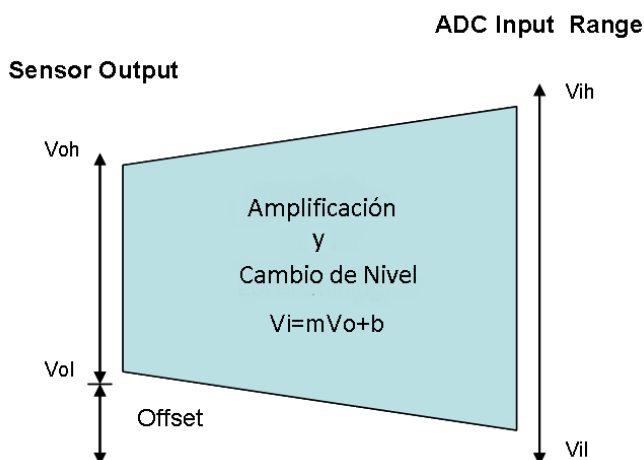
En este apartado se va a presentar una aplicación creada para el acondicionamiento de la señal de salida de un termistor con la que se ilustra cómo se ha incrementado la resolución efectiva del módulo ADC que se puede

implementar en cada uno de los cuatro bloques analógicos configurables CAB presentes en la FPAA AN221E04. Así se obtiene una resolución final de 10 bits, mientras que, como ya se explicó en el capítulo anterior, el ADC incluido en el conjunto de CAM que suministra AnadigmDesigner2 sólo tiene 8 bits de resolución.

Inicialmente se presenta la técnica usada, la cual puede ser aplicada para cualquier sensor ya que se vasa en el ajuste por tramos de la señal de salida del sensor al rango completo de entrada del ADC (Morales et al. 2008), (Morales et al. 2009). Seguidamente, se estudian las características y parámetros de los ADC en la FPAA de manera que se tenga un conocimiento de las limitaciones de este bloque analógico. Con este fin se crea una configuración para la FPAA y un montaje experimental que permita este estudio. A continuación se presenta el acondicionamiento específico para este sensor de temperatura y se obtiene la salida del ADC con una resolución de 10 bits. Por último se presenta la aplicación completa creada en la plataforma de instrumentación reconfigurable FPAA-FPGA, especificando el procesado digital que se realiza en la FPGA y como ésta controla la configuración de la FPAA.

#### **4.2.1 Ajuste dinámico de la salida del sensor al rango de entrada de un ADC.**

Cualquier diseñador se ha encontrado con la circunstancia habitual de que el rango de salida en tensión de un sensor raramente coincide con el rango de entrada del convertidor analógico-digital que vaya a usar en su aplicación. Esta diferencia en los rangos de excursión de ambos se traduce en pérdida de datos del sensor si el rango de sensor es más amplio que el rango de entrada del



**Figura 4.2** Ajuste de los rangos de excursión de señal de un sensor en la conexión al ADC.

ADC, o en una infrutilización del rango dinámico del ADC en el caso de que éste sea mayor que el del sensor.

Para resolver esta circunstancia existen una serie de soluciones dependiendo del caso. Si los dos rangos son iguales pero hay una diferencia de *offset* entre ambos, es necesario realizar un cambio de nivel, o *level-shifting*, de la señal del sensor para que ambos casen. Si los dos rangos son desiguales y no existe ningún *offset*, hay que amplificar la salida del sensor para hacer coincidir los rangos. En última instancia, si los rangos no coinciden y existe un *offset*, es preciso amplificar y cambiar de nivel la salida del sensor para que se ajusten los rangos, como se muestra en la Figura 4.2. La solución matemática a este problema es la ecuación de una línea donde la amplificación representa la pendiente ( $m$ ) y el cambio de nivel da la ordenada en el origen ( $b$ ).

La capacidad de reconfiguración de la FPAA permite sacar partido de este ajuste de rangos. Si se conoce el rango de salida del sensor, es posible dividir el rango en un conjunto de fracciones iguales y ajustar cada una de estas

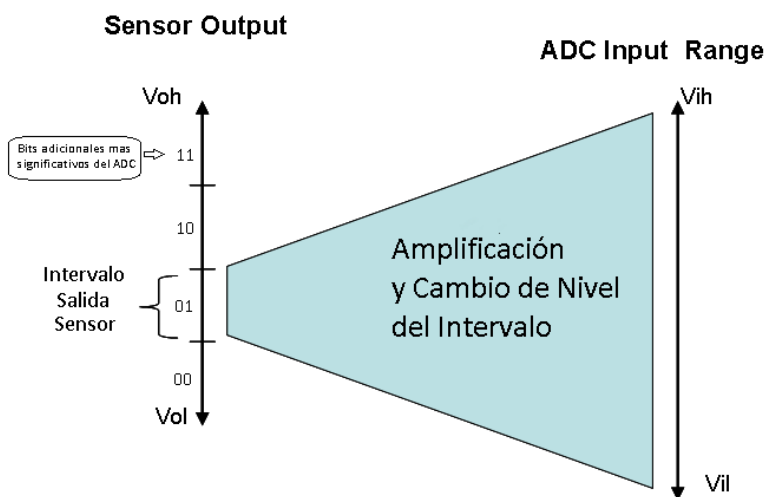
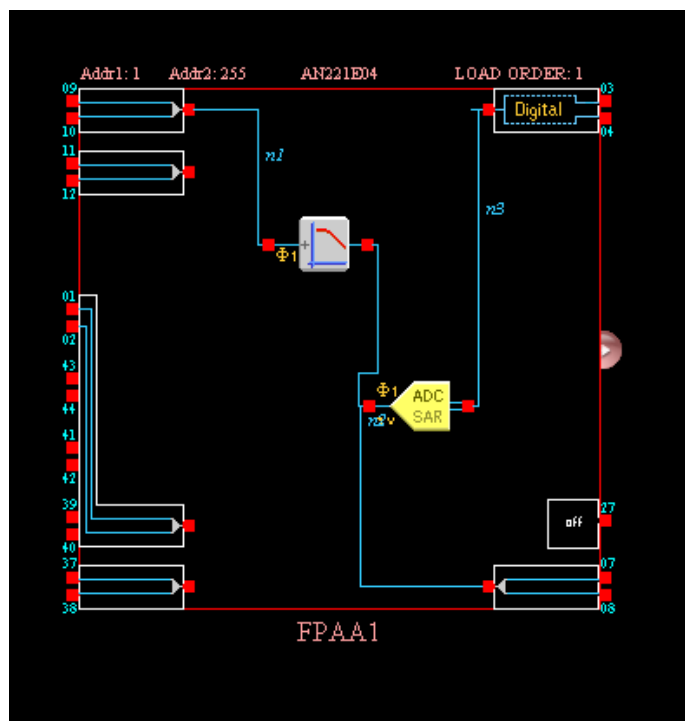


Figura 4.3 Ajuste de 4 tramos del rango del sensor al rango completo del ADC.

fracciones al rango de entrada completo del ADC. Este algoritmo conduce a un incremento efectivo de la resolución del convertidor analógico digital. Por ejemplo, si se divide la salida del sensor en dos intervalos y se hace coincidir cada intervalo con el rango dinámico de entrada completo del ADC, se obtiene un bit adicional de incremento en la resolución del ADC. Si cada uno de estos dos intervalos se dividen en dos y a su vez los cuatro intervalos se acondicionan sucesivamente a la entrada del ADC, se obtiene un incremento total de 2 bits en la resolución del ADC, como puede verse en la Figura 4.3, y así sucesivamente.

Esta técnica tiene algunas ventajas sobre el método de sobre muestreo (Stewart 1995), habitualmente utilizado para aumentar la resolución del ADC. Cuando se desea aumentar la resolución en un 1 bit usando sobre muestreo, como mínimo es necesario tomar cuatro muestras de la señal con el ADC, lo que hace que el posible cambio dinámico de la señal del sensor se limite drásticamente por cada bit añadido. Por otra parte, la reconfiguración de la

FPAA siempre toma el mismo tiempo, que se agrega al tiempo de conversión total, y lo que es más importante, una configuración sólo se produce cuando el valor de la señal de salida cambia de intervalo en el rango total de salida del sensor. Como caso límite, es posible aumentar la resolución hasta el número de bits que haga comparables el tiempo de configuración FPAA más el tiempo de conversión de analógico a digital con el cambio dinámico de la señal del sensor analógico. El límite de esta técnica está dictado por dos circunstancias. Una primera se impone cuando el número de intervalos en que está dividido el rango de salida del sensor hace que la magnitud de la señal en ese intervalo sea comparable al ruido; la segunda aparece cuando el número de intervalos y las necesidades de acondicionamiento de cada uno (amplificación y cambio de nivel) exceden de los recursos disponibles en el dispositivo FPAA.

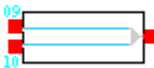


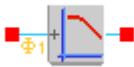


**Figura 4.4 Configuración de la FPAA para evaluación del CAM ADC-SAR**

### 4.2.2 Estudio de las características del módulo CAM ADC implementado en la FPAA.

La implementación de la técnica presentada en el apartado anterior hace uso intensivo el módulo CAM ADC-SAR que se puede implementar en la FPAA empleando el software AnadigmDesigner2. Para comprobar el funcionamiento de este módulo se ha implementado una configuración para la FPAA, como se muestra en la Figura 4.4.

Tabla 4.1 Parámetros de configuración de la FPAA para evaluación del CAM ADC-SAR

Nombre	Opciones	Parámetros	Clocks
<b>InputCell1</b> 	<b>I/O Mode</b> <i>Input</i> <b>Input</b> <i>Differential</i> <b>Input Amplifier</b> <i>Off</i> <b>Anti-Alias Filter</b> <i>Off</i>		
<b>OutputCell1</b> 	<b>Mode</b> <i>Digital Output</i> <b>Status</b> <i>On</i>		
<b>CAM</b>			
<b>ADC-SAR1</b> 	<b>Input Full Scale</b> <i>3 Volts</i>		<b>ClockA</b> <i>33.333 kHz</i> <i>(Chip Clock 2)</i> <hr/> <b>ClockB</b> <i>533.333 kHz</i> <i>(Chip Clock 1)</i>
<b>FilterBilinear1</b> 	<b>Filter Type</b> <i>Low Pass</i> <hr/> <b>Input Sampling Phase</b> <i>Phase 1</i> <hr/> <b>Polarity</b> <i>Non-inverting</i> <hr/> <b>Resource Usage</b> <i>Low Corner Frequency</i>	<b>Corner Frequency [kHz]</b> <i>0.05</i> <hr/> <b>Gain</b> <i>2.00</i>	<b>ClockA</b> <i>33.333 kHz</i> <i>(Chip Clock 2)</i>

La tensión continua de entrada en la celda de entrada/salida 1 se filtra mediante un módulo CAM *FilterBilinear* para eliminar ruido, y se digitaliza



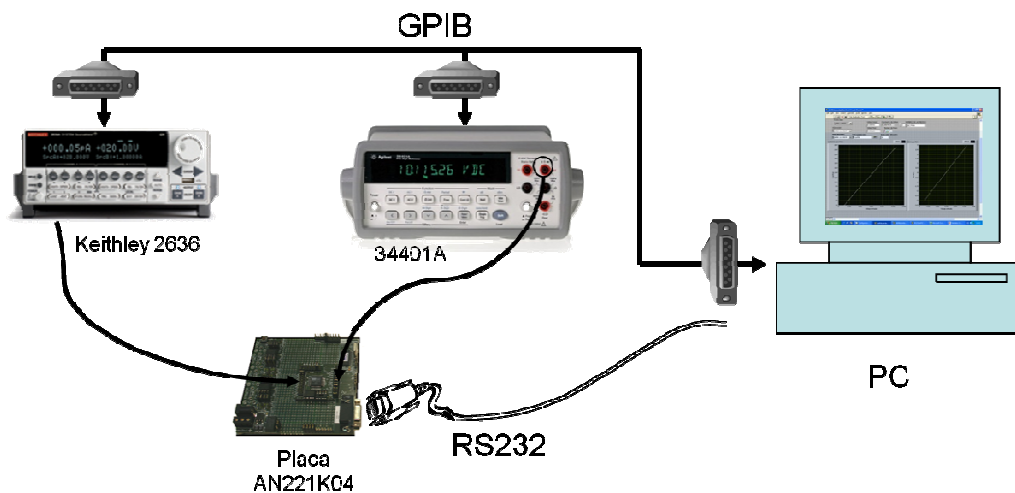


Figura 4.5 Montaje experimental para evaluación del ADC-SAR

con el módulo analógico configurable ADC-SAR. La salida se obtiene en la celda de salida dedicada 1, configurada como salida digital. En la Tabla 4.1 se recogen los parámetros de configuración de cada uno de estos módulos.

Con esta configuración, se ha utilizado el kit de evaluación de la FPAA AN221K04 y se ha implementado un montaje experimental, mostrado en la Figura 4.5, para obtener la respuesta del módulo ADC-SAR para todo el rango de salida de sus 8 bits de resolución. El montaje utiliza instrumentación de laboratorio, y se ha creado una aplicación con el software para control y gestión de aplicaciones experimentales Labview que maneja mediante bus GPIB el generador Keithley 2636 SourceMeter, el cual genera la tensión de entrada a la FPAA. Usando el multímetro Agilent 34401A vía GPIB, la aplicación mide la tensión de entrada al módulo ADC-SAR después del filtro, la cual se ha ruteado a la celda de salida 2, como puede verse en la Figura 4.4. El programa obtiene, por último, el valor de salida del ADC-SAR vía puerto serie mediante comunicación con el *firmware* en el microcontrolador PIC de la

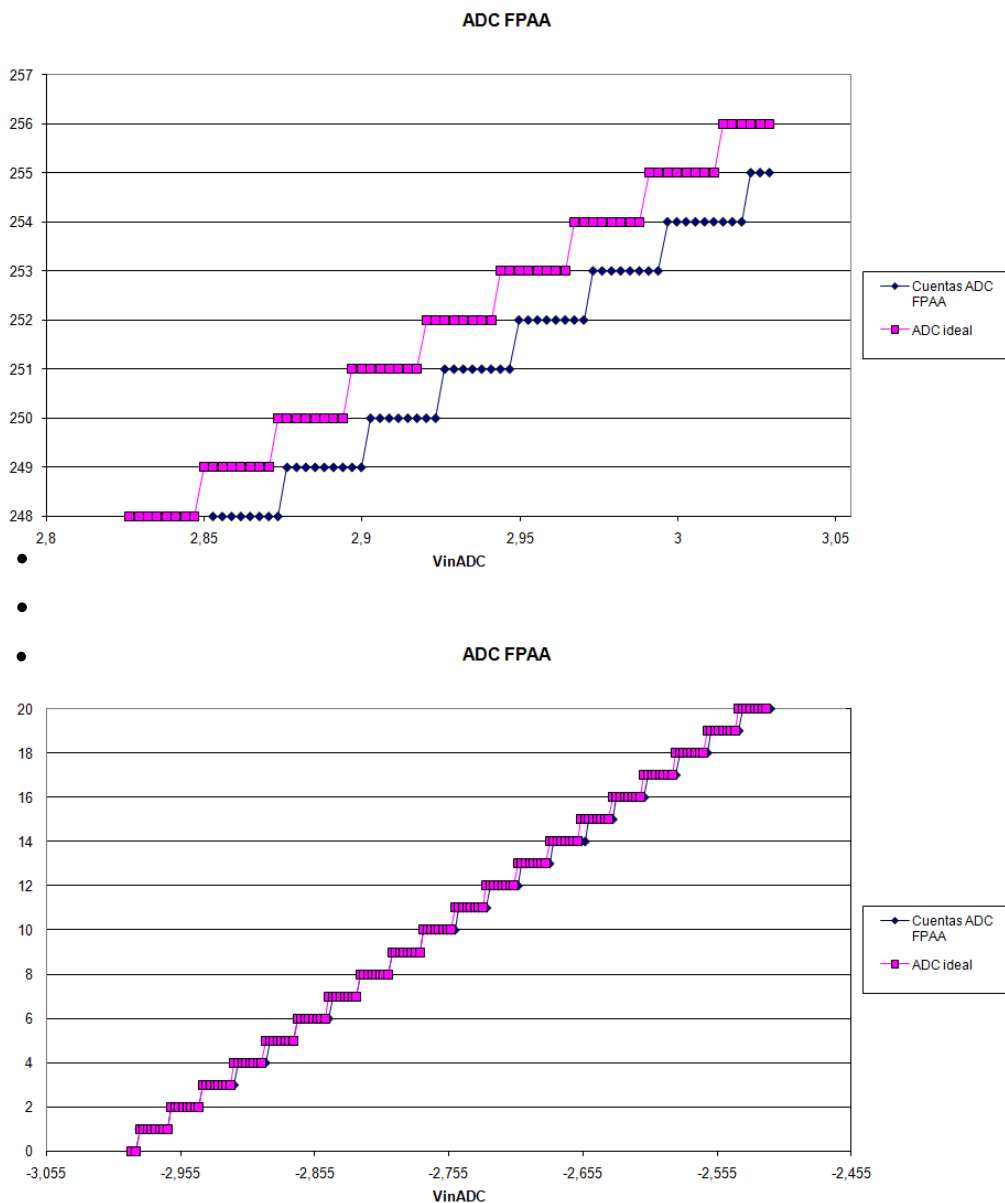


Figura 4.6 Respuesta ADC-SAR de 8 bits. La gráfica representa la salida digital del ADC expresada en números naturales (cuentas) frente a la tensión de entrada al módulo ADC-SAR. Dado que este rango es de -3V a 3V para mejor interpretación se ha dividido en dos gráficas, la inferior comienza para entradas de -3V. El intervalo intermedio de valores de salida del ADC se ha eliminado y la gráfica superior representa los últimos valores del rango de salida para señales de entrada hasta 3V. La respuesta del ADC, para ver las desviaciones, se compara con la respuesta de un ADC ideal.

placa de evaluación. En la Figura 4.6 puede verse la respuesta del ADC-SAR. Las gráficas representan la salida digital del ADC-SAR, expresada en números naturales (cuentas), frente a la tensión de entrada al módulo ADC-SAR. Esta tensión varía en el rango de  $-3\text{V}$  a  $3\text{V}$ . Por tanto, para permitir legibilidad, la gráfica inferior comienza para entradas de  $-3\text{V}$  y la superior muestra el final del rango, llegando a  $+3\text{V}$ . Los valores de la respuesta intermedios se han eliminado. Como puede verse hay una desviación monótona creciente con respecto a la respuesta de un ADC ideal. En la Figura 4.7 se muestra la aplicación encargada del control de los instrumentos y adquisición de las cuentas. Los resultados obtenidos muestran que este módulo ADC-SAR implementado en la FPAA tiene un error *offset* de  $0,5$  LSB, un error de ganancia de  $-1,28$  LSB y un error de no-linealidad diferencial máximo de  $0,25$  LBS.

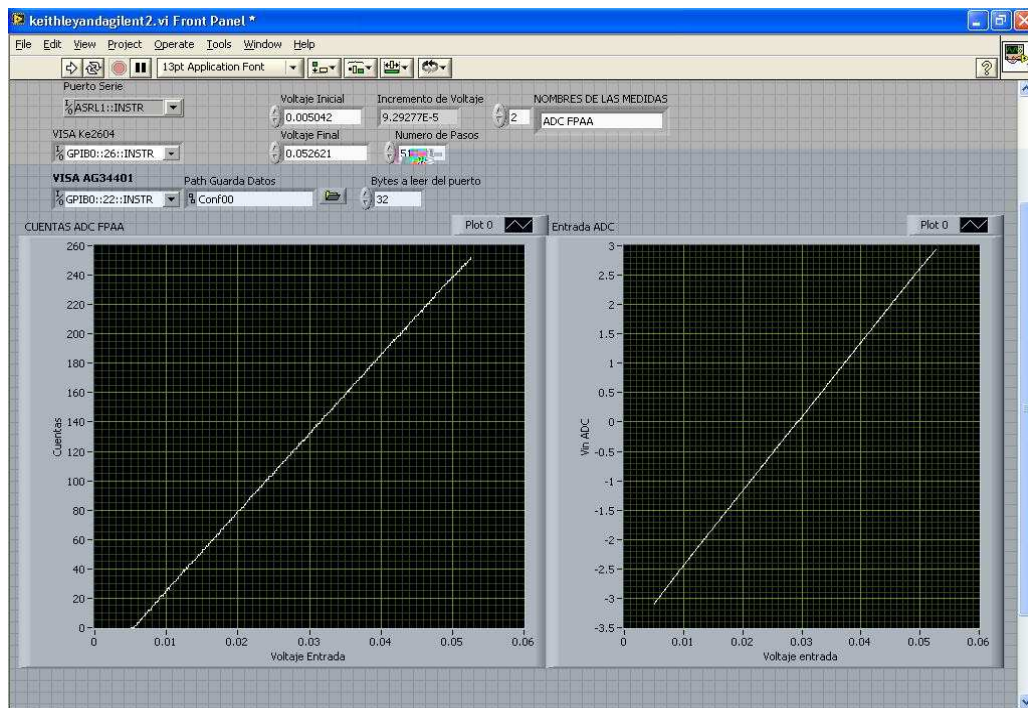


Figura 4.7 Aplicación de adquisición creada en LabView.

### 4.2.3 Aplicación a un sensor de temperatura NTC

Como ejemplo que muestre la viabilidad de esta técnica de acondicionamiento por tramos del rango de señal del sensor a la entrada del ADC-SAR, se ha desarrollado una aplicación para la medida de la temperatura (Morales et al. 2008) con un sensor NTC (*Negative Temperature Coeficient*), en particular el termistor NTSA0XV103E1B0 (MuRata 2009). En la Tabla 4.2 se recogen las principales características de este sensor. Los termistores tienen una alta sensibilidad y una relación entre el valor de la resistencia y la temperatura muy reproducibles. La relación entre la resistencia que presenta el dispositivo y la temperatura viene dada por la denominada ecuación “B”:

$$T(^{\circ}K) = \frac{B}{\ln\left(\frac{R_t}{R_0}\right) + B/T_0} \quad 4.1$$

donde  $R_0$  y  $T_0$  son valores de referencia y  $R_t$  es el valor de resistencia del termistor a la temperatura  $T$ . La configuración de conexión a la FPAA se ha realizado colocando el termistor en un puente de resistencias, como puede verse en la Figura 4.8a. De esta manera, cuando las resistencias  $R_1$  y  $R_2$  tienen un valor varios órdenes de magnitud mayor que el valor del termistor la variación en tensión en los extremos del termistor depende linealmente de la variación de la resistencia del termistor.

El objetivo de esta aplicación es medir la temperatura en un rango desde  $60^{\circ}C$  hasta  $-20^{\circ}C$ , con una resolución de 10 bits, usando la FPAA AN221E04. Ya que el ADC que se puede implementar en este dispositivo es de 8 bits de resolución y una razón de muestreo máxima de 250 kmps, es necesario dividir el rango de medida en cuatro tramos y hacer coincidir cada tramo con el rango completo de entrada del ADC, que en este caso es de  $-3$  a  $+3V$ , para obtener los 10 bits de resolución. Por tanto, se ha creado la configuración de

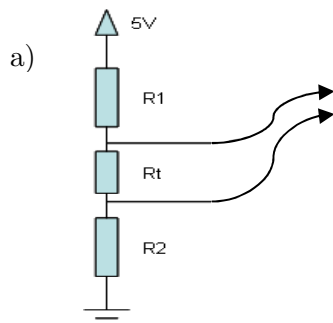


Tabla 4.2 Características NTSA0XV103E1B0

$R_0(@25^{\circ}\text{C})(\text{k}\Omega)$	10
Constante B ( $^{\circ}\text{K}$ )	3900
Corriente Max (mA)	0.46
Cte. Tiempo Térmica( $@25^{\circ}\text{C}$ )	Menos de 7s
Rango( $^{\circ}\text{C}$ )	-40 to 125

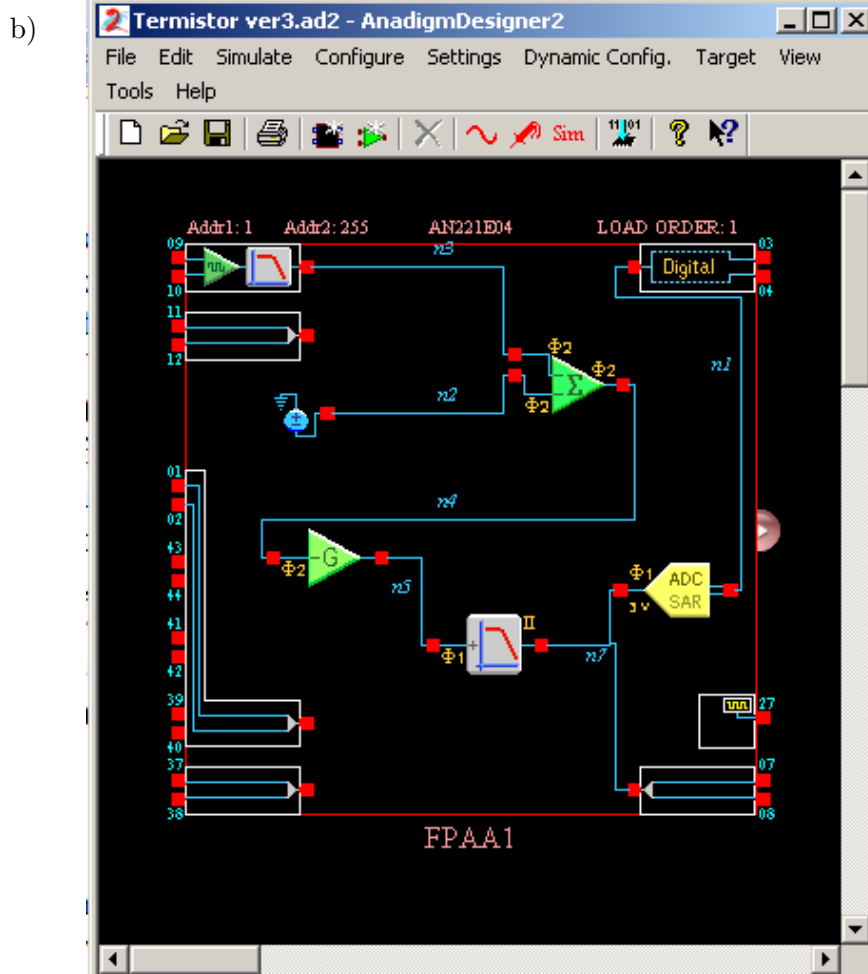


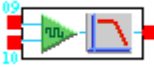




Figura 4.8 a) Configuración de resistencias para  $R_t$ , b) diseño del acondicionamiento para el termistor con AnadigmDesigner2

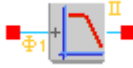


acondicionamiento de señal que se muestra en la Figura 4.8b con AnadigmDesigner2 y los módulos analógicos configurables CAM que se muestran en la Tabla 4.3. Esta configuración permite que el acondicionamiento implemente la ecuación:

$$V_{sal} = G_2(16V_{ent} + 3G_1) \tag{4.2}$$

donde  $V_{sal}$  es el voltaje a la entrada del convertidor ADC-SAR y  $V_{ent}$  es el voltaje que suministra el termistor. Con las ganancias  $G_1$  y  $G_2$  se ajusta el rango de salida elegido del sensor al rango de entrada del ADC. Por tanto,  $G_2$  se obtiene con el CAM *GainHold1* y corresponde a la pendiente de acondicionamiento y el producto  $3 \cdot G_1 \cdot G_2$  corresponde a la ordenada en el origen.  $G_1$  se obtiene con la ganancia 2 del CAM *SumDiff1*, como puede verse en la Tabla 4.3.

**Tabla 4.3 Configuración de los módulos utilizados en el diseño para el termistor**

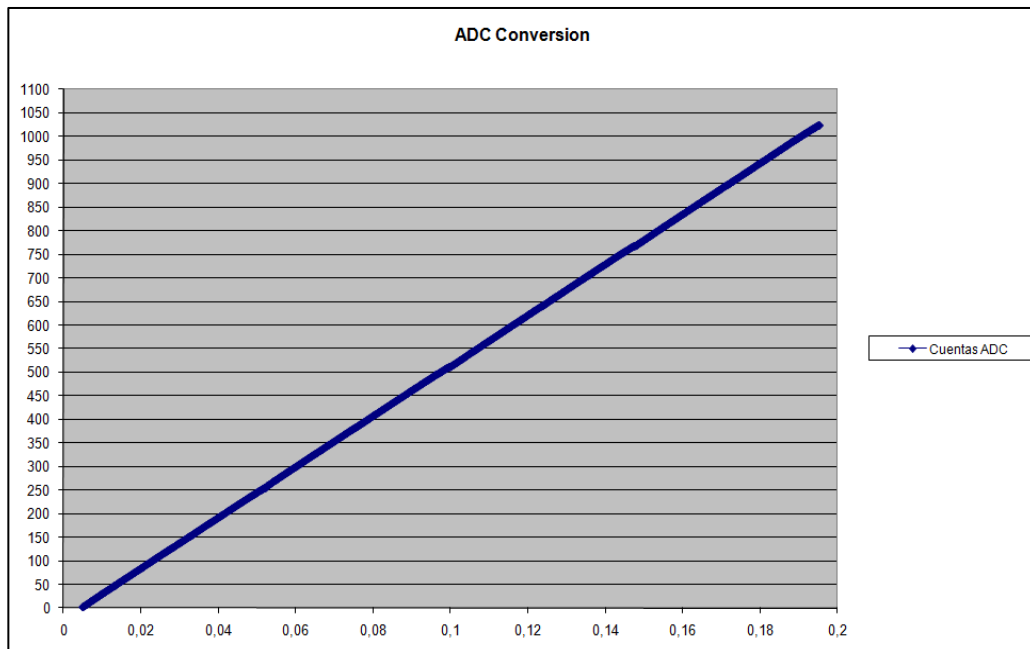
Nombre	Opciones	Parámetros	Clocks
 <p><b>InputCell1</b></p>	<p><b>I/O Mode</b> <i>Input</i></p> <hr/> <p><b>Input</b> <i>Differential</i></p> <hr/> <p><b>Input</b> <i>Low Offset</i></p> <p><b>Amplifier</b> <i>Chopper</i></p> <hr/> <p><b>Anti-Alias Filter</b> <i>Low Pass Filter</i></p>	<p><b>Corner Frequency [kHz]</b> <i>76</i></p> <p><b>Amplifier Gain</b> <i>16</i></p>	
 <p><b>OutputCell1</b></p>	<p><b>Mode</b> <i>Digital Output</i></p> <hr/> <p><b>Status</b> <i>On</i></p>		
 <p><b>AuxiliaryCell</b></p>	<p><b>OUTCLK Output</b> <i>Clock</i></p> <hr/> <p><b>RAM Transfer Trigger</b> <i>Automatic</i></p>		<p><b>ClockA</b> <i>4 MHz (ChipClock0)</i></p>
 <p><b>ADC-SAR1</b></p>	<p><b>Input Full Scale</b> <i>3 Volts</i></p>		<p><b>ClockA</b> <i>250 kHz (ChipClock 3)</i></p> <hr/> <p><b>ClockB</b> <i>4 MHz (ChipClock 0)</i></p>
 <p><b>Voltage1</b></p>	<p><b>Polarity:</b> <i>Negative (-3V)</i></p>		

 <p><b>FilterBiquad1</b></p>	<p><b>Filter Type</b> <i>Low Pass</i></p> <hr/> <p><b>Filter Topology</b> <i>Automatic</i></p> <hr/> <p><b>Input Sampling Phase</b> <i>Phase 1</i></p> <hr/> <p><b>Polarity</b> <i>Non-inverting</i></p>	<p><b>Corner Frequency [kHz]</b> <i>0.500</i></p> <hr/> <p><b>Gain</b> <i>1.00</i></p> <hr/> <p><b>Quality Factor</b> <i>0.707</i></p>	<p><b>ClockA</b> <i>250 kHz (Chip Clock 3)</i></p>
 <p><b>SumDiff1</b></p>	<p><b>Output Phase</b> <i>Phase 2</i></p> <p><b>Input 1</b> <i>Inverting</i></p> <p><b>Input 2</b> <i>Inverting</i></p> <p><b>Input 3</b> <i>Off</i></p> <p><b>Input 4</b> <i>Off</i></p>	<p><b>Gain 1 (UpperInput)</b> <i>1.00</i></p> <hr/> <p><b>Gain 2 (LowerInput)</b> <i>0.534</i></p>	<p><b>ClockA</b> <i>250 kHz (Chip Clock 3)</i></p>
 <p><b>GainHold1</b></p>	<p><b>Input Sampling Phase</b> <i>Phase 2</i></p>	<p><b>Gain</b> <i>1.92</i></p>	<p><b>ClockA</b> <i>250 kHz (Chip Clock 3)</i></p>

Este mismo diseño se aplica a los cuatro intervalos en los que se ha dividido el rango de tensión de salida del termistor. El filtro paso-baja del diseño se utiliza para eliminar ruido de alta frecuencia generado por la frecuencia de conmutación de las capacidades de la FPAA. Una vez se determinan los valores de las ganancias para cada uno de los intervalos, se genera un archivo de configuración para la FPAA y un archivo con las ganancias que ajusten el rango completo de salida del termistor al rango del ADC. En la Tabla 4.4 se recogen las ganancias  $G_1$  y  $G_2$  para los intervalos.

**Tabla 4.4 Ganancias y rangos en los que se ha dividido la salida del termistor**

R1(K $\Omega$ )		R2(K $\Omega$ )		VCC	
1500		1000		5V	
$\Delta V$ . Dif. (mV)	$\Delta R_t$ (K $\Omega$ )	$G_2$	$G_1$	$\Delta Temp(^{\circ}C)$	
195,35 a 65,16	97,679 a 32,582	46,085	-0,04342	(-20 a 0)	
65,16 a 24,95	32,582 a 12,478	149,224	-0,01502	0 a 20	
24,95 a 10,70	12,478 a 5,353	421,052	-0,00594	20 a 40	
10,70 a 5,04	5,353 a 2,521	1059,322	-0,0026	40 a 60	



**Figura 4.9** Respuesta del ADC generado de 10 bits mediante la superposición de las salidas del ADC-SAR para cada uno de los tramos de acondicionamiento de la señal del termistor.

En la Figura 4.9 se muestra la respuesta del ADC de 10 bits de resolución generado mediante la superposición de las salidas del ADC-SAR, para cada uno de los intervalos de voltaje de entrada generados por el termistor. En esta gráfica se representan los 1024 valores de salida del ADC frente al rango de tensiones en el que varía la salida del termistor. Para adquirir estas medidas se ha realizado un montaje experimental como el que se muestra en el la Figura 4.10. La fuente Keithley 2636 SourceMeter se ha utilizado para generar una señal en el rango de la salida del sensor NTC de tensión, según los datos de la Tabla 4.4, que es la entrada de la FPAA, mientras que la señal analógica acondicionada que se entrega a la entrada del ADC-SAR se ha medido con el multímetro Agilent 34401A.

En la Figura 4.10 se muestra un diseño adicional realizado para comparar la efectividad de la implementación del acondicionamiento por tramos del rango



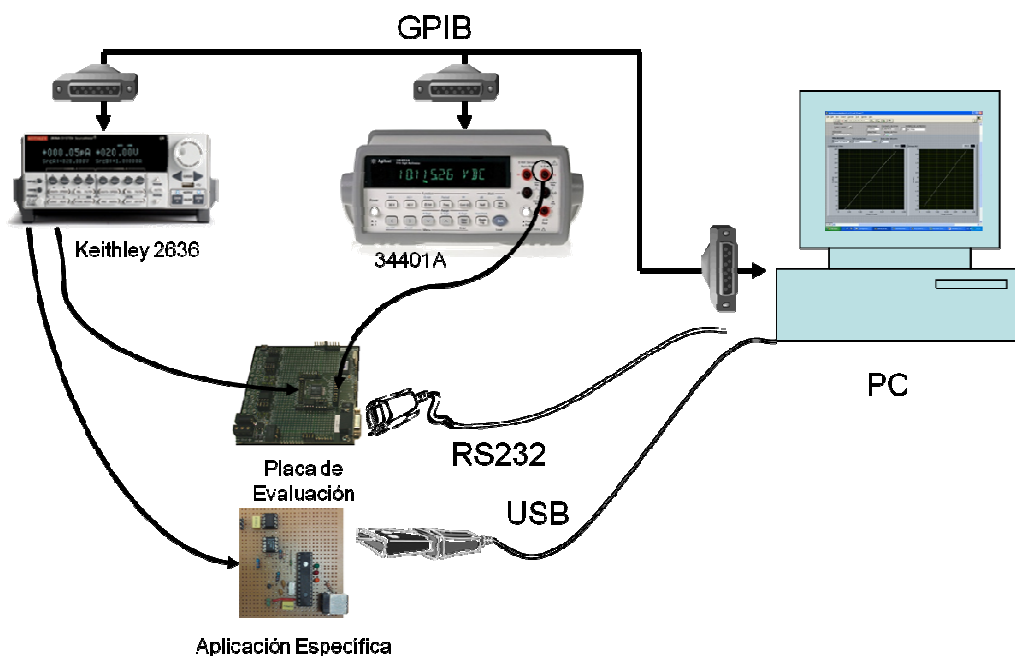


Figura 4.10 Montaje experimental para testeo de la aplicación y comparación con una aplicación específica de acondicionamiento.

de salida del sensor en la FPAA. Para ello, se ha diseñado una aplicación específica de acondicionamiento con un microcontrolador PIC18F2550 y una etapa analógica concreta, que permite acondicionar la señal del termistor a la entrada del ADC de 10 bits de resolución integrado en el microcontrolador. Esta etapa analógica implementa el acondicionamiento de la salida del termistor con los dos amplificadores operacionales del integrado LT1366, que admite alimentación simple de 5V. Uno de ellos se emplea para obtener la tensión de referencia necesaria a partir de la alimentación de 5V de la placa, y el otro amplificador se usa para acondicionar el rango completo de salida del termistor, de 195 mV a 5 mV como se muestra en la Tabla 4.4, al rango de entrada del ADC del PIC, que es desde 0 a 5V. Este acondicionamiento se realiza mediante la ecuación:

$$V_{sal} = -26.27094V_{ent} - 0.195358 \quad 4.3$$

donde  $V_{sal}$  es la tensión en la entrada del ADC del microcontrolador y  $V_{ent}$  es la tensión generada por el termistor con la configuración que se muestra en la Figura 4.8<sup>a</sup>.

El *firmware* en el PIC hace uso del interfaz USB para comunicarse con el PC. Este *firmware* utiliza la configuración CDC de puerto USB, que posibilita que el PC identifique dicho puerto como un puerto serie COM, lo que facilita su manejo con el programa de desarrollo LabView y, así, las aplicaciones implementadas para la configuración de la plataforma de la FPAA son directamente utilizables para esta aplicación de acondicionamiento.

### ***Implementación FPAA-FPGA***

Una vez comprobado el buen funcionamiento de la técnica implementada en el dispositivo analógico reconfigurable, se implementa una aplicación completa en la plataforma FPAA-FPGA que se muestra en la Figura 4.11b y ya presentada en el capítulo anterior.

La tarea de reconfiguración de la FPAA se lleva a cabo por la FPGA en la que se implementa el controlador y el procesamiento de la información digital. En cuanto al algoritmo de control que se debe implementar, éste lo puede llevar a cabo una máquina de estados en la FPGA.

La FPGA carga una configuración inicial en la FPAA que coincide con el rango completo de salida del sensor acondicionado al rango de entrada completo del ADC. Una vez que se determina en qué intervalo de la señal del sensor se encuentra la salida, se lleva a cabo una nueva configuración de la FPAA para hacer que coincida ese intervalo en el rango del ADC completo. De esta manera tenemos la salida del termistor medida con una resolución de 8

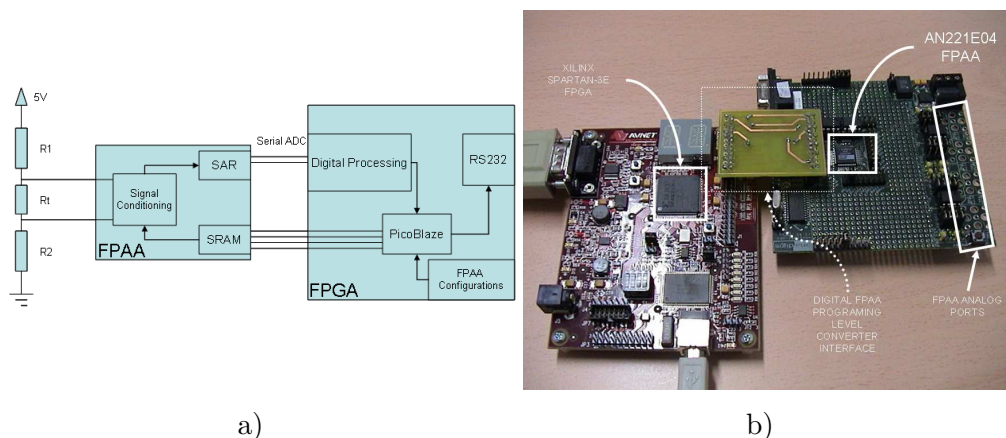
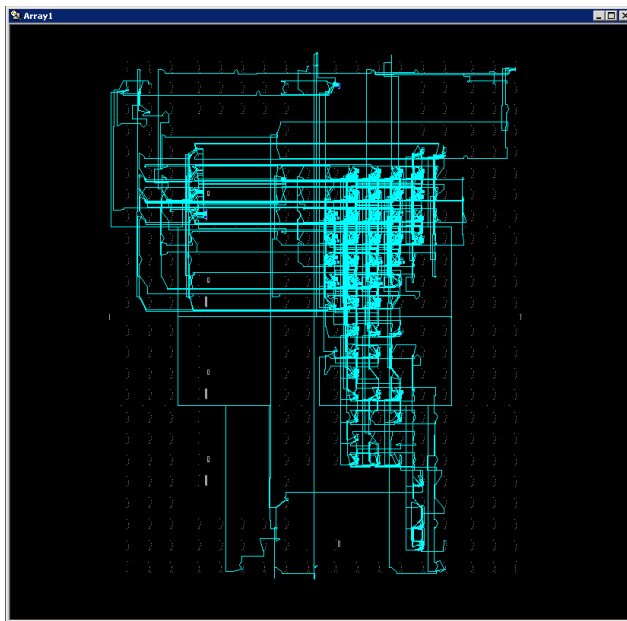


Figura 4.11 a) Configuración experimental, b) hardware utilizado.

bits. Esta resolución es suficiente para identificar en que intervalo del rango de señal se encuentra el termistor y, teniendo en cuenta la evolución de las muestras de la señal, se carga una nueva configuración en la FPAA para adaptar este intervalo a la entrada del ADC-SAR. Desde este momento, ya se está obteniendo la medida de la temperatura con una resolución de 10 bits.

Como núcleo de procesamiento se ha elegido el microcontrolador de 8 bits PicoBlaze, suministrado por Xilinx como un núcleo *soft-core*, cuya implementación en la FPGA se ilustra en la Figura 4.12. Este microcontrolador está optimizado para su implementación en los dispositivos Spartan 3 de Xilinx. Solo ocupa 96 *slíces* en una FPGA, lo que supone el 6% de los disponibles en la XC3S100E integrada en la plataforma de evaluación utilizada. Tiene un espacio de memoria de programa de 1k instrucciones de 18 bits de tamaño, que se implementa en un solo bloque de memoria RAM en la FPGA. El bloque de procesamiento digital de la Figura 4.11a realiza el cálculo la salida digital de ADC. El microcontrolador PicoBlaze realiza las tareas siguientes: configuración primaria de la FPAA a través de la interfaz digital SPI,



**Figura 4.12 Implementación del PicoBlaze en la Spartan.**

evaluación y reconocimiento del intervalo de señal del sensor, la reconfiguración de la FPAA con la configuración de intervalo adecuado, el control de la salida del ADC para cargar la configuración adecuada, y el envío de los datos los datos del ADC a través del RS232. Dado que el tamaño máximo de un archivo de configuración de la FPAA es de 579 bytes, es posible almacenar las cinco configuraciones en los bloques RAM en la FPGA. No obstante, las configuraciones pueden descargarse desde un *host* externo a través del puerto serie.

### 4.3 Medida de la presión: sensor IEEE 1451.4

En el capítulo 2 se presentó el conjunto de estándares IEEE 1451. En este apartado se va a presentar una aplicación con la misma filosofía que la que se

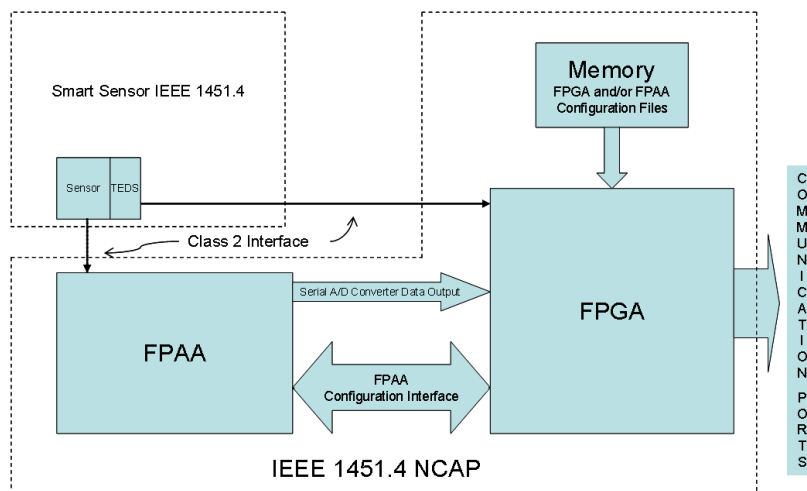


Figura 4.13 Diagrama de bloques para un sensor inteligente (Morales et al. 2007).

ha mostrado en el apartado anterior, esto es, el uso de dispositivos reconfigurables para el acondicionamiento y procesado de la señal para un sensor bajo el estándar IEEE 1451.4. En particular, este estándar define una conexión física para el sensor, denominada de modo mixto o MMI, que se usa alternativamente por la TEDS y por la señal analógica procedente de transductor. La TEDS se halla en una pequeña memoria adyacente al transductor y almacena la información más importante concerniente al transductor en un formato guiado por unas plantillas predefinidas. Esta memoria funciona de acuerdo al protocolo *1-wire* desarrollado por Dallas Semiconductor. Como se muestra en el esquema de la Figura 4.13, la plataforma puede trabajar perfectamente con los sensores bajo estándar 1451.4. Así, el conjunto FPAA-FPGA implementa tanto el módulo de interfaz TIM como el procesador NCAP que se definen en el estándar. La interfaz de conexión de modo mixto MMI de estos sensores permite que la FPGA lea los datos almacenados en la TEDS. En la Figura 4.14 se recogen los elementos implementados para esta aplicación en la FPGA. De este modo, se ha utilizado

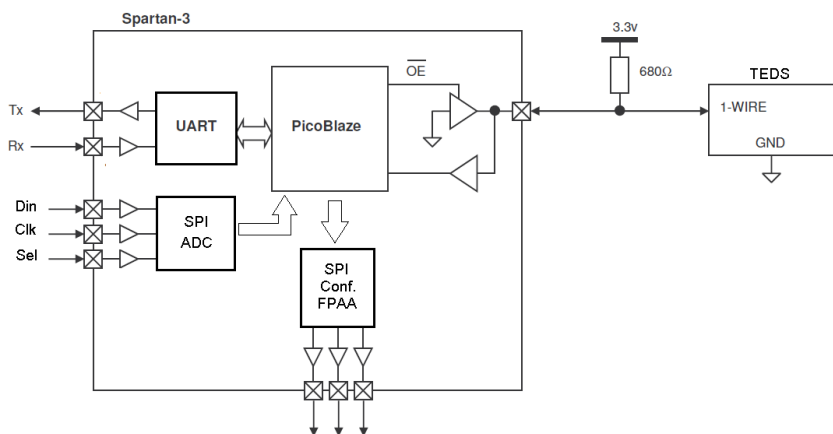


Figura 4.14 Arquitectura implementada en la FPGA.

el núcleo de microcontrolador PicoBlaze que se encarga del funcionamiento del sistema. Además, se han implementado las interfaces de comunicación con el *host* a través de una UART, de adquisición SPI de datos desde el ADC que se implementa en la FPAA, de configuración SPI de la FPAA y de comunicación con la TEDS a través de una sola línea. Este último protocolo necesita de una resistencia de *pull-up*, como muestra la Figura 4.14. Como plataforma de implementación se ha utilizado la misma estructura presentada en la Figura 4.11b y en el capítulo anterior.

El sensor elegido para esta aplicación se muestra en la Figura 4.15. Es un sensor de presión de Honeywell Sensotec (Honeywell 2008), cuyas especificaciones técnicas se recogen en la Tabla 4.5. La memoria DS2433 de 4 kbits adjunta al sensor contiene la TEDS del mismo. Los 64 bits primeros constituyen la TEDS básica, donde se identifica el fabricante, el modelo de sensor y el número de serie del mismo. Estos 64 bits se utilizan en la aplicación creada para identificar el sensor y, en función de ellos, se elige la configuración a cargar en la FPAA. El archivo de configuración puede estar almacenado en la

**Tabla 4.5 Especificaciones técnicas del  
FPB2UR2U5A6Q**

Min. Presión a escala completa	26 in Hg
Max. Presión a escala completa	32 in Hg
Precisión	0.25 %
Dependencia de la salida de la Temp.	0.003 %
Efecto de la Temp. en el offset	0.00 %
Min Temp. funcionamiento	40 C
Max Temp. funcionamiento	115 C
Salida (Puente)	bridge (mV/V)
Impedancia del puente	50000 $\Omega$
Min Alimentación	3 V
Max Alimentación	15 V
Tipo de Alimentación	DC
Smart TEDS (EEPROM)	Si



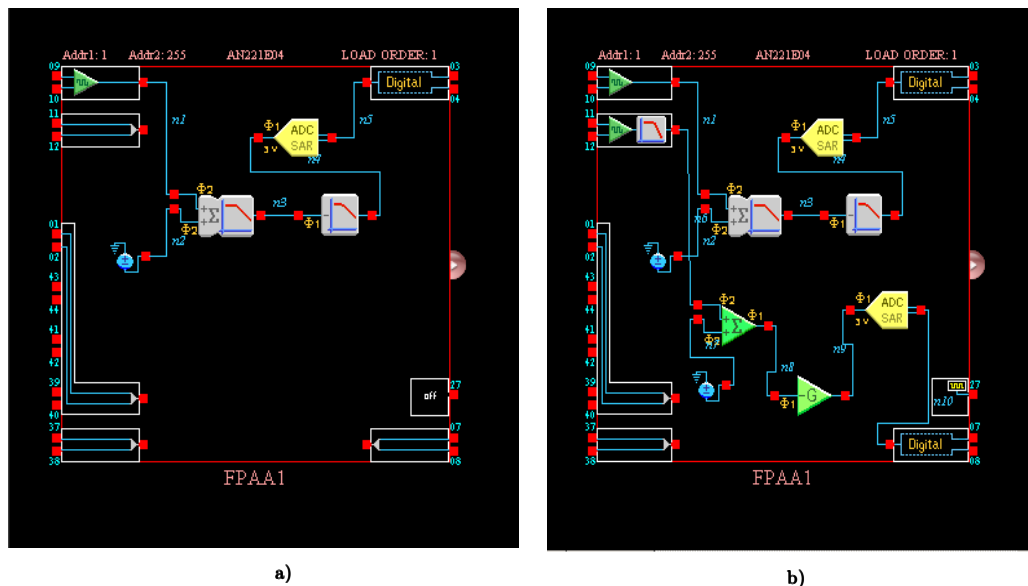
**Figura 4.15 Sensor de presión**

propia FPGA o en una memoria anexa, o puede ser descargado de forma remota desde un *host*.

La señal que genera este sensor es diferencial, al tener una configuración en puente de resistencias, de una amplitud máxima de 80mV que puede ser conectada directamente a una celda de entrada de la FPAA. La configuración generada para este sensor, mostrada en la Figura 4.16<sup>a</sup>, consta de un amplificador *chopper* en la entrada, seguido de un amplificador sumador con filtro para eliminar el ruido de conmutación que pueda generar el amplificador *chopper*, y un acondicionamiento al rango de entrada de ADC-SAR en la FPAA al estilo del desarrollado en el apartado anterior, cumpliendo la ecuación de acondicionamiento:

$$V_{sal} = 75V_{ent} - 3 \quad 4.4$$

que acondiciona el voltaje generado por el sensor de presión,  $V_{ent}$  (de 0 a 80 mV) al rango de entrada  $V_{sal}$  del ADC-SAR (de -3V a 3V). La conversión digital del ADC-SAR se ha dirigido a la celda de salida 1 configurada en salida digital.



**Figura 4.16 a) Acondicionamiento para el sensor de presión. b) acondicionamiento para el sensor de presión y el sensor de temperatura**

En la Figura 4.16b se recoge la implementación de los acondicionamientos para los dos sensores, el termistor y el sensor de presión, en la misma configuración para la FPAA. Ésta contiene suficientes recursos para implementarlos, por lo que permite que el sistema trabaje con los dos simultáneamente. Sólo es necesario implementar un puerto SPI adicional en la configuración de la FPGA para lectura de la salida del ADC-SAR conectado a la celda de salida 2 en configuración digital.

En este punto, se debe comentar la versatilidad a la hora de afrontar la conexión de más de un sensor a la plataforma reconfigurable. El número de sensores que se puede acondicionar depende de las características de éstos y del consumo de recursos de los CAB que conlleve su acondicionamiento.

El número máximo de entradas diferenciales de la FPAA es de 7, por lo que éste es el número de sensores que se pueden conectar a la vez. Ahora bien, si lo que se pretende es obtener la salida acondicionada de todos los sensores



conectados con una sola configuración de la FPAA, el número máximo de sensores que se pueden acondicionar es tres, ya que solo se dispone de tres salidas y entradas funcionando simultáneamente. Si se quiere obtener la salida digitalizada, sólo dos sensores pueden acondicionarse a la vez en la misma configuración, ya que la salida de los ADC-SAR solo se puede obtener en las celdas de salida dedicadas 1 y 2.

Todo esto queda subsanado con la reconfiguración dinámica del dispositivo. Utilizando la identificación del sensor mediante el estándar IEEE 1451.4 se pueden conectar el número máximo de ellos a las celdas de entrada y mediante reconfiguración desde la FPGA atender el acondicionamiento secuencial de cada uno de los sensores bajo demanda.

## 4.4 Conclusiones

En este capítulo se ha presentado la utilización de la plataforma reconfigurable FPAA-FPGA aplicada a la adquisición de señales medioambientales con el acondicionamiento de dos sensores: uno de temperatura y otro de presión que cumple el estándar IEEE 1451.4

El acondicionamiento del termistor se ha usado para ilustrar la técnica de reconfiguración dinámica de la FPAA que se presenta en este capítulo y que permite incrementar la resolución efectiva del bloque analógico configurable ADC-SAR de la FPAA. Para ver la viabilidad se ha caracterizado el comportamiento de este módulo mediante un montaje experimental con instrumental de laboratorio.

Se ha utilizado la plataforma FPAA-FPGA para crear una aplicación completa haciendo uso del microcontrolador PicoBlaze implementado en la FPGA.

El acondicionamiento del sensor de presión se ha utilizado para ilustrar como la plataforma reconfigurable se adecua al acondicionamiento de sensores bajo el estándar IEEE 1451.4, para lo que se ha creado una aplicación en la plataforma.

Ambos acondicionamientos para los dos sensores se han implementado en una sola configuración en la FPAA y se han especificado cuantos sensores como máximo pueden acondicionarse con esta plataforma reconfigurable teniendo en cuenta las limitaciones de entradas, salidas, y recursos analógicos programables.

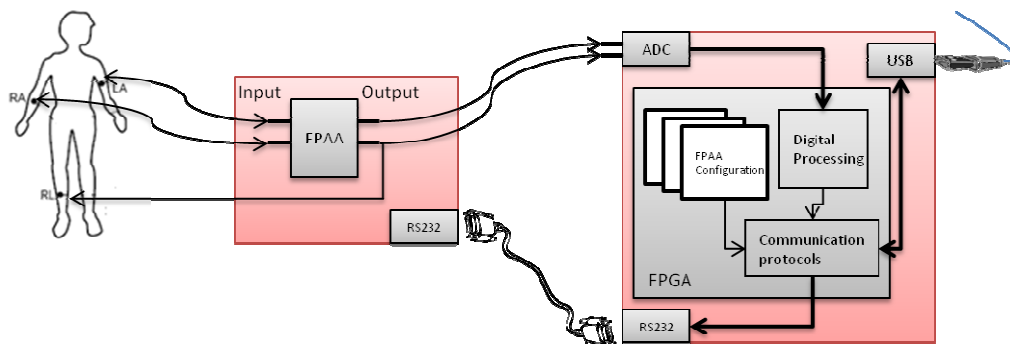
## Capítulo 5. Aplicación a la adquisición y procesamiento de señales biomédicas

### 5.1 Introducción

Hoy en día, en cualquier centro hospitalario, la instrumentación electrónica es la base de cualquier intervención clínica que un médico lleve a cabo. No pueden entenderse los avances en el campo de la medicina sin el uso de los más modernos instrumentos electrónicos para el diagnóstico y monitorización de los pacientes. Este capítulo presenta, en una vertiente diferente al capítulo anterior, el uso de los dispositivos electrónicos reconfigurables, tanto analógicos como digitales, para la adquisición y procesamiento de señales biológicas, como es la electrocardiografía ECG.

El uso de estos dispositivos muestra una gran versatilidad ya que la misma estructura hardware, compuesta principalmente por una FPAA y una FPGA como elementos de adquisición y procesamiento, es capaz de adquirir estos tipos de señales, los cuales tienen amplitudes y constantes de tiempo que pueden variar en varios órdenes de magnitud. El poder adquirir señales tan diferentes es la virtud que hace interesante y práctico el uso de estos dispositivos.

El concepto fundamental en este capítulo gira en torno al reparto de tareas de acondicionamiento y procesamiento entre estos dos dispositivos. Así, la etapa analógica de acondicionamiento puede rediseñarse, tanto a nivel de estructura como a nivel de características, cuantas veces sea necesario gracias a su implementación en el dispositivo FPAA. Una variación en la forma de la bio-



**Figura 5.1 Sistema de adquisición para ECG**

señal o unos requerimientos médicos diferentes se traducen en un cambio en la etapa de acondicionamiento en la FPAA. El uso de la FPGA permite un posterior procesado digital reconfigurable de la señal pre-acondicionada. Las señales biológicas necesitan un procesado con alta carga computacional como puede ser un filtrado FIR (*Finite Impulse Response*) de alto orden, un filtrado *wavelet* o un filtrado adaptativo, para los cuales es idóneo el uso de este tipo de dispositivos. Adicionalmente la FPGA está a cargo de la reconfiguración de la FPAA, lo que dota al sistema completo de una autonomía y versatilidad que permite su uso como aplicación portátil.

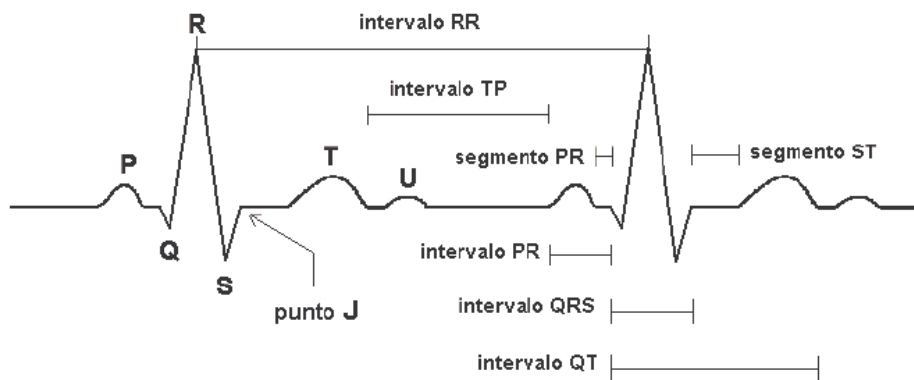
El trabajo más extenso se ha realizado en la adquisición electrocardiográfica con la estructura se muestra en la Figura 5.1. Para este tipo de señales el uso del tándem FPAA-FPGA ha mostrado un rendimiento excelente con diferentes tipos de electrodos de contacto (Morales et al. 2010). Las posibilidades de reconfiguración habilitan el ajuste de la ganancia y anchos de banda de los filtros implementados según los requerimientos de la señal de entrada o el tipo de aplicación ECG que se esté desarrollando.

El empleo de esta plataforma para la adquisición y procesado de señales electrocardiográficas fetales y maternas ha mostrado buenos resultados en la separación de ambas, mediante filtrado adaptativo, lo que permite identificar la frecuencia cardiaca fetal usando las señales ECG obtenidas por un método no invasivo en el vientre materno.

En lo que resta de esta introducción, se presentan los tipos de señales biomédicas antes mencionadas, con sus características principales y tipos de procesado electrónico que necesitan para eliminar las principales fuentes de ruido que las aquejan, y así facilitar el posterior análisis clínico.

### **5.1.1 Señales electrocardiográficas.**

Para efectuar diversas funciones, algunos sistemas del cuerpo humano generan sus propias señales. Estas señales se pueden adquirir, lo que permite obtener información útil sobre las funciones asociadas. Estas señales son los potenciales bioeléctricos, que son potenciales iónicos producidos como resultado de la actividad electroquímica de ciertas clases de células, conocidas como células excitables, que son componentes del tejido nervioso, muscular o glandular. Por medio de transductores (electrodos) que convierten los potenciales iónicos en corrientes eléctricas, se pueden monitorizar estas señales naturales y presentarlas en registros de una forma comprensible para el diagnóstico médico y tratamiento de varias enfermedades. Una de estas señales es el ECG, que es el registro de la actividad eléctrica del corazón medida entre dos puntos en la superficie del cuerpo. El análisis de la señal ECG es una herramienta no invasiva ampliamente extendida para el diagnóstico de enfermedades cardíacas y para el estudio del estado de forma fisiológico de deportistas, entre otras disciplinas.



**Figura 5.2** Forma de onda ECG.

La señal electrocardiográfica, que es un estímulo eléctrico que viaja a través del tejido nervioso en el músculo cardiaco, hace que las cavidades del corazón se contraigan y bombeen la sangre en el sistema circulatorio. Las aurículas, derecha e izquierda, se estimulan en primer lugar, contrayéndose un breve período de tiempo antes de que lo hagan los ventrículos derecho e izquierdo. En la Figura 5.2 se muestra la forma de onda de un ECG, donde se destacan los elementos que a continuación se explican:

- la onda P representa la despolarización o contracción de las aurículas impulsando la sangre hacia los ventrículos. Su duración normal es de 0.1 segundos;
- el complejo QRS se genera con la despolarización de los ventrículos. Está formado por las ondas Q, R y S. Su duración normal es aproximadamente igual a 100 ms;
- la onda T representa la polarización de los ventrículos. La onda T normal es asimétrica en sus ramas y está redondeada en su vértice;

- la onda U tiene un origen fisiológico poco claro, se piensa que esta onda se produce por la nueva polarización del sistema de conducción intraventricular.

Estos son los componentes de una señal ECG, para su estudio y obtención de información clínica, son interesantes los siguientes segmentos de una onda ECG y los intervalos entre dos ondas consecutivas ECG:

- el intervalo PR refleja el tiempo de conducción de aurícula a ventrículo. Se mide desde el inicio de la onda P al inicio del complejo QRS y su valor depende de la frecuencia cardíaca;
- el intervalo ST representa el tiempo que los ventrículos permanecen en estado activado y en el que puede iniciarse la re polarización ventricular;
- el intervalo RR corresponde al intervalo de tiempo entre la onda R de un complejo QRS y la onda R del siguiente complejo QRS, representando la frecuencia cardíaca por minuto (al dividirlo entre 60 segundos) con un ritmo ventricular regular. La frecuencia cardíaca en reposo de un ritmo cardíaco normal oscila entre 60 y 100 latidos por minuto, aunque lo normal es que disminuya en el descanso y el sueño y aumente con fiebre, estrés, ejercicio, etc.;
- el intervalo QT refleja el periodo total de los procesos de despolarización y re polarización ventricular y se mide desde el inicio de la onda Q hasta el final de la onda T. Sus valores normales dependen de la frecuencia cardíaca y el sistema nervioso autónomo;
- el segmento TP es el intervalo entre el final de la onda T y el inicio de la onda P. Este segmento suele ser isoelectrico, pero las frecuencias rápidas de la onda P se superponen a la onda T, por lo

que el segmento puede desaparecer. El punto J es la unión entre el complejo QRS y el segmento ST.

La adquisición de las señales ECG se realiza en la superficie de la piel mediante electrodos colocados en distintas localizaciones en el cuerpo humano, conocidas como derivaciones. El uso clínico del ECG se implementó por primera vez en 1903 gracias a la invención de Einthoven del llamado “*String galvanometer*”, dispositivo que permitía la medida de magnitudes eléctricas muy pequeñas. La aplicación de este dispositivo a la medida de potenciales cardiacos originó el método de medida de tres derivaciones o *lead* (Dijk & van Loon 2006), (Barold 2003) designado con el nombre de Einthoven. Como puede verse en la Figura 5.3, los electrodos se conectan a las dos extremidades superiores y a una inferior. La lectura de la diferencia de potencial entre el electrodo del brazo derecho, RA (*Right Arm*), y el electrodo en el brazo izquierdo, LA (*Left Arm*), se usa para producir el trazo del ECG. El electrodo conectado en la pierna derecha, RL (*Right Leg*), establece la masa común para el cuerpo y el dispositivo de medida. La medida clínica completa del ECG cuenta con 12 derivaciones, no obstante el trabajo aquí realizado se basa en

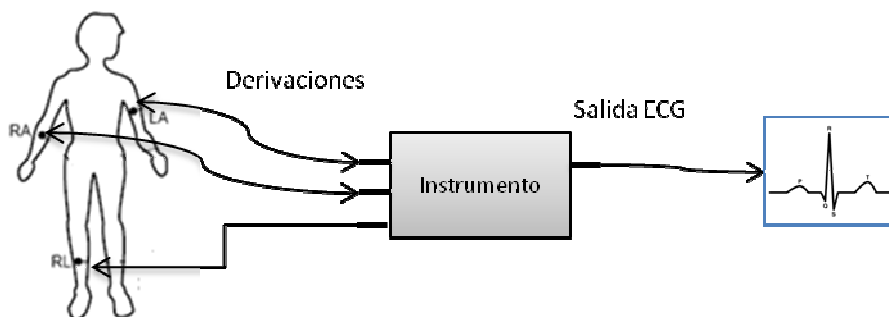


Figura 5.3 Derivaciones de Einthoven



este sistema de tres derivaciones de Einthoven, ya que los resultados obtenidos son directamente trasladables al sistema completo.

### *Características eléctricas del ECG*

Las señales adquiridas con los electrodos se caracterizan por una amplitud de voltaje de entre 0.1 y 5 mV y frecuencias de pulsación (intervalos R-R) cardiaca que varían en el rango de los 0.5 a 3.5Hz (30 a 210 pulsaciones por minuto). El ancho de banda teórico de una señal ECG va desde los 0.01 Hz hasta los 250 Hz (Prutchi & Norris 2005), aunque las componentes fundamentales están en el rango de 0.01 Hz a los 150 Hz. Por tanto, dependiendo de la aplicación final de los datos adquiridos, el rango de frecuencias de la señal que se procesa en la aplicación cambia. Así, para propósitos de diagnóstico clínico, la banda de frecuencias procesadas por el sistema de adquisición va desde 0.05 Hz a 150 Hz. En cambio, si lo que se quiere es monitorizar el estado del paciente, la banda de frecuencias necesaria es menor, comprendiendo ésta desde 0.67 Hz a 40 Hz. Por último para propósitos de registro de la frecuencia cardiaca en los cardiotacómetros, sólo es necesario adquirir las componentes en frecuencia en torno a los 17 Hz. Las frecuencias de muestreo estandarizadas van desde las 500 muestras por segundo hasta 1 k muestra por segundo.

La adquisición de ECG se ve perturbada por un conjunto de señales que dificultan su identificación. Estas señales que interfieren tienen distintas fuentes entre las que se encuentran:

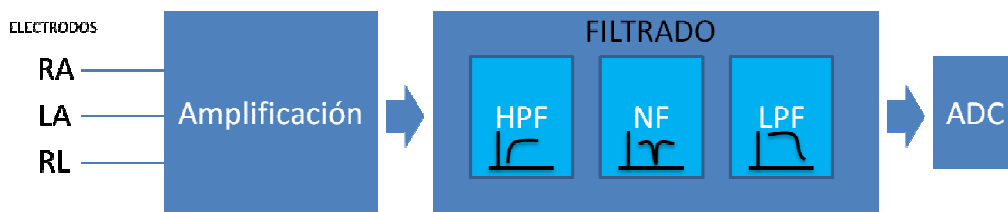
- la interferencia de la red eléctrica, que consiste en una señal de 50 Hz y sus armónicos, que interfieren por radiación electromagnética, y los cuales pueden ser modelados como sinusoides y combinaciones de

sinusoides. La amplitud de estas interferencias puede ser superior al 50% de la amplitud pico a pico del ECG;

- ruido generado en el contacto de los electrodos con la piel. Este ruido transitorio está causado por la pérdida de contacto entre el electrodo y la piel; la componente principal de este ruido está en torno a los 60 Hz y con una constante de tiempo de 1s;
- artefactos de movimiento: estas interferencias son cambios transitorios en el electrocardiograma, causados por cambios en la impedancia electrodo-piel debido al movimiento del electrodo. Su causa usual son las vibraciones o movimientos del sujeto. La amplitud de esta interferencia puede llegar al 30% de la amplitud pico a pico del ECG;
- interferencias por contracción muscular (electromiografía, EMG): esta es una interferencia de pequeña amplitud (del orden de los  $\mu\text{V}$ ) que se superpone al ECG como un ruido con una componente en frecuencia en torno a los 10 kHz;
- interferencias por respiración del sujeto: estas interferencias se traducen en un desplazamiento de la línea base (*wandering*) del ECG en torno al 15% de la amplitud pico a pico, y en una modulación de la amplitud del complejo QRS con una variación del 15%. Estas interferencias tienen unas componentes en frecuencia muy bajas que van de 0.13 Hz a 0.3 Hz;
- ruido de banda ancha generado en los dispositivos electrónicos de adquisición del ECG.

### ***Acondicionamiento de señales ECG***

En la Figura 5.4 se recoge los principales módulos usados en el acondicionamiento analógico de una señal ECG. De lo expuesto en el apartado



**Figura 5.4 Acondicionamiento analógico para adquisición de ECG con tres electrodos.**

anterior, el acondicionamiento y procesado analógico de una señal ECG se compone de una amplificación inicial de las señales adquiridas mediante los electrodos, y un posterior filtrado con el que se selecciona la banda de frecuencias deseada según el propósito sea de diagnóstico clínico o de monitorización del paciente. Dada la amplitud de las señales ECG, las características principales del amplificador de entrada son una ganancia en voltaje de valor 1000 o superior, y un rechazo al modo común CMRR de al menos 100 dB que atenúe el ruido en modo común a la entrada del amplificador. Otros parámetros importantes son: una resistencia de entrada alta que no atenúe la señal del electrocardiograma; una baja deriva en la circuitería interna del amplificador; y un bajo ruido generado internamente.

La implementación típica del amplificador para ECG de tres derivaciones hace uso de amplificadores de instrumentación diferenciales comerciales (Burn-Brown 1998) para bajo voltaje y alta precisión. En estas implementaciones, la señal de modo común en el amplificador se realimenta al sujeto mediante la conexión RL lo que minimiza el ruido de modo común.

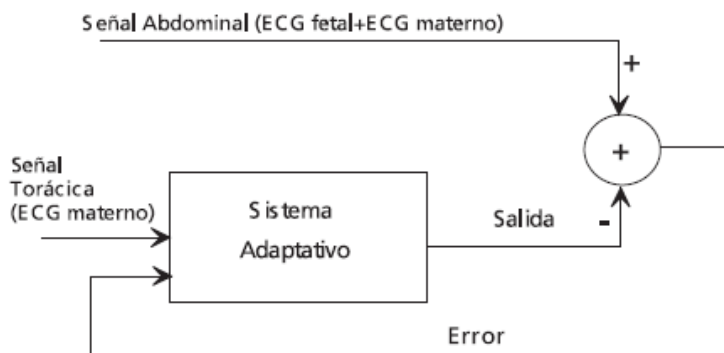
Las etapas de filtrado de la señal se componen de aquellos elementos que permiten la selección de la banda de frecuencias deseada, lo que elimina la mayor parte de las interferencias de ruido. Para la implementación de una aplicación para diagnóstico clínico, los módulos empleados incluyen: un filtro paso-alta con frecuencia de corte en los 0.05 Hz que elimine las componentes de

continua y el ruido de muy baja frecuencia que incluye el desplazamiento de la línea base del ECG por respiración del paciente; un filtro *notch* que elimine el ruido generado por la red eléctrica, con la frecuencia central de la banda rechazada establecida en los 50 Hz y un factor de calidad Q elevado, para no eliminar información de las componentes en frecuencia del ECG cercanas a esta frecuencia central; y por último un filtro paso-baja con la frecuencia de corte establecida en 150 Hz que elimine todo el ruido de alta frecuencia.

Un diseño ajustado de los elementos anteriores en una etapa analógica, puede proporcionar una buena señal ECG; no obstante, habitualmente se mantienen ciertos niveles de ruido y variaciones de la línea base del electrocardiograma. Un posterior procesado digital de la señal elimina estos artefactos. Entre las técnicas para el procesado digital de la señal ECG destacan el filtrado digital que implementa los mismos módulos expuestos en el párrafo anterior, haciendo uso de filtros respuesta impulsiva finita FIR con el número de etapas necesario. Otro procedimiento digital para eliminación de ruido es el filtrado basado en transformada *wavelet*. Este procedimiento (Morales et al. 2010) ha mostrado un excelente resultado en la eliminación de ruido en señales biológicas en general y ECG en particular, ya que descompone la señal en distintas sub-bandas lo que permite identificar los componentes donde se predomina el ruido y eliminarlo (Unser & Aldroubi 1996). Por otra parte, el análisis digital *wavelet* ha demostrado ser muy útil para la extracción de información en este tipo de señales complejas y no estacionarias, ya que se consigue un análisis tanto en el dominio temporal como en el de la frecuencia (Addison 2005).

### ***ECG Fetal***

La monitorización del feto aporta al médico datos sobre el bienestar fetal, para así poder diagnosticar de forma temprana la posible situación de riesgo del



**Figura 5.5 Estructura de un filtro adaptativo cancelador de ruido.**

feto. Una de las variables más utilizadas para este fin es la frecuencia cardiaca fetal. Controlando esta variable se pueden realizar diagnósticos durante el embarazo y en el parto informa del estado del bebé. Entre los métodos de monitorización cardiaca fetal se encuentran el método no invasivo que recoge el electrocardiograma materno superpuesto con el del feto en el abdomen de la madre. Las amplitudes del ECG fetal son en estas medidas del orden de 10 veces menores. Existen distintas técnicas para separar estas señales con el conocimiento simultáneo del ECG materno adquirido en el tórax. Entre ellas se encuentra la separación ciega de señales (Lathauwer, Moor & Vanderwalle 2000) o la cancelación adaptativa de ruido (Martens et al. 2007).

El método de cancelación adaptativa de ruido se basa en el uso de un filtro adaptativo el cual consta de los siguientes elementos:

- un filtro digital que filtre la señal de entrada (ECG materno en la Figura 5.5);

- el cálculo de la señal de error (ECG fetal en la Figura 5.5) mediante la comparación de la salida del filtro con la señal patrón (ECG fetal+ECG materno en la Figura 5.5);
- un proceso adaptativo, que involucra el ajuste automático de los parámetros del filtro de acuerdo al error estimado.

El proceso adaptativo implica el cálculo de los nuevos coeficientes del filtro digital. Existen distintos algoritmos para el cálculo de los coeficientes en función del error, como son el algoritmo LMS (*Least-Mean-Square*) o el RLS (*Recursive-Least-Squares*).

### 5.1.2 Electroencefalografía EEG y electromiografía EMG

Otras bioseñales interesantes para diagnóstico clínico son la encefalografía y la electromiografía.

La actividad bioeléctrica del cerebro puede captarse mediante electrodos colocados en el cráneo o córtex cerebral y adquiridos con instrumentos electrónicos; su registro gráfico constituye el electroencefalograma. En los registros bipolares se toman parejas de electrodos, dos a dos ,y se registran las diferencias de tensión entre cada par de electrodos. En los registros mono polares o referenciales se toma la señal de cada uno de los electrodos independientemente de las de los demás. En esta situación el electrodo de registro de llama electrodo activo y el segundo cable de entrada al equipo se toma de un electrodo llamado de referencia. Se recomienda registrar como mínimo 8 canales.

Las ondas del EEG (Webster, J. G. 1995) poseen amplitudes que van desde los 10 mV, en registros sobre el córtex cerebral, a 100  $\mu$ V, en la superficie del cuero cabelludo. Las frecuencias de estas ondas se mueven entre 0,5 y 100 Hz y

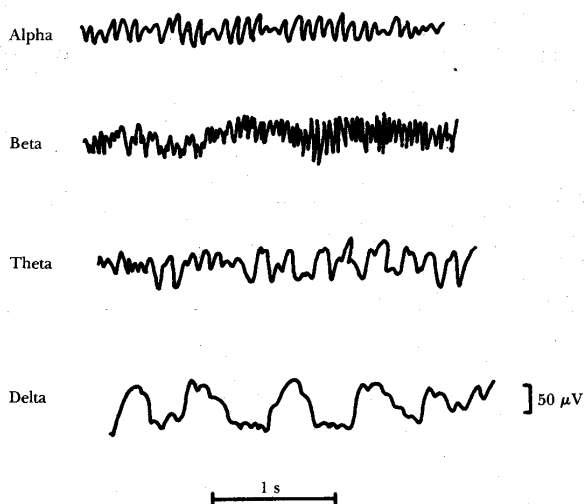


Figura 5.6 Ondas EEG.

dependen mucho del grado de actividad del córtex cerebral. La mayoría de las veces estas ondas no poseen ninguna forma determinada, en algunas son ritmos normales que suelen clasificarse en ritmos  $\alpha$ ,  $\beta$ ,  $\theta$  y  $\delta$ , las cuales pueden verse en la Figura 5.6. En otras poseen características muy específicas de patologías cerebrales como la epilepsia.

Las ondas  $\alpha$  poseen frecuencias entre 8 y 13 Hz. Se registran en sujetos normales despiertos, sin ninguna actividad y con los ojos cerrados, localizándose sobre todo en la zona occipital; su amplitud está comprendida entre 20 y 200  $\mu\text{V}$ .

Las ondas  $\beta$  poseen frecuencias entre 14 y 30 Hz, aunque pueden llegar hasta los 50 Hz; se registran fundamentalmente en las regiones parietal y frontal. Se dividen en dos tipos fundamentales, de comportamiento muy distinto,  $\beta_1$  y  $\beta_2$ . Las ondas  $\beta_1$ , tienen una frecuencia doble a las ondas  $\beta_2$  y se comportan de forma parecida a ellas. Las ondas  $\beta_2$  aparecen cuando se activa intensamente el sistema nervioso central o cuando el sujeto está bajo tensión.

Las ondas  $\theta$  poseen frecuencias entre 4 y 7 Hz y se presentan en la infancia aunque también pueden presentarlas los adultos en períodos de estrés emocional y frustración. Se localizan en las zonas parietal y temporal.

Las ondas  $\delta$  poseen frecuencias inferiores a 3,5 Hz y se presentan durante el sueño profundo, en la infancia y en enfermedades orgánicas cerebrales graves.

El acondicionamiento de estas señales requiere una amplificación más elevada que en el caso de los ECG y el filtrado tiene las mismas características, al estar circunscritas prácticamente al mismo rango de frecuencias.

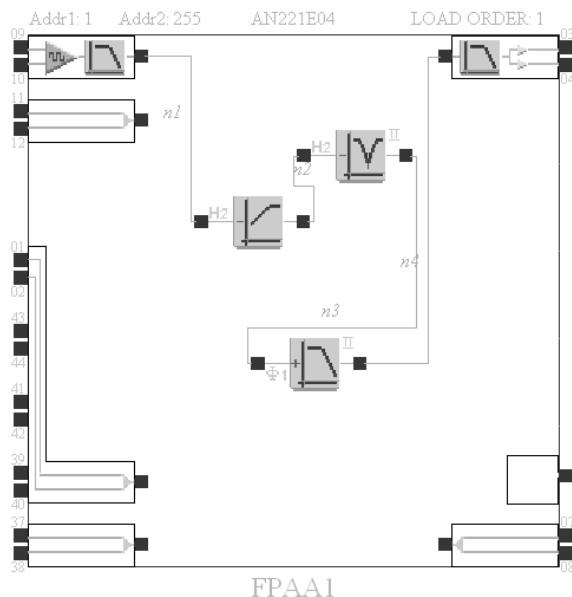
Por otra parte, registro de las señales generadas en los tejidos musculares y medidas en la superficie de la piel se denomina electromiografía EMG. Éstas tienen un rango de frecuencias que va desde 2 a 500 Hz con un rango dinámico de amplitudes variando de 50 $\mu$ V a 5mV.

Ambos tipos de señales, EEG y EMG tienen el mismo tipo de interferencias que se presentan en el caso del ECG salvo la variación de la línea base con la respiración.

## 5.2 Sistema para electrocardiografía.

En este apartado se va a presentar la implementación de un sistema de adquisición de señales electrocardiográficas reconfigurable, basado en dispositivos FPAA y FPGA y con la estructura mostrada en la Figura 5.1. En un primer paso se presenta el estudio de las configuraciones que se tienen que implementar en la FPAA, para realizar el procesado analógico presentado en la Figura 5.4. Posteriormente, a partir de la señal procesada en la FPAA se diseña un procesado digital haciendo uso el software de programación gráfica LabView y de las opciones de procesado que contiene en sus *tool kits*. Dicho procesado se aprovechará para el diseño del procesado digital que tenga lugar





**Figura 5.7 Acondicionamiento diseñado en AnadigmDesigner2**

en la FPGA. La FPGA se encargará de la reconfiguración de FPGA y de la comunicación y envío de datos al PC *host* el que se ha creado una aplicación en LabView para representación gráfica y tratamiento de las señales procesadas con el sistema reconfigurable.

### 5.2.1 Configuración de la FPAA

El acondicionamiento analógico de señales ECG se compone de una etapa amplificadora y subsiguientes etapas de filtrado, como se muestra en la Figura 5.4. Las características y cualidades de la FPAA de Anadigm AN221E04, expuestas en el capítulo anterior, permiten que este dispositivo pueda albergar este tipo de acondicionamiento. A continuación, se realiza un estudio de distintas configuraciones de la FPAA para este tipo de señales, mostrando resultados obtenidos con señales ECG sintetizadas mediante un generador de

señal. Se ha llevado a cabo un diseño para fines de diagnóstico clínico, con lo que la banda de frecuencias de interés va desde 0.05 a 150 Hz.

Dada la naturaleza diferencial y las pequeñas amplitudes de voltaje de las señales ECG, las derivaciones desde los electrodos pueden conectarse directamente a las celdas de entrada de la FPAA, sin necesidad de un pre-acondicionamiento al rango dinámico del dispositivo, excepto por los dispositivos de protección habituales, como son diodos y resistencias. La celda de entrada se ha configurado para el uso del amplificador *chopper* y el filtro *antialiasing*. Las características del amplificador son un CMRR de 102dB, un voltaje *offset* a la entrada con un valor típico de 100  $\mu\text{V}$ , y una resistencia de entrada de al menos 10  $\text{M}\Omega$  que lo hacen adecuado como interfaz para señales ECG. Este amplificador se configura con la ganancia máxima que permite, 128, y el reloj que gobierna su funcionamiento se selecciona con una frecuencia de 250 kHz. Esta frecuencia es suficientemente alta para que el filtro *antialiasing* de la celda de entrada, con su frecuencia de corte situada en el valor mínimo permitido de 76 kHz, elimine el ruido de conmutación introducido por el amplificador *chopper*.

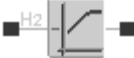


En todos los diseños presentados a continuación la configuración de las celdas de entrada permanece igual, tal y como se muestra en la Figura 5.7. El diseño de los módulos de amplificación y filtrado se desarrolla en lo que sigue.

### 5.2.1.1 Primer diseño: CAM controlados con la misma señal de reloj

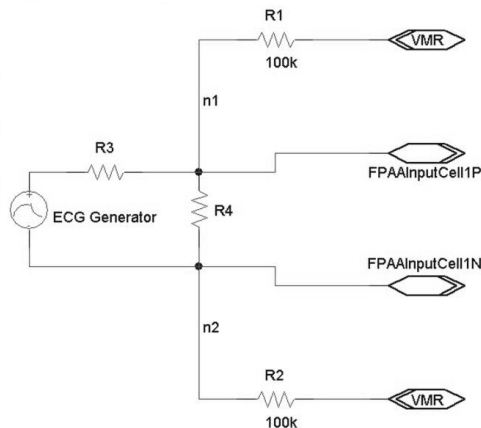
Siguiendo las recomendaciones de Anadigm para el procesado de señal en el dispositivo FPAA se ha realizado un primer diseño de la etapa de filtrado en los CAB. Dado que los módulos de procesado que se pueden configurar en la FPAA están basados en diseños con capacidades conmutadas, Anadigm recomienda que todos los módulos analógicos configurables que se unen en una

línea de procesamiento de señal estén alimentados por la misma señal de reloj, para eliminar problemas de muestreo y retención del valor de la tensión entre módulos consecutivos y eliminar así fuentes de ruido interno. Otro límite al funcionamiento de los CAM que se recomienda es que la frecuencia de conmutación de estos módulos no sea inferior a 1 kHz. Con esta frecuencia como límite se han configurado los siguientes CAM mostrados en la Tabla 5.1.

Tabla 5.1 CAM usados en el primer diseño ECG.

Nombre	Opciones	Parámetros	Frecuencias de reloj
<b>FilterBilinear1</b> 	<b>Filter Type</b> <i>High Pass</i> <b>Resource Usage</b> <i>Low Corner Frequency</i>	<b>Corner Frequency [kHz]</b> <i>0.000552</i> <b>Gain</b> <i>1.00</i>	<b>ClockA</b> <i>1.105 kHz (Chip Clock 3)</i>
<b>FilterBiquad1</b> 	<b>Filter Type</b> <i>Band Stop</i> <b>Filter Topology</b> <i>Automatic</i>	<b>Corner Frequency [kHz]</b> <i>0.0501</i> <b>DC Gain</b> <i>2.000</i> <b>High Frequency Gain</b> <i>2.000</i> <b>Quality Factor</b> <i>30.0</i>	<b>ClockA</b> <i>1.105 kHz (Chip Clock 2)</i>
<b>FilterBiquad2</b> 	<b>Filter Type</b> <i>Low Pass</i> <b>Filter Topology</b> <i>Automatic</i> <b>Input Sampling Phase</b> <i>Phase 1</i> <b>Polarity</b> <i>Non-inverting</i>	<b>Corner Frequency [kHz]</b> <i>0.111</i> <b>Gain</b> <i>4.00</i> <b>Quality Factor</b> <i>0.707</i>	<b>ClockA</b> <i>1.105 kHz (Chip Clock 3)</i>

El uso de un tipo de filtro diferente para el filtrado paso baja y el filtrado paso alta se debe a las limitaciones que presenta el CAM *FilterBiquad* en la frecuencia de corte cuando se configura como filtro paso alta, no pudiendo alcanzar una frecuencia de corte menor de 2.2 Hz a la frecuencia de reloj de 1.1 kHz. Por otro lado, el módulo CAM *FilterBilinear* permiten la opción de configuración para frecuencias de corte bajas, con lo que puede alcanzar 0.55 Hz de frecuencia de corte. El filtro *notch* se configura para eliminar la interferencia de la red eléctrica con la frecuencia de ranura en los 50.1 Hz y un factor de calidad Q de 30. La máxima frecuencia de corte que puede alcanzar en configuración de filtro pasa-baja, el CAM *FilterBiquad*, con el reloj de 1.1



**Figura 5.8 Conexión del generador ECG a la FPAA.**

kHz es de 111 Hz. Por último, la celda de salida de la FPAA se configura en modo de salida de voltaje con un filtro *antialiasing* configurado a la frecuencia de corte de 76 kHz, que es el valor mínimo permitido por los recursos del dispositivo.

Como puede verse, el compromiso entre la frecuencia del reloj que gobierna los CAM y las frecuencias de corte necesarias, hace que la banda de frecuencias seleccionada sea el rango 0.55 a 111 Hz, lo que no cumple completamente las especificaciones de adquisición de ECG para diagnóstico clínico. Una frecuencia de reloj menor permitiría alcanzar una frecuencia de corte inferior en el filtro paso alta, mientras que una frecuencia mayor de reloj permitiría configurar una frecuencia de corte superior en el filtro paso alta. No obstante un posterior filtrado digital puede solucionar los problemas de ruido remanentes en la señal de salida de la FPAA, aunque existe otra posibilidad que se presenta más adelante.

***Medidas experimentales con señales simuladas***

Para probar el funcionamiento del acondicionamiento diseñado en la FPAA se ha implementado (Morales et al. 2010) un montaje experimental que hace

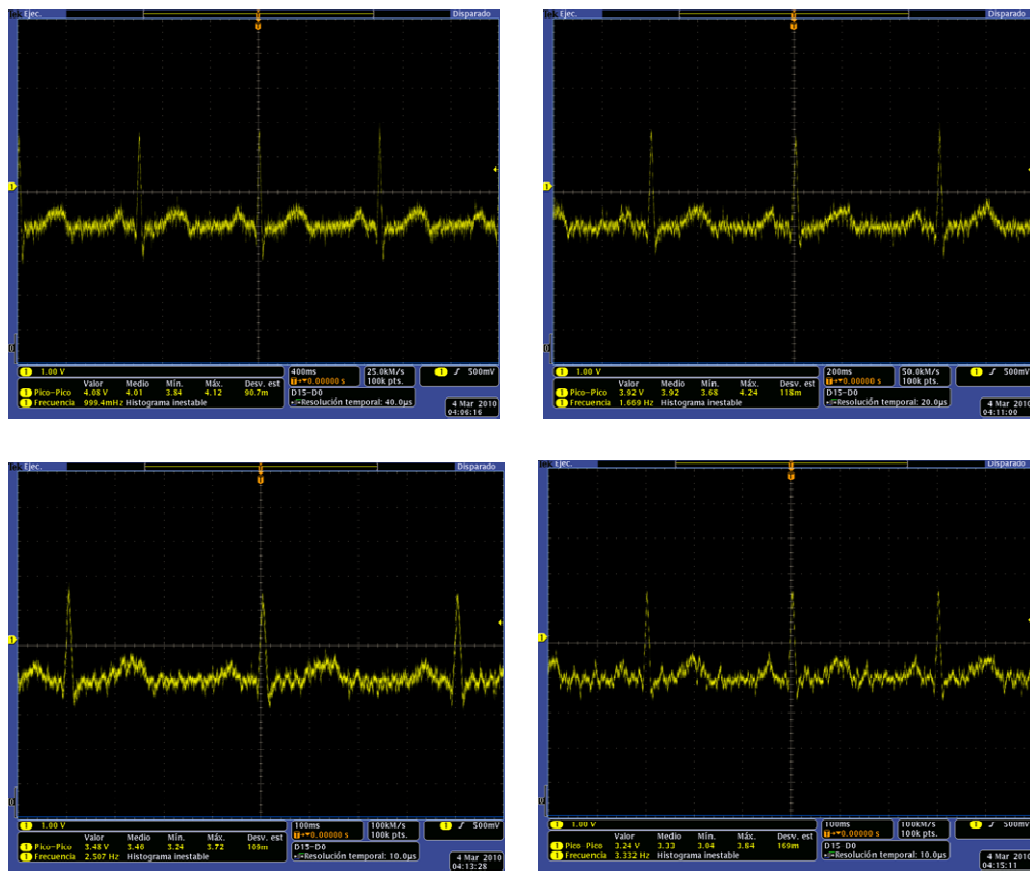


Figura 5.9 Señales ECG procesadas. De izquierda a derecha y de arriba hacia abajo: 60, 100,150 y 200 lpm (latidos por minuto).

uso del generador de señales Agilent 33120A que genera la señal ECG con una amplitud mínima de  $63 \text{ mV}_{pp}$ . Esta señal se ha conectado a la celda de entrada de la FPAA mediante un divisor resistivo, como se muestra en la Figura 5.8, lo que permite obtener la amplitud de  $5 \text{ mV}_{pp}$  típica de un ECG en los terminales de entrada de la FPAA. La referencia del modo común se ha obtenido conectando el pin VMR del voltaje de referencia en el procesado en la FPAA. Los resultados del procesado se han visualizado en el osciloscopio MSO4000 de Tektronix.

Se han realizado una serie de medidas para distintas frecuencias de latido,

con una amplitud del ECG de  $5.48 \text{ mV}_{pp}$ , que van desde 60 lpm (latidos por minuto) hasta 200 lpm. Como puede verse en la Figura 5.9, la salida de la señal acondicionada permite la identificación del complejo QRS para todas las frecuencias de latido. A la frecuencia de latido de 200 lpm puede verse que la amplitud de la salida se reduce debido a que las componentes de frecuencias mayores de la señal se ven atenuadas al estar la frecuencia de corte del filtro paso-baja establecida en 111 Hz.

Esta configuración presenta un buen CMRR, ya que a la señal ECG se le ha añadido voltaje de *offset* con valores de hasta dos veces la amplitud de la señal ECG, sin que se observen cambios perceptibles en la señal de salida. Por otro lado, se ha observado un voltaje de *offset* generado internamente en los módulos CAM debido a la distribución de ganancias en los módulos; si se concentra toda la ganancia en un módulo CAM amplificador previo a los módulos de filtrado, este *offset* desaparece como puede observarse en la Figura 5.10a. Pero esta configuración muestra un deterioro rápido cuando una tensión de *offset* externo se añade a la señal generada en la fuente, como puede verse en la Figura 5.10b. Por lo tanto, no se recomienda que se concentre la ganancia interna en un solo módulo colocado al comienzo de la cadena de procesado.

Dado que la frecuencia mínima del filtro *antialiasing* de la celda de salida es de 76 kHz, una componente del ruido en la señal se debe al ruido de conmutación de las capacidades en los CAM, ya que éstas están conmutadas a 1 kHz. Este ruido no se puede eliminar por este filtro paso baja, como puede verse en la Figura 5.11a, en la que se muestra el complejo QRS del ECG expandido. Para eliminar ese ruido se ha colocado un filtro RC paso-baja, con la frecuencia de corte en 150 Hz, en la salida de la FPAA, lo que suaviza los escalones debidos a la conmutación, como puede verse en la Figura 5.11b.

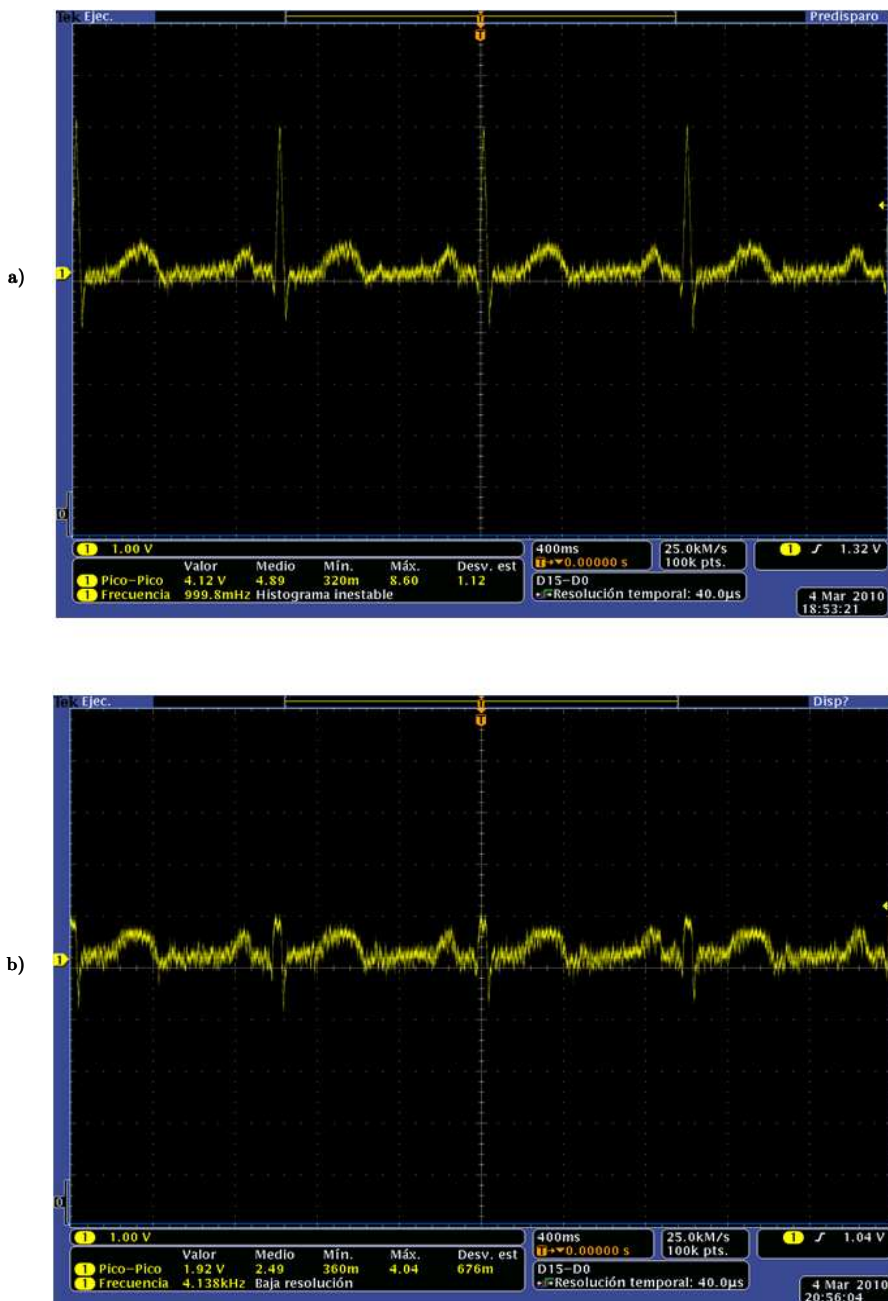


Figura 5.10 a) Salida del acondicionamiento para 60 lpm con toda la ganancia interna concentrada en un CAM amplificador sin offset a la entrada. b) Deterioro de la salida cuando se añade offset a la señal de entrada de 80 mV.

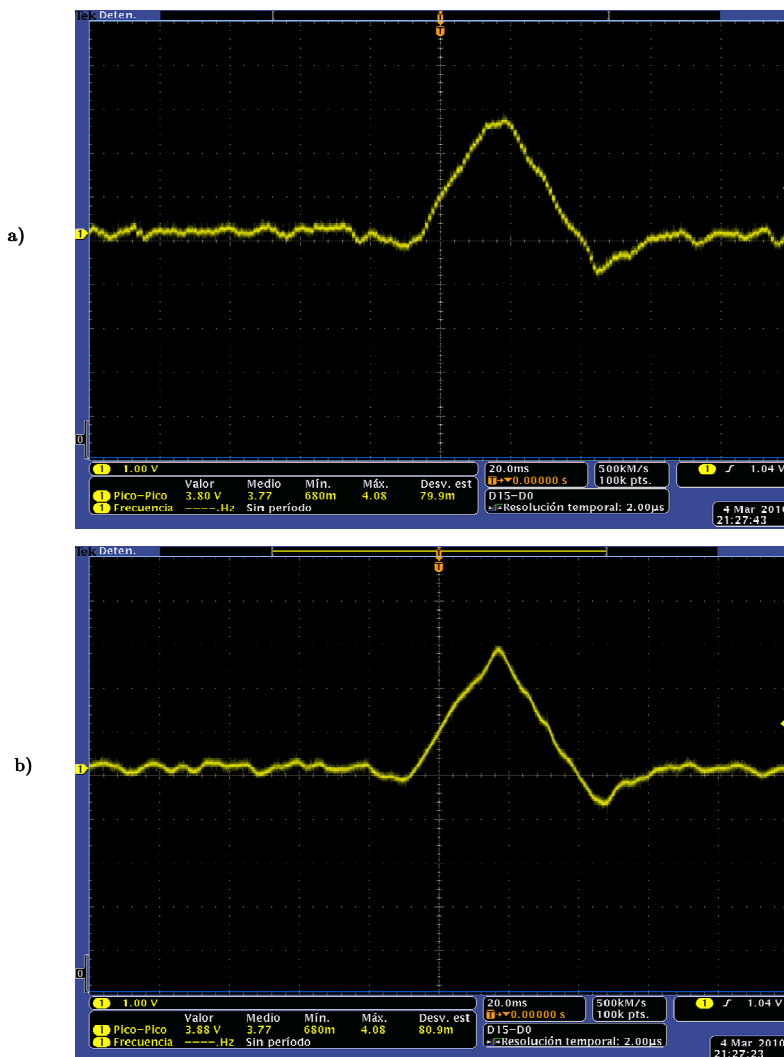


Figura 5.11 a) Salida sin filtrado RC. b) Salida con filtrado RC




### 5.2.1.2 Diseño segundo: CAM controlados con señales de reloj diferentes

Como se ha visto, el uso de una frecuencia de reloj común para todo los CAM en el diseño hace que el dispositivo no pueda cumplir con las especificaciones de ancho de banda. Aquí se presenta una nueva aproximación en la que seleccionan distintas frecuencias para cada uno de los CAM (Morales



et al. 2010). Aunque esto va en contra de las recomendaciones de Anadigm, si la elección de frecuencias se hace de manera que la frecuencia de reloj de cada etapa en el acondicionamiento sea superior a la de la etapa anterior, aunque no coincidan completamente los ciclos de muestreo, la etapa posterior muestrea, a una frecuencia superior a la etapa anterior, por lo que la señal se muestreará correctamente.

Tabla 5.2 Configuraciones de los CAM usados en el segundo diseño

Nombre	Opciones	Parámetros	Frecuencias de reloj
<b>FilterBilinear1</b> 	<b>Filter Type</b> <i>High Pass</i> <b>Resource Usage</b> <i>Low Corner Frequency</i>	<b>Corner Freq. [kHz]</b> <i>0.000245</i> <b>Gain</b> <i>1.00</i>	<b>ClockA</b> <i>0.490 kHz (Chip Clock 3)</i>
<b>FilterBiquad1</b> 	<b>Filter Type</b> <i>Band Stop</i> <b>Filter Topology</b> <i>Automatic</i>	<b>Corner Freq. [kHz]</b> <i>0.0501</i> <b>DC Gain</b> <i>1.000</i> <b>High Frequency Gain</b> <i>1.000</i> <b>Quality Factor</b> <i>30.0</i>	<b>ClockA</b> <i>7.352 kHz (Chip Clock 2)</i>
<b>FilterBiquad2</b> 	<b>Filter Type</b> <i>Low Pass</i> <b>Filter Topology</b> <i>Automatic</i> <b>Input Sampling Phase</b> <i>Phase 1</i> <b>Polarity</b> <i>Non-inverting</i>	<b>Corner Freq. [kHz]</b> <i>0.111</i> <b>Gain</b> <i>8.00</i> <b>Quality Factor</b> <i>0.707</i>	<b>ClockA</b> <i>125 kHz (Chip Clock 3)</i>

Siguiendo este procedimiento, en la Tabla 5.2 se presentan las configuraciones de los CAM empleados. Los elementos de la celda de entrada y la celda de salida quedan con las mismas configuraciones que se presentaron en el apartado anterior, con un amplificador *chopper* y filtro en entrada y un filtro en la celda de salida. Con respecto a los CAM internos, el filtro paso-alta que atenúa las componentes en continua y las oscilaciones de la línea base del ECG, denominadas *wandering*, se ha implementado con el CAM *FilterBilinear* que genera un filtro bilineal de primer orden con ganancia unidad. Como es necesario alcanzar la frecuencia de corte de 0.05 Hz, se ha usado este filtro de primer orden aunque sólo tenga una caída de 20 dB en la banda de rechazo. La

frecuencia de conmutación se ha situado en 490 Hz, que es menos de la mitad de la mínima frecuencia recomendada. Aún así, sólo se puede alcanzar una frecuencia de corte de 0.2 Hz, pero valores menores de reloj pueden ocasionar el mal funcionamiento del módulo, por lo que aquí se ha fijado el límite.

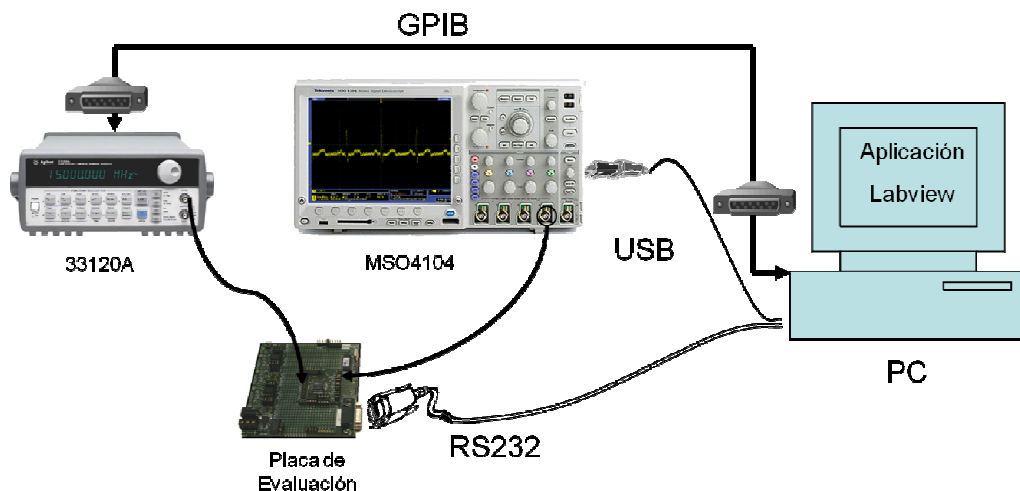
El siguiente módulo CAM, *FilterBiquad*, implementa un filtro *notch* bicuadrático de segundo orden, de ganancia unidad y factor de calidad Q con valor 30 que preserve las componentes de la señal. Se ha establecido la frecuencia de la señal de reloj que gobierna el CAM en 7.352 kHz. Esta frecuencia de reloj permite que la frecuencia central de la banda rechazada se sitúe en los 50Hz y, así, el filtro elimine las interferencias de la red eléctrica.

Finalmente, el filtro paso-baja que elimina las componentes de ruido con frecuencias superiores a 150 Hz se implementa con el CAM *FilterBiquad* configurado como un filtro paso baja con la frecuencia de corte en 150 Hz, una ganancia de 8 y gobernado por un reloj con frecuencia de 125 kHz. La elección de esta frecuencia permite que el filtro *antialiasing* implementado en celda de salida elimine el ruido generado por las capacidades conmutadas en este CAM.

Con este diseño del circuito completo se tiene una ganancia total de 1024 y el sistema tiene una buena relación señal ruido, superior a 100 dB. El diseño de este circuito consume la mitad de los recursos en de los CAB en la FPAA y una celda de entrada y una celda de salida y, por tanto, este dispositivo puede albergar la implementación completa de otro procesado completo de ECG.

### ***Caracterización y medida experimentales con señales simuladas***

Este cuidadoso diseño del procesado implementado en la FPAA se ha estudiado en el laboratorio, para validar su funcionamiento, con el kit AN221K04 que contiene la FPAA. Se ha diseñado un experimento como el de



**Figura 5.12 Montaje experimental para caracterización del acondicionamiento analógico del ECG**

la Figura 5.12, controlado mediante una aplicación diseñada en LabView que configura la FPAA vía RS232, genera el patrón ECG en la fuente Agilent 33120A, el cual se atenúa en un divisor resistivo con la misma configuración de la Figura 5.8, y adquiere los resultados de las medidas realizadas con el osciloscopio Tektronix MSO4104 vía USB. En primer lugar, se obtiene la respuesta en frecuencia de la configuración y la respuesta temporal. En la Figura 5.13a se muestra el diagrama de Bode experimental con el ancho de banda esperado, que va desde 0.2 a 150 Hz, el cual permite el uso para diagnóstico. El uso del dispositivo reconfigurable analógico permite el cambio dinámico de estos límites en frecuencia a otro rango, sin desconectar el sistema, en menos de 0.5 segundos, en el peor caso, cuando se usa comunicación serie RS232. En la Figura 5.13b se muestra la respuesta temporal para una frecuencia cardíaca de 60 lpm y una amplitud de entrada de 63 mV<sub>pp</sub>. La referencia del modo común de la señal se obtiene conectando el pin negativo de la celda de salida de la FPAA como electrodo de referencia RL. A pesar de no

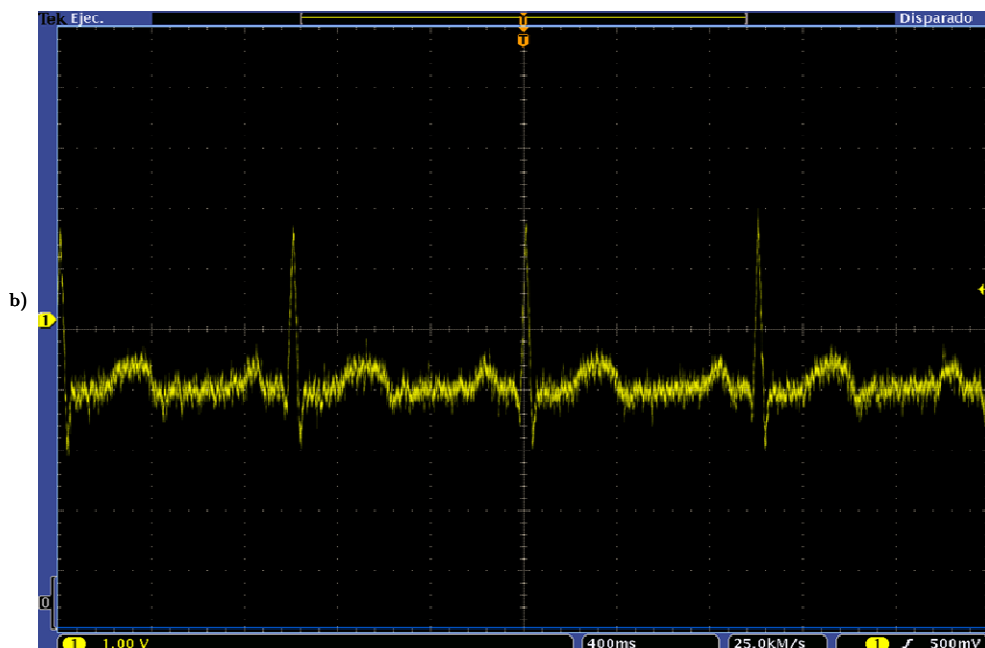
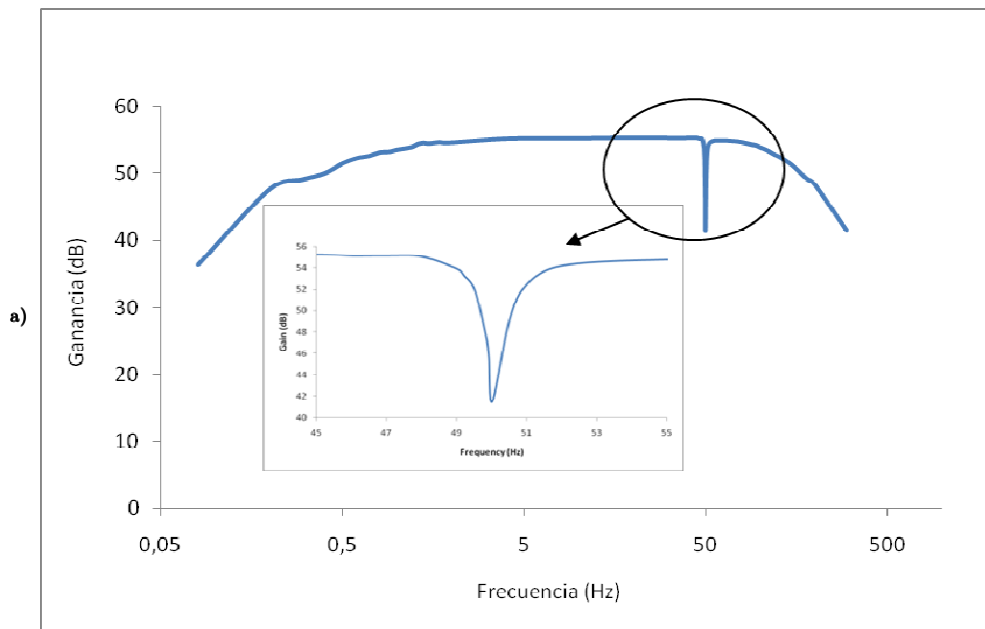


Figura 5.13 a) Diagrama de bode para la configuración de diagnóstico. b) Respuesta temporal del sistema.

realizarse ningún procesado digital adicional, la onda completa PQRST se distingue completamente en la Figura 5.13b, por lo que el procesado analógico proporciona una ECG útil que puede usarse para un posterior análisis digital.

Otra configuración interesante es la de monitorización, en la que el rango de frecuencias de interés va de 4 a 40 Hz. Esta configuración busca destacar el intervalo R-R del ECG para identificar mejor la frecuencia de latidos, aunque la resolución del complejo PQRST disminuya. Para acondicionar este rango sólo son necesarios, como se muestra en la Figura 5.14, el filtro bilineal en configuración paso-alta, con frecuencia de corte en 4 Hz, seguido por el filtro bicuadrático en configuración paso-baja con la frecuencia de corte situada en 40 Hz. Puesto que el rango de frecuencias es más restringido, se puede configurar esta aplicación manteniendo una única frecuencia de conmutación en los módulos CAM, lo que garantiza que no haya errores de muestreo entre módulos. Para esta configuración se ha analizado su respuesta en frecuencia y su respuesta temporal, como se muestra en la Figura 5.15. El uso de este

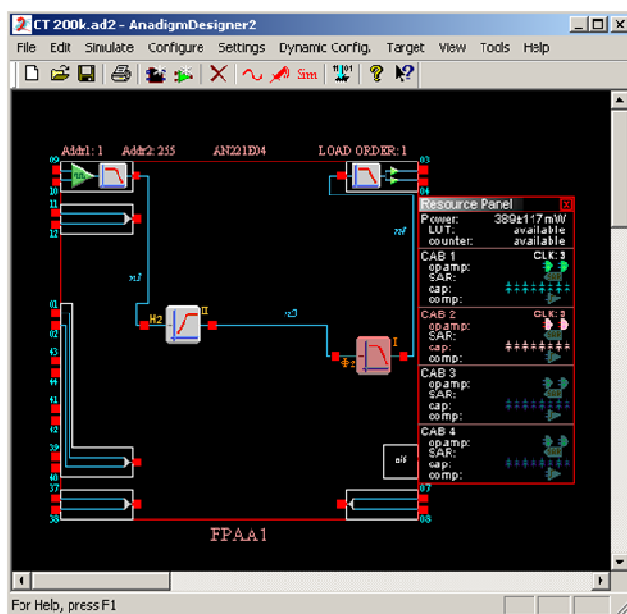


Figura 5.14 Configuración creada en AnadigmDesigner2 para monitorización

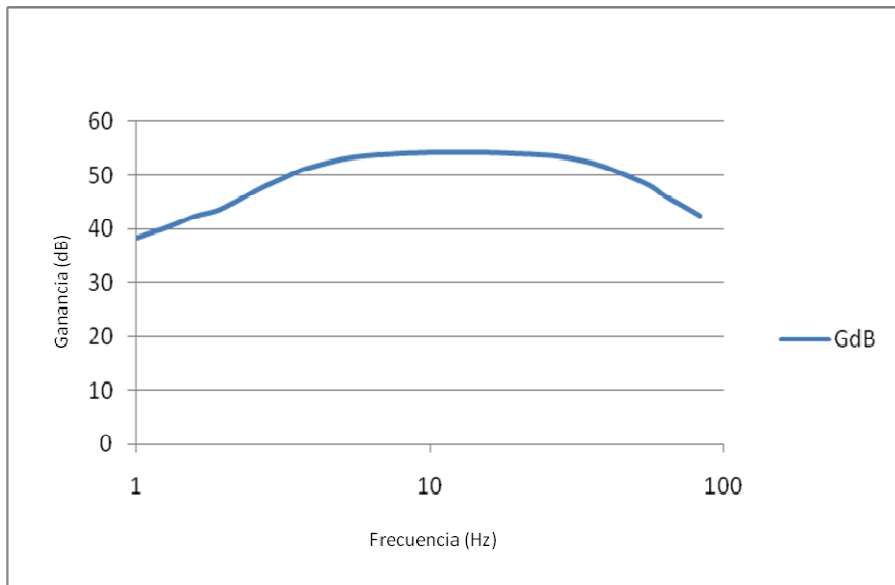


Figura 5.15 a) Diagrama de Bode para la configuración de monitorización. b) Respuesta temporal con 60 lpm

dispositivo reconfigurable permite el cambio dinámico entre la configuración de diagnóstico y la de monitorización, lo que simplifica el desarrollo de un instrumento, ya que no es necesario el diseño de la circuitería de dos etapas de acondicionamiento en paralelo. Además, la cantidad de recursos en la FPAA permite la implementación de ambos procesados en un solo dispositivo.

### 5.2.2 Procesado y control con la FPGA

El estudio del apartado anterior ha mostrado la viabilidad del uso un dispositivo reconfigurable como interfaz analógica para la adquisición de señales ECG. En este apartado se muestra como el empleo de un dispositivo reconfigurable digital permite el desarrollo de una aplicación que procese y analice los datos del ECG procedentes de la FPAA y, además, controle el flujo de los mismos. La FPGA empleada en esta aplicación se encarga además de la configuración de la FPAA vía RS232, cargando el acondicionamiento que en cada momento sea necesario para modificar ganancias o rangos de frecuencias cuando se desee.

Para este propósito se ha empleado el kit de desarrollo presentado en el capítulo anterior, diseñado en torno al dispositivo Spartan-3E XC3C500E de Xilinx. Como ya se dijo, esta plataforma contiene recursos de comunicación USB y RS232, además de un convertidor ADC de dos canales y 14 bits de resolución. Así, la FPGA, además de la configuración de la FPAA y almacenamiento de los datos de configuración, se encarga de de la adquisición de los datos procedentes del ADC vía SPI, del procesado de los datos, y del envío de los mismos al *host* vía USB.

Todos estos protocolos de comunicación y procesado digital se han implementado en la FPGA mediante el paquete de software LabView FPGA Module, el cual permite la creación de hardware reconfigurable en la FPGA

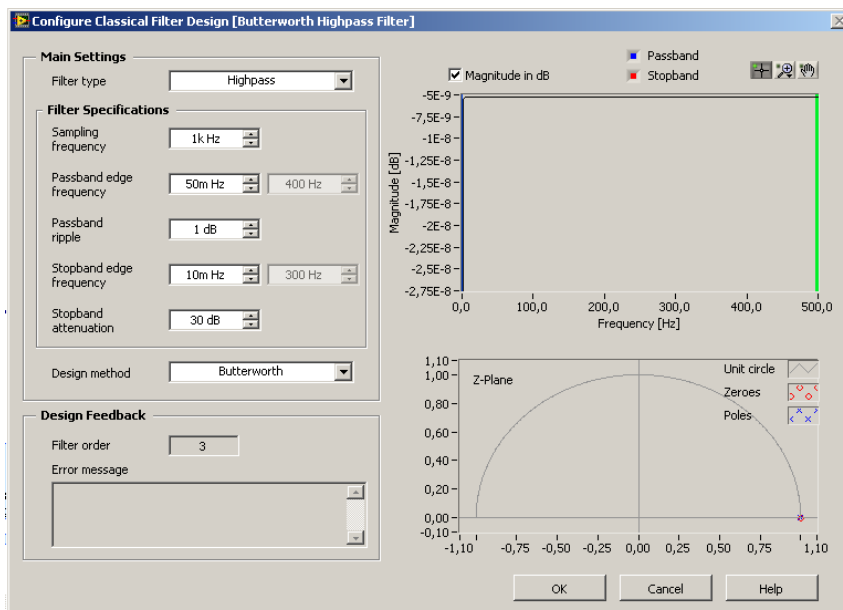


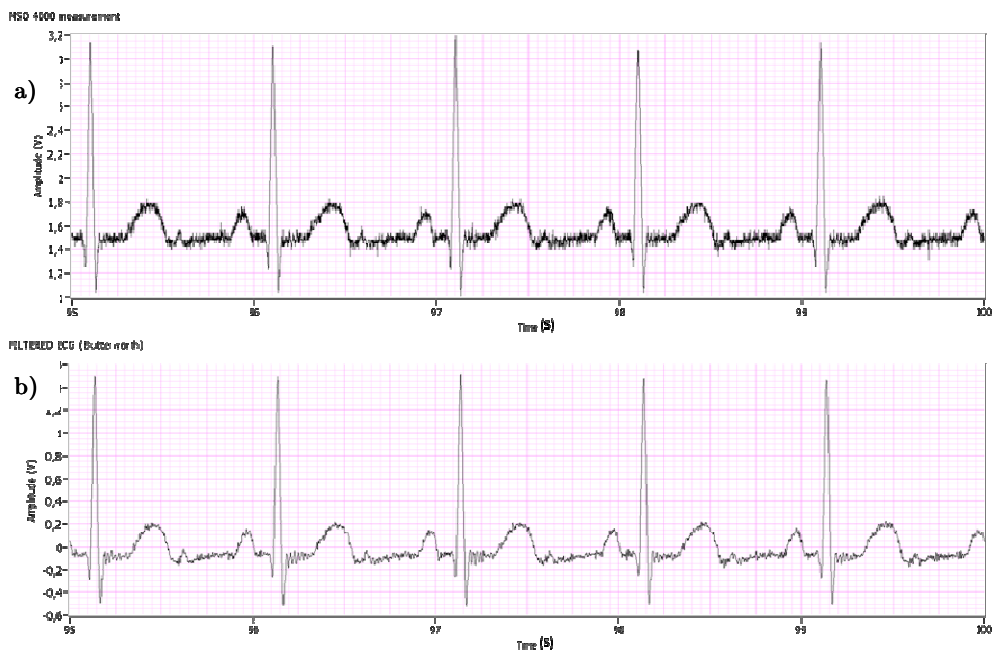
Figura 5.16 Interfaz de configuración de los filtros Butterworth en LabView

mediante una interfaz gráfica. La razón del uso de esta herramienta es la facilidad con la que se puede crear, controlar y depurar la aplicación implementada dentro de un único entorno de desarrollo, capaz de generar rápida y fácilmente la circuitería digital a ser configurada en la FPGA, sin la necesidad de un desarrollo HDL en otras herramientas. Además, si es necesario un desarrollo más complejo que el que se puede implementar con los módulos disponibles en este software, es posible incluir un módulo de procesado implementado en HDL en el entorno de desarrollo LabView FPGA Module.

### 5.2.2.1 Modelado del procesado en la FPAA con LabView

La señal procesada en la FPAA en un primer momento se ha digitalizado haciendo uso del osciloscopio del montaje experimental mostrado en la Figura 5.12. Esta señal se ha procesado mediante una aplicación creada con LabView





**Figura 5.17 a) Señal ECG adquirida con el osciloscopio tras ser procesada con la FPAA, b) señal tras el procesado con filtros Butterworth en LabView.**

como un primer paso anterior al empotrado del algoritmo en la FPGA. Esto permite conocer de un modo más preciso las posibilidades de extracción de información de la señal obtenida tras el procesado analógico en la FPAA. Esta información puede incluir la frecuencia de los intervalos R-R, que proporciona la frecuencia de latidos del corazón, y la frecuencia de respiración del paciente derivada de la variación de las amplitudes máximas del complejo QRS.

LabView es una herramienta con posibilidades de procesado de señal, control de instrumentos y visualización de resultados, que proporciona un entorno robusto, lo que facilita el rápido desarrollo de sistemas completos. Con este propósito se han implementado dos tipos de procesado diferente. La primera solución que se ha implementado elimina ruido de la señal haciendo uso de filtrado digital tradicional, con tres etapas de filtrado que procesan la

señal ECG de la misma manera que se hace en el procesamiento analógico en la FPAA. Así, se han implementado un filtro paso-alto, un filtro *notch* y un filtro paso baja con estructura Butterworth. Estos filtros se configuran en la interfaz gráfica que muestra la Figura 5.16. En la Tabla 5.3 se recogen las configuraciones realizadas para cada uno de los filtros.

En la Figura 5.17a se muestra la señal adquirida desde el osciloscopio después de ser acondicionada en la FPAA, mientras en que la segunda gráfica se muestra la señal tras ser filtrada digitalmente. Puede apreciarse una disminución notable del ruido en la señal, así como la eliminación de la componente en continua de la señal en línea base.

**Tabla 5.3 Configuraciones para los filtros Butterworth en LabView**

Filtro Butterworth	Paso alta	Notch	Paso Baja
Frecuencia de muestreo	1 kHz	1 kHz	1 kHz
Frecuencias de corte en la banda pasante	0.05 Hz	49.5 Hz	150 Hz
		50.5 Hz	
Rizado en la banda pasante	1dB	1dB	1 dB
Frecuencias de corte en la banda rechazada	0.01Hz	49.8 Hz	160 Hz
		50.2 Hz	
Atenuación en la banda rechazada	30 dB	30 dB	30 dB

El segundo procesamiento implementado en LabView hace uso del filtrado y análisis *wavelet*, el cual se usa ampliamente en ECG, ya que se ajusta a este tipo de señales. Este método realiza un mejor filtrado de la señal como puede verse en la Figura 5.19 y, adicionalmente, permite la extracción de información de la señal. En concreto se han eliminado las variaciones de la línea base del ECG y la componente en continua de la línea base mediante un módulo *wavelet* que proporciona LabView denominado WT Detrend VI. Una vez eliminadas las

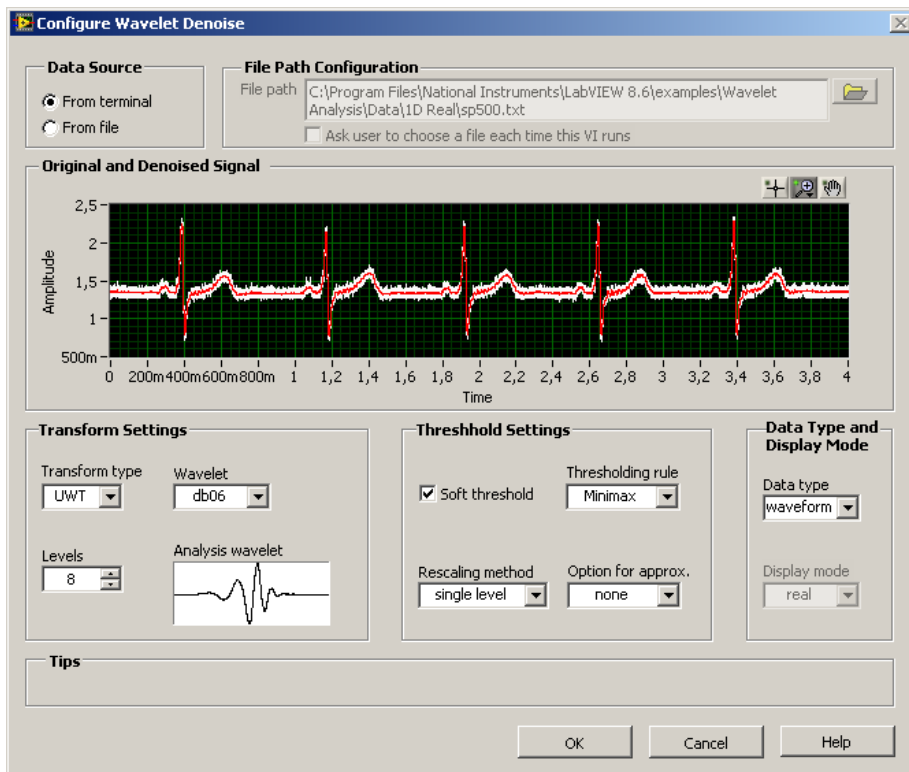


Figura 5.18 Configuración del módulo Wavelet Denoise

componentes de ruido de baja frecuencia se ha realizado un procesamiento *wavelet* para eliminar el ruido de alta frecuencia de la señal y el ruido remanente debido a la red eléctrica (Kania, Fereniec & Maniewski 2007). Así, se ha implementado el módulo Wavelet Denoise en la línea de procesado en LabView. Este módulo implementa una transformada wavelet de tipo Daubechies 6 de ocho etapas, cuya configuración puede verse en la Figura 5.18. En la Figura 5.19 se muestra la señal procesada con estos dos módulos. Como puede verse, el resultado es una señal con una relación señal ruido mejorada. Mediante un análisis *wavelet* de multiresolución es posible identificar el complejo QRS en la señal ECG filtrada, lo cual se muestra, mediante recuadros, en la gráfica inferior de la Figura 5.19, donde se ha llevado a cabo el procesado con los tres módulos *wavelet* (Morales et al. 2011).

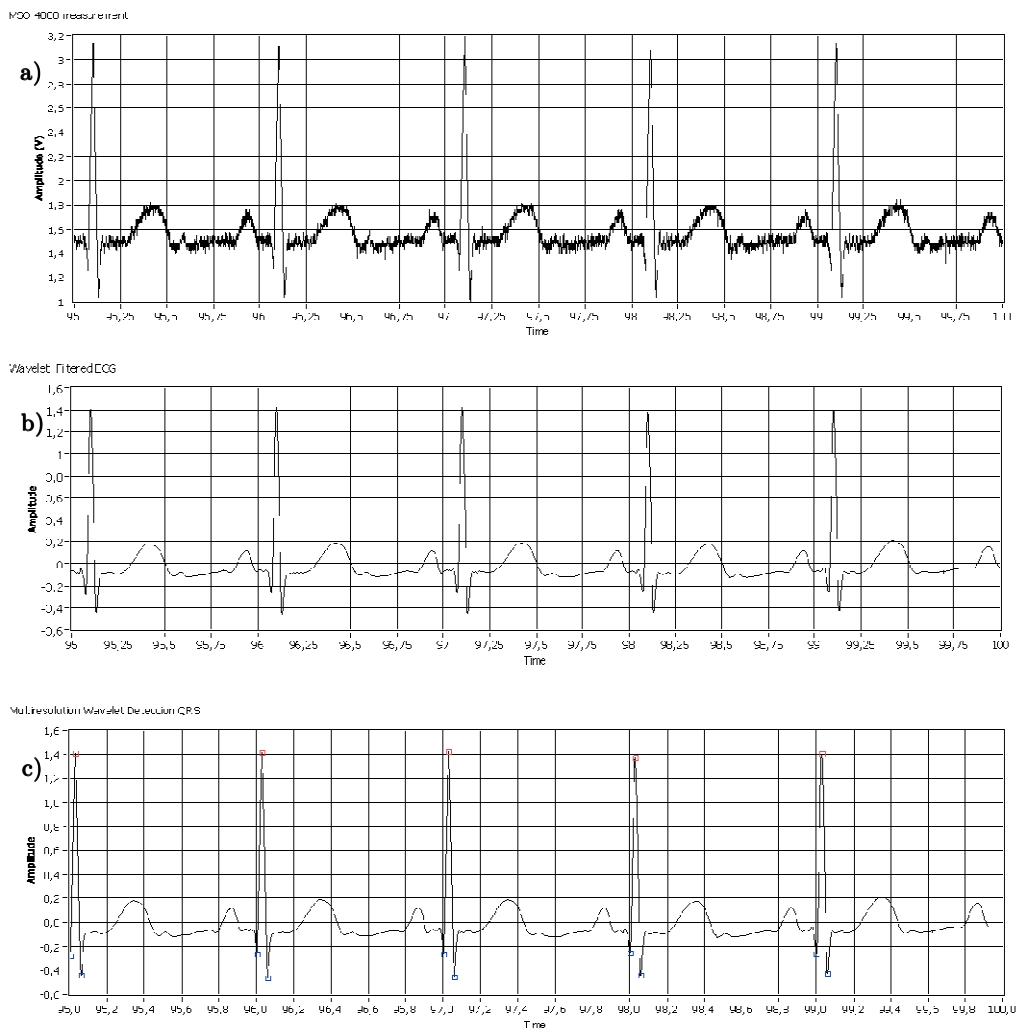


Figura 5.19 a) Señal adquirida del osciloscopio, b) señal filtrada con wavelet en LabView, c) detención del complejo QRS mediante análisis *wavelet*.

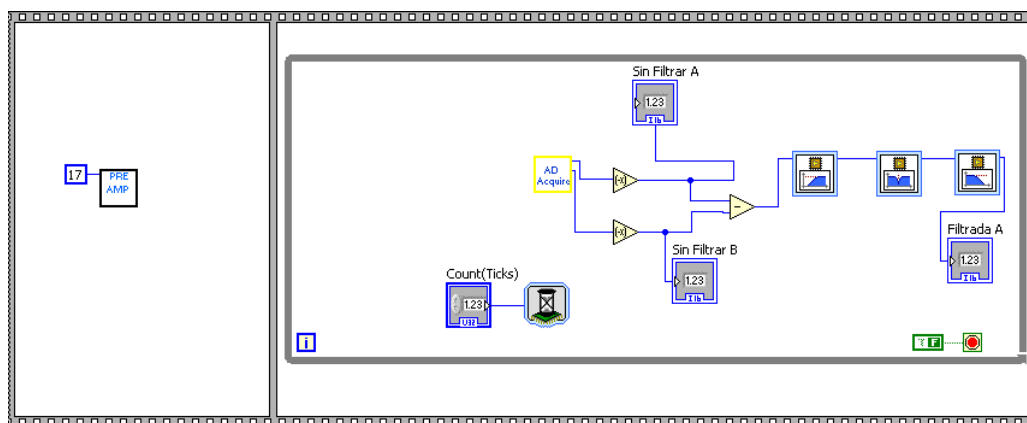
### 5.2.3 Resultados experimentales. Medidas reales

Con todo lo expuesto hasta ahora, se ha caracterizado el funcionamiento de la FPA y se han mostrado los posibles procesados digitales a llevar a cabo en

la FPGA, haciendo uso de señales ECG generadas artificialmente mediante una fuente. Esto permite el diseño y depurado de una aplicación que elimine artefactos añadidos a la señal ECG, como la interferencia de la red eléctrica, el ruido generado en los electrodos, y las variaciones de la línea base del ECG debidas a la respiración y movimientos musculares del paciente.

En este apartado se muestran los resultados de adquisición y procesado de señales reales ECG, que validan el uso de esta plataforma reconfigurable mostrada en la Figura 5.1, para adquisición y procesado de este tipo de señales.

En esta aplicación, la salida de la señal ECG diferencial procesada en la FPAA se conecta a los dos canales del ADC LTC1407A incluido en la placa de la FPGA, con el terminal de salida negativo de la celda de la FPAA conectado al canal B del ADC y el terminal positivo conectado al canal A del ADC. Estas dos señales digitalizadas se adquieren simultáneamente con tasa de 1 k muestra por segundo, que es suficiente para el procesado de señales ECG. El procesado se realiza con aritmética en punto fijo en la FPGA, con un ancho de palabra de 32 bits. En esta aplicación se han desarrollado tres filtros Butterworth de



**Figura 5.20. Filtrado implementado en la FPGA con LabView.**

cuarto orden que implementan el filtrado paso-alta, *notch* y paso-baja respectivamente. En la Figura 5.20 se muestra los filtros implementados en LabView FPGA Module. La configuración que se ha implementado permite seleccionar la banda de frecuencias 0.05 a 150 típica del ECG de diagnóstico, de manera que se eliminen los problemas de límite de banda que el procesado analógico tenía ya que sólo se seleccionaba el rango 0.2 a 150 Hz.

En la Tabla 5.4 se recoge el uso de recursos de la FPGA de este diseño. Sólo requieren el 55% de los multiplicadores MULT18X18SIO y el 56% de los *slices* disponibles en el dispositivo. Los resultados del procesado se envían a la computadora vía USB y se visualizan mediante una aplicación en LabView.

**Tabla 5.4 Utilización de los recursos lógicos de la FPAA**

Recursos lógicos usados	Slice Flip-Flops	3168
	LUT de 4 entradas	3570
	MULT18X18SIOs	11
	Slices ocupados	2610
Rendimiento	Periodo mínimo (max. frecuencia)	15.732 ns (63.566 MHz)

Las señales de ECG reales se han adquirido haciendo uso de dos tipos de electrodos diferentes: electrodos de succión metálicos y; electrodos de un solo uso adhesivos de 3M, denominados Red Dot<sup>TM</sup> Resting EKG Electrode 2330 (3M 2010), mostrados en la Figura 5.21.

En la Figura 5.22 se recogen las medidas realizadas con la plataforma completa, con una diferencia clara entre las medidas entre los dos tipos de electrodos. En la Figura 5.22(a) se recoge la señal obtenida con los electrodos metálicos digitalizada y ya procesada por la FPAA, y en la Figura 5.22(b) el



**Figura 5.21 (Arriba) Electrodo metálicos de succión. (Abajo) Electrodo adhesivos 3M.**

resultado obtenido tras el procesado con la FPGA. Igualmente la Figura 5.22(c) muestra la señal adquirida con los electrodos 3M y en la Figura 5.22(d) se muestra esta señal ya procesada por la FPGA. En estos resultados se puede observar que los electrodos metálicos proporcionan una relación señal ruido mucho mejor, pero tienen el inconveniente de que generan irritación en la piel del paciente. Por otro lado, los electrodos 3M presentan una respuesta peor, pero son una buena opción ya que tiene un bajo coste, son fáciles de usar, con un pequeño tamaño y más comfortable para el usuario. Por último volver a hacer hincapié en la configuración con la que se obtiene la referencia en el electrodo RA. Este electrodo realimenta la señal de salida en el terminal negativo de la celdas de salida diferencial donde se obtiene la señal procesada en la FPAA. Con esta técnica se realimenta la señal de salida cambiada de signo al cuerpo del individuo, lo que atenúa la señal en modo común al utilizar la técnica de entradas opuestas. Se ha realizado un estudio del ruido en la línea base de la señal de salida, con lo que se ha obtenido un ruido equivalente a la entrada de  $7.3 \mu V_{pp}$  en todo el rango de frecuencias de la señal de entrada (0.2-

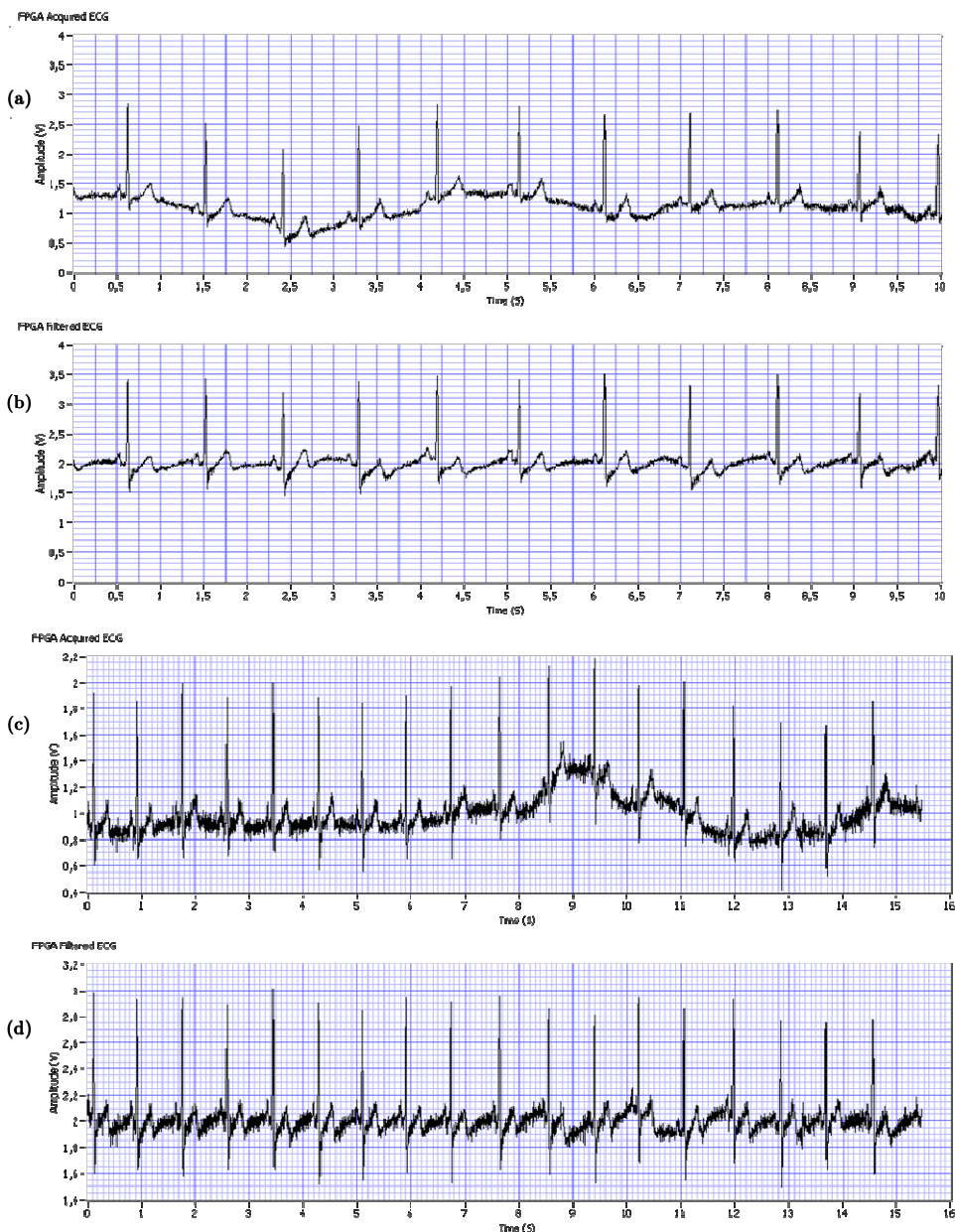


Figura 5.22 (a) Señal procesada por la FPAA y adquirida con la FPGA con los electrodos metálicos. (b) Señal de los electrodos metálicos tras el procesado en la FPGA. (c) Señal procesada por la FPAA y adquirida con la FPGA con los electrodos 3M. (d) Señal de los electrodos 3M tras el procesado en la FPGA.

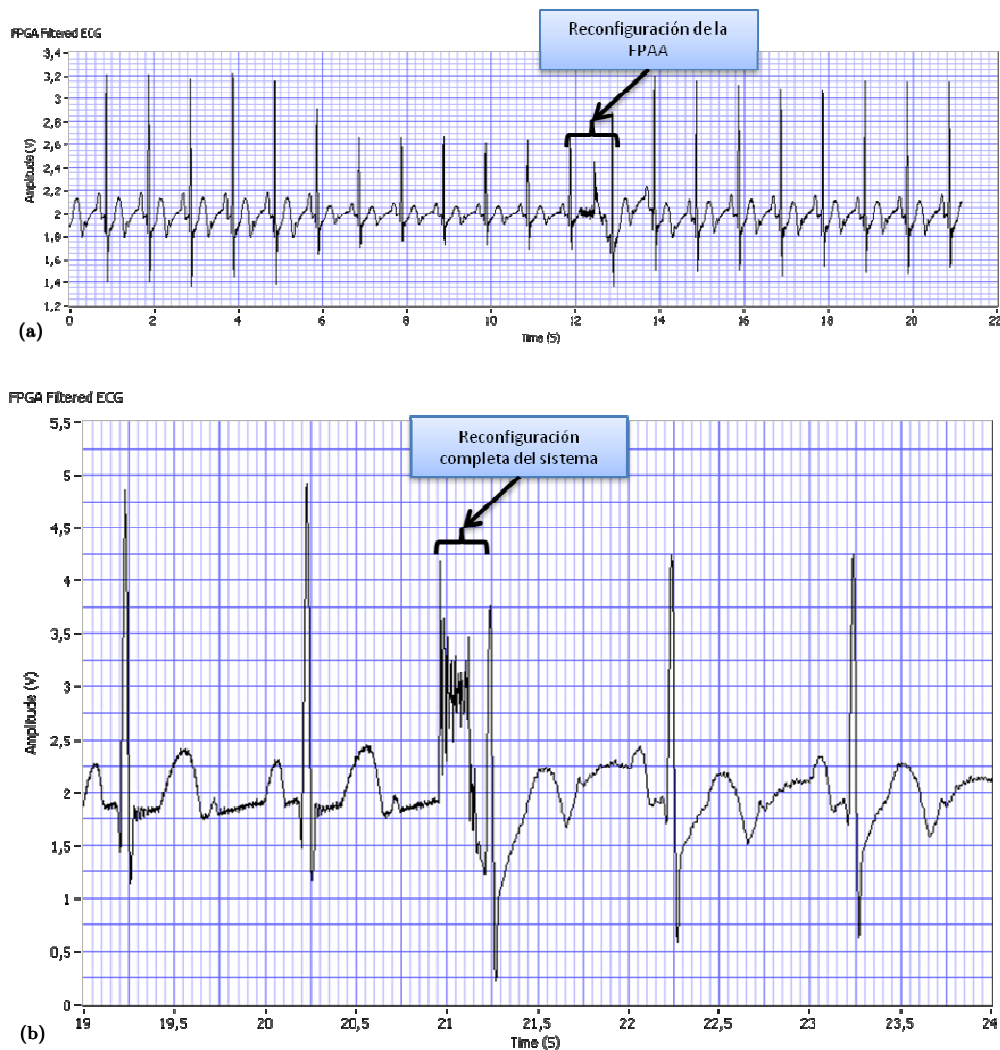


150Hz). Este bajo ruido es posible gracias al uso del amplificador diferencial *chopper* en la celda de entrada de la FPAA. Además, se ha medido la corriente máxima en los electrodos, no superando  $0.3 \mu\text{A}$  lo que cumple con las especificaciones de seguridad típicas para instrumentación biomédica (Webster, J. G. 1995).

Otro importante resultado que puede observarse en la Figura 5.22 es la diferencia que existe entre la señal antes y después procesarse en la FPGA. Como se esperaba, se observa una mejora significativa de la calidad de la señal, ya que el procesado reduce las oscilaciones de la línea base del ECG y el ruido en la señal con ambos tipos de electrodos.

Para testear las posibilidades que ofrece esta plataforma, se realizó un experimento con señales ECG simuladas. En principio se crea una configuración para la FPAA que establece la ganancia total del acondicionamiento analógico en 1024, como en los apartados anteriores. Otra configuración con la ganancia establecida en 1280 se crea adicionalmente. Estas configuraciones se almacenan en dos bloques de memoria de la FPGA. El experimento comienza con la FPGA configurando la FPAA con la primera configuración de ganancia 1024, y adquiriendo la señal ECG. En un momento dado la amplitud de la señal generada con la fuente se reduce de manera que la FPGA vuelve a configurar la FPAA con la configuración de ganancia 1280. Todos estos cambios se pueden seguir en la Figura 5.23(a). El cambio en el nivel de continua de la señal se debe a la nueva configuración en la FPAA. Este cambio de nivel de continua se elimina mediante el procesado con los filtros digitales en la FPGA. Estos cambios de ganancia, en una aplicación real, deben de ser comunicados al usuario ya que éste debe conocer la amplitud real de la señal ECG.

Otra experiencia realizada es la reconfiguración completa del sistema con un cambio de la ganancia en la FPAA, similar al que se ha explicado en el párrafo



**Figura 5.23 (a) Cambio de la ganancia en la FPAA. (b) Reconfiguración completa del sistema.**

anterior, acompañada de un cambio dinámico en el ancho de banda del procesado digital. En la Figura 5.23(b) se puede seguir el cambio de un ancho de banda para diagnóstico (0.2 a150 Hz) a un ancho de banda para monitorización. Puede observarse la distorsión típica en la transición entre configuraciones y la distorsión en el ECG por al cambio de ancho de banda de

adquisición debido a los nuevos parámetros de frecuencia. Como puede verse, una configuración no toma más de 250 ms.

**Tabla 5.5 Comparativa de características con sistemas comerciales**

	<b>Prototipo Propuesto</b>	<b>Cardimax FX 7102 Fukuda</b>	<b>Cardioline ar1200viewbt et Medical Devices SpA</b>
<b>Rango de Frecuencias (-3 dB)</b>	Seleccionable (0.5–40 Hz) o (0.2–150 Hz)	0.5–150Hz	0.05–150 Hz
<b>Rango de entrada</b>	±5 mV. Seleccionable. (Voltaje en modo común = 2 V)	±550 mV	± 5 mV
<b>Resistencia de entrada</b>	10 MΩ	No referido	> 100 MΩ
<b>CMRR</b>	102 dB	103 dB	> 100 dB
<b>Resolución del ADC</b>	14 bits	13 bits	11 bits
<b>Tasa de muestras</b>	Seleccionable: hasta 1 Msps	1 Ksps	0.5 / 1 Ksps
<b>SNR</b>	75 dB	No referido	No referido
<b>System Noise: RTI, p-p</b>	7.3 μV <sub>pp</sub>	No referido	No referido
<b>Exactitud de ganacia</b>	2.5% (max.)	No referido	No referido
<b>Corriente DC (en cualquier electrodo)</b>	0.3 μA (max.)	No referido	No referido
<b>Filtro Notch</b>	f <sub>c</sub> : 50 Hz (Seleccionable) Q: 30	f <sub>c</sub> : 50–60 Hz (-20 dB o menos)	f <sub>c</sub> : 50–60 Hz

La Tabla 5.5 resume las principales características de la plataforma, y de dos sistemas comerciales para ECG portátiles, Cardimax FX 7102 de Fukuda (Fukuda 2010), y Cardioline ar1200viewbt de et Medical Devices SpA (Devices 2010). Como puede verse, este prototipo presenta parámetros comparables a los de los sistemas comerciales, y los datos contenidos en la tabla cumplen con los requerimientos de seguridad para uso clínico (Webster, J. G. 1995). Por tanto es plausible el uso de estos dispositivos reconfigurables para adquisición y procesamiento de señales ECG.

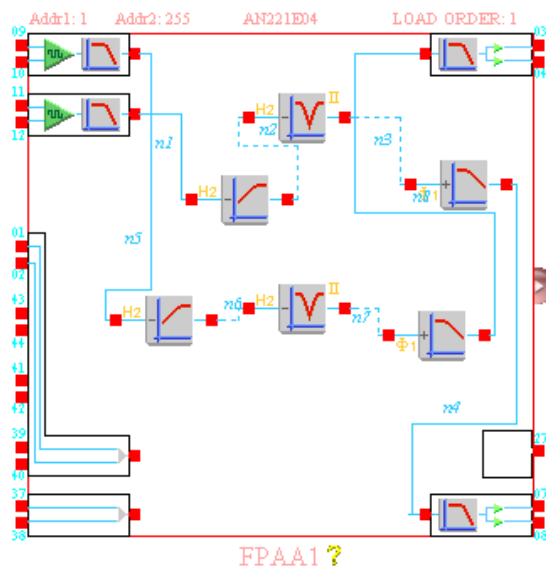
### 5.2.4 Electrocardiografía fetal: configuración y resultados

Después del estudio pormenorizado realizado en el apartado anterior, en esta sección se presenta una aplicación de la plataforma presentada a la adquisición y procesado de las señales ECG maternas y fetales (Morales et al. 2011). Así, mediante un método no invasivo se ha separado la señal del ECG fetal de la materna a partir de las señales adquiridas en el vientre de la madre, conociendo la señal del ECG materno adquirido de forma simultánea en el tórax de la madre. Se ha realizado el acondicionamiento de estas señales simultáneamente en la FPAA y mediante un procesado digital basado en un filtrado adaptativo se ha obtenido por separado el ECG fetal.

#### 5.2.4.1 Configuración de la FPAA

En la Figura 5.24 se recoge la configuración realizada en la FPAA, que en esencia consiste en dos líneas de procesado de señal iguales a la descrita en el apartado anterior, donde se diseñó el acondicionamiento con señales de reloj diferentes. Así, en la celda de entrada 1 en la configuración mostrada en la Figura 5.24, se conectan los electrodos del ECG materno situados en el tórax, y en la celda de entrada 2 se conectan los electrodos conectados en el vientre de la madre, que contienen el ECG materno mezclado con el fetal.

Para probar esta configuración se ha utilizado el montaje experimental mostrado en la Figura 5.12, al que se le ha añadido otra fuente Agilent 33120A. De esta manera, se pueden generar dos ECG, uno el de la madre y otro el del niño. El ECG materno se ha generado con una frecuencia de latidos de 60 lpm mientras que el del feto se ha generado con una frecuencia de 150 lpm. Para obtener las amplitudes del orden de las obtenidas en adquisiciones reales, se han conectado las salidas de los generadores, configuradas a una amplitud de



**Figura 5.24 Configuración para acondicionamiento del ECG Madre y ECG Madre+Feto en la FPAA.**

63 mV ambas, a un divisor de tensión con tres resistencias que permite obtener las señales sumadas y con amplitudes de 4.7 mV el ECG materno y 0.47 mV el ECG fetal. En la Figura 5.25 se muestra el ECG de la madre y el feto simulando el adquirido en el abdomen materno y procesado en la FPAA con la configuración de la Figura 5.24. Con estas señales en las entradas a la FPAA se ha creado otra configuración para intentar separar las dos señales haciendo uso solamente de procesado en la FPAA. Esta configuración se muestra en la Figura 5.26, donde la señal ECG de la madre, simulada como si estuviese adquirida en el pecho, se conecta a la celda de entrada 2 y las dos señales ECG simuladas mezcladas, se adquieren en la celda de entrada 1. De esta manera, el procesado resta las dos señales y las amplifica fijando las ganancias para que coincidan en amplitud. Para que disminuya el *offset* generado en el procesado interno en la FPAA se resta una tensión en continua después del filtrado pasabajo, como puede verse en la configuración de la Figura 5.26. En la captura del



Figura 5.25 ECG Materno y fetal simulados y procesados en la FPAA

osciloscopio en la Figura 5.26 puede verse el ECG fetal obtenido después del procesado analógico. Este acondicionamiento separa las dos señales ECG cuando éstas son simuladas por generadores, con lo que son unas señales deterministas y sincronizadas perfectamente, de manera que, estableciendo adecuadamente los valores de las ganancias de los módulos CAM, con el acondicionamiento analógico se puede eliminar el ECG materno. No obstante, esta configuración no ha funcionado cuando se han empleado señales reales de ECG materno y ECG materno-fetal inyectadas mediante una tarjeta de adquisición de datos controlada desde LabView. Esto se debe a que las mismas señales biológicas adquiridas en distintos puntos del cuerpo pueden estar desfasadas y tener amplitudes diferentes que varían en el tiempo, por lo que un ajuste fijo de ganancias no puede separarlas mediante simple substracción.

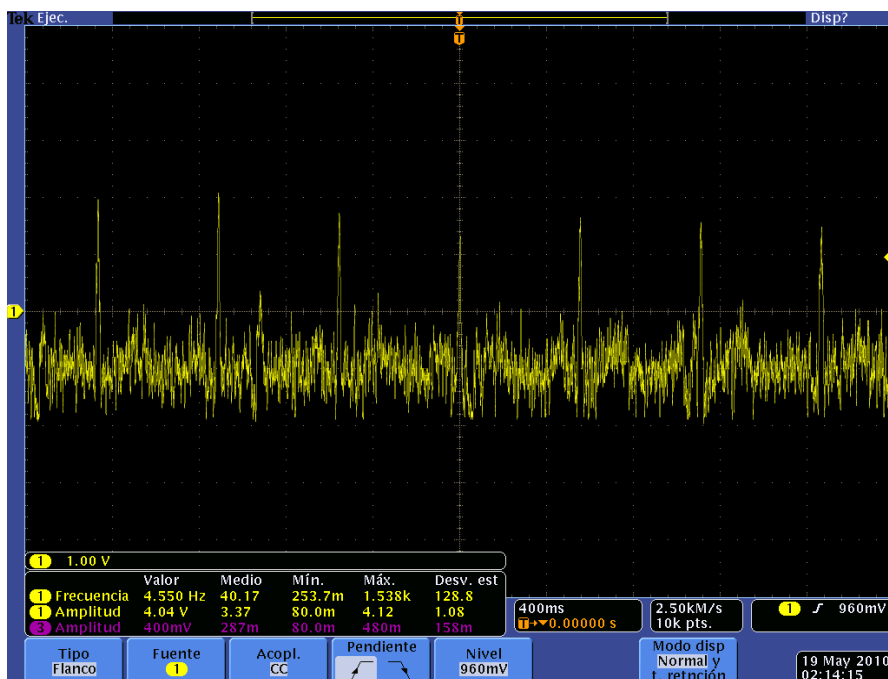
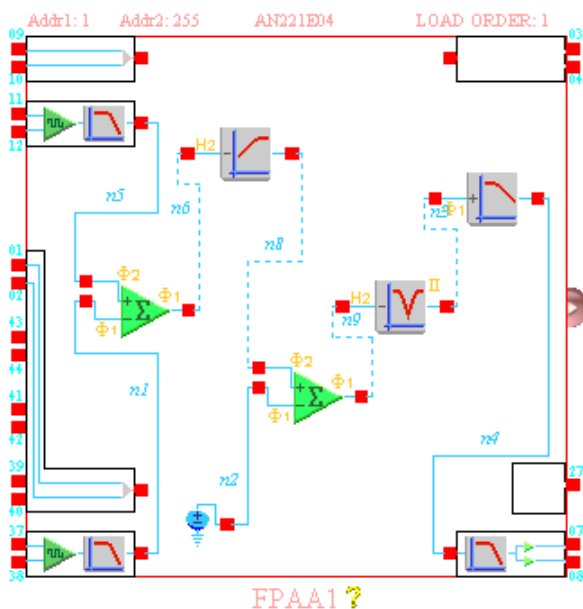


Figura 5.26 (Arriba) Configuración para separar las señales ECG materna y fetal. (Abajo) ECG fetal separado con la configuración de arriba.

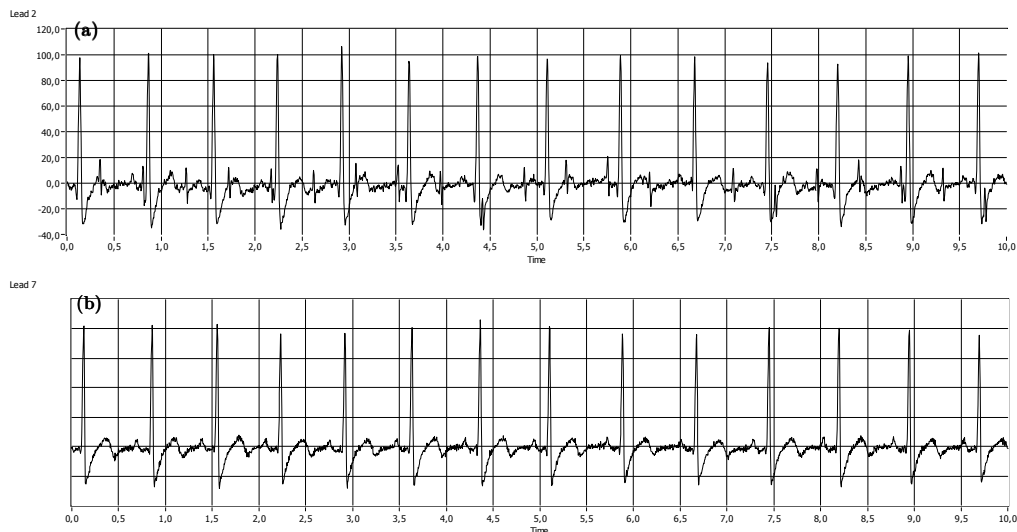


Figura 5.27 Señales ECG de la base de datos (De Moor 2010). (a) Derivación 2 en el abdomen de la madre, (b) derivación 7 en el tórax de la madre

#### 5.2.4.2 Separación de señales ECG mediante filtrado adaptativo: procesado con LabView e implementación en la FPGA

En este apartado se presenta la separación de las señales ECG materna y fetal mediante el uso de un filtrado adaptativo. Como se comentó en la introducción, tratando la señal fetal como un ruido superpuesto a la señal materna es posible separarlas haciendo uso de un filtro adaptativo en la manera mostrada en la Figura 5.5. Para probar el funcionamiento de este sistema se ha implementado en LabView una aplicación que realiza las siguientes tareas:

- genera con la tarjeta de adquisición de datos USB-6216 de National Instruments controlada vía USB las señales de las derivaciones 2 y 7 de ECG de la madre y de la madre más el feto, obtenidas de una base de datos de señales reales (De Moor 2010), las cuales se muestran en la Figura 5.27. Estas señales se conectan a las entradas



de la FPAA configurada como se muestra en la Figura 5.24. Se usan estas derivaciones puesto que son en las que las señales están mejor definidas. Puesto que la base de datos sólo suministran 10 segundos de ECG, esta señal se genera en un bucle cerrado en la tarjeta de adquisición, para un mejor procesado y adquisición;

- adquiere las señales procesadas en la FPAA y digitalizadas mediante el osciloscopio;
- procesa las señales digitalizadas de las dos derivaciones mediante un filtro adaptativo en punto fijo de 128 etapas y longitud de palabra de 16 bits, creado con el paquete de procesado de señal de Labview;
- muestra los resultados gráficamente.

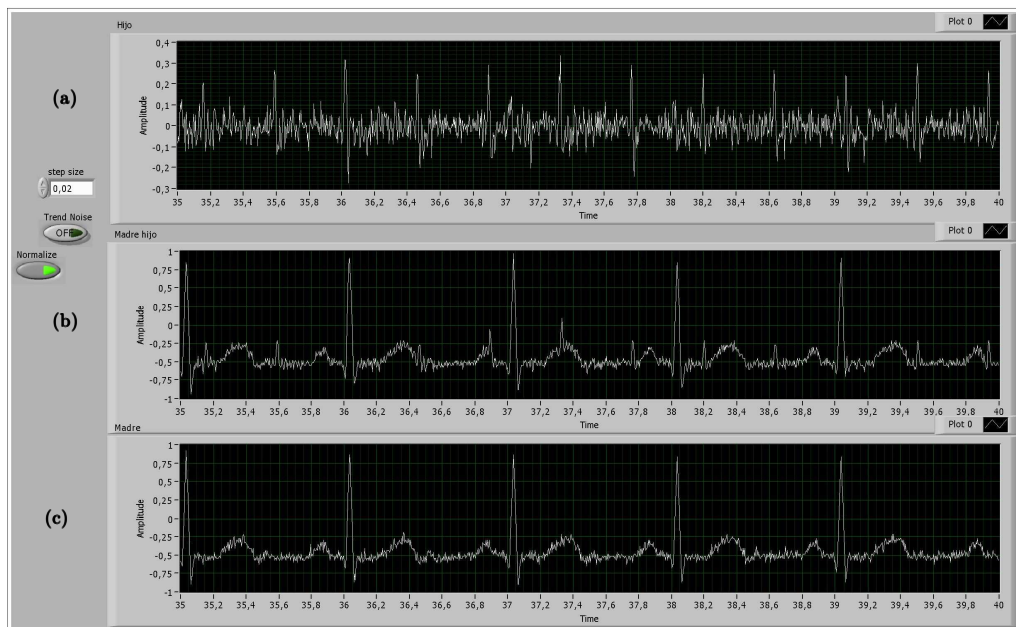
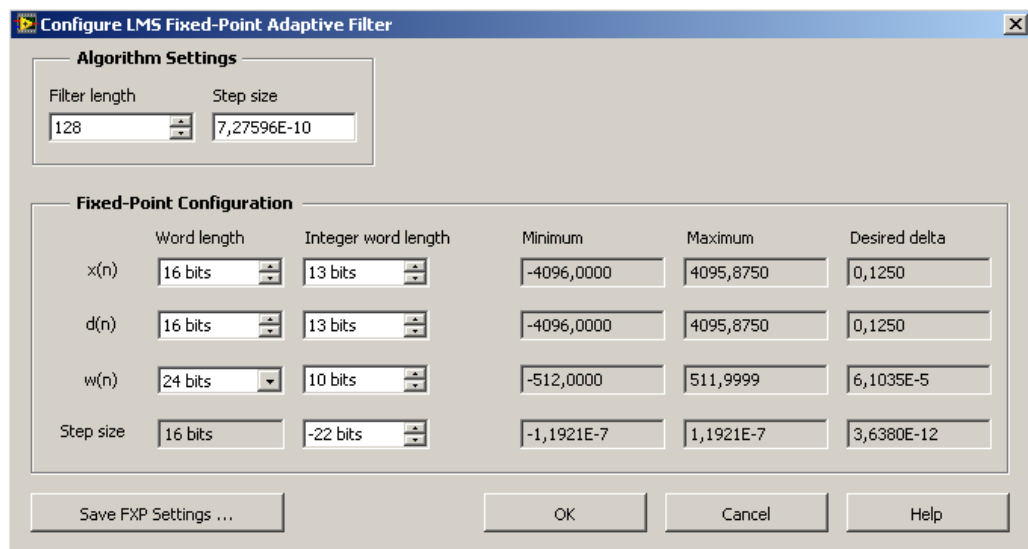


Figura 5.28 Procesado con LabView. (a) Señal ECG del feto separada mediante filtrado adaptativo, (b) señal ECG madre+feto procesada en la FPAA, (c) señal ECG madre procesada en la FPAA

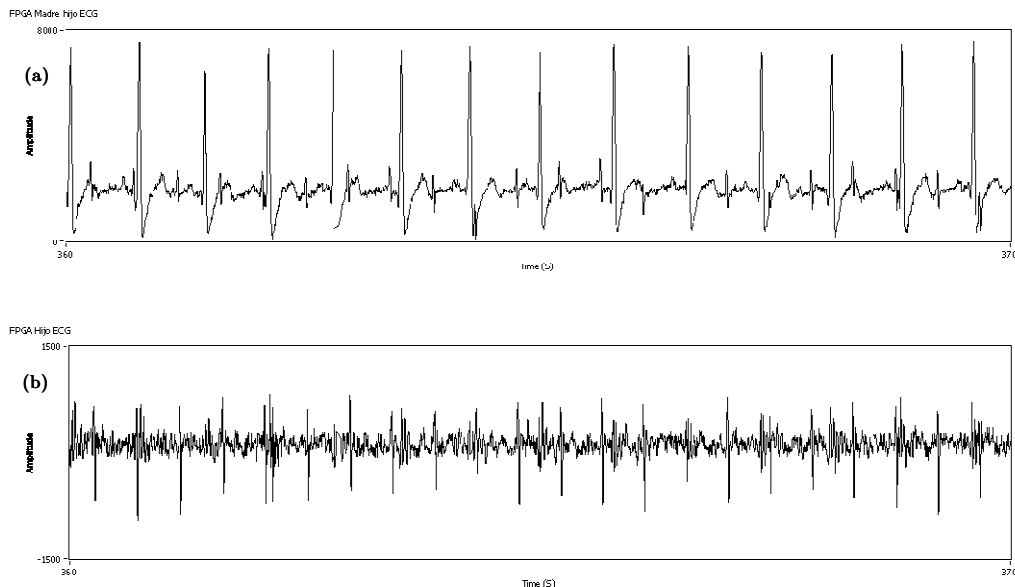


**Figura 5.29 Configuración del filtro adaptativo implementado en la FPGA**

El procesado de estas dos señales y el resultado de la separación del ECG fetal se muestra en la Figura 5.28(a). Como puede verse los intervalos R-R de la señal ECG pueden distinguirse perfectamente lo que permite identificar la frecuencia de latido del feto.

Una vez se ha confirmado que las señales reales generadas con la tarjeta de adquisición USB-6216 y acondicionadas con la FPAA son aptas para procesarse digitalmente mediante un filtro adaptativo en LabView, se ha procedido a su implementación en la plataforma completa FPAA-FPGA, como se hizo anteriormente para una señal ECG.

En este caso, puesto que se tienen dos salidas de señales procesadas en la FPAA, la conexión al ADC en la placa de la FPGA se tiene que realizar de manera que cada una de ellas entre en uno de los canales del ADC. El módulo LabView FPGA permite implementar filtros adaptativos. En este caso la configuración usada en este filtro se muestra en la Figura 5.29. Se han usado



**Figura 5.30 Separación del ECG materno y fetal con filtrado adaptativo implementado en la FPGA. (a) ECG materno y fetal mezclados adquiridos por la FPGA después de procesarse en la FPAA, (b) ECG fetal extraído de (a) mediante filtrado adaptativo en la FPGA.**

las configuraciones de longitud de palabra y representación en punto fijo que han permitido obtener un mejor resultado en la separación de las señales. Los resultados obtenidos se muestran en la Figura 5.30. En la gráfica correspondiente al feto puede observarse que se ha producido un cambio de signo en el procesado con los máximos R invertidos. Esto no es ningún problema para identificar el intervalo R-R del ECG fetal y extraer el ritmo cardiaco de feto.

## 5.3 Conclusiones

En este capítulo se han presentado aplicaciones para el procesamiento de señales ECG que aprovechan de las ventajas de estar implementadas en una

plataforma de dispositivos reconfigurables. Se ha realizado un estudio exhaustivo de las cualidades de la FPAA para el acondicionamiento analógico de señales ECG. Se han mostrado distintas configuraciones del dispositivo, tanto para adquisición de señales para diagnóstico como para monitorización cardiaca. En estas configuraciones, se ha estudiado la posibilidad de implementar el procesado con distintos relojes de conmutación para los módulos CAM utilizados lo que permite ajustar el diseño de los filtros en la etapa de acondicionamiento, al rango de frecuencias de interés para la adquisición del ECG para uso clínico, obteniéndose unos buenos resultados que validan esta técnica. Para ello se han utilizados señales sintéticas generadas por una fuente de señal. Así se ha conseguido el ajuste fino de la banda de frecuencias seleccionada.

Se ha implementado una aplicación completa en la plataforma FPGA-FPAA que permite la adquisición y procesado de señales ECG reales, con parámetros de funcionamiento y seguridad comparables a los de sistemas comerciales portátiles. En estas aplicaciones la FPGA se encarga de realizar la configuración de la FPAA y de un procesado digital de filtrado de la señal adquirida, que mejora la calidad de la señal final. Como ilustración de las capacidades de la plataforma se han desarrollado aplicaciones que permiten el cambio de la ganancia de la etapa analógica y de la banda de frecuencias del filtrado en la etapa digital.

Como una aplicación adicional se ha implementado la extracción de los intervalos R-R de una señal ECG fetal, mediante el filtrado adaptativo en la FPGA de las señales adquiridas en el tórax de la madre y las señales madre-feto en el abdomen a partir de señales adquiridas en el abdomen de la madre. Para ello se ha realizado señales simuladas, a partir de una base de datos de señales reales mediante, una serie de aplicaciones creadas en LabView.

El software LabView se ha utilizado para diseño de aplicaciones de testeo de los dispositivos mediante el control de instrumentos y la configuración de la FPAA y la FPGA. Este entorno de trabajo y programación permite el prototipado rápido de aplicaciones de instrumentación y la adquisición, almacenamiento y representación gráfica cómoda de los resultados.

## Capítulo 6. Conclusiones

### 6.1 Principales conclusiones

En este trabajo de Tesis Doctoral se ha presentado una nueva metodología para la creación de aplicaciones de instrumentación inteligente, aprovechando las ventajas que ofrecen para ello las tecnologías reconfigurables analógica y digital, a través del uso de FPAA y FPGA, respectivamente. En este sentido, las contribuciones principales de la Tesis pueden resumirse en los siguientes puntos:

- Se ha realizado una completa y exhaustiva revisión de las diferentes alternativas tecnológicas comercialmente disponibles para la implementación de sistemas reconfigurables analógicos. Esta revisión se ha realizado tanto desde el punto de vista de las prestaciones de los circuitos que es posible implementar, como teniendo en cuenta la capacidad total de procesamiento y las técnicas de reconfiguración disponibles en cada caso. Como consecuencia de este estudio, se ha concluido que los dispositivos de Anadigm son los más adecuados para la consecución de los objetivos de esta Tesis. Adicionalmente, se ha concluido que los dispositivos PSoC de Cypress pueden ser una gran herramienta de apoyo para la confección de plataformas instrumentales.
- Se ha realizado una exhaustiva revisión de las alternativas comercialmente disponibles para la implementación de sistemas

reconfigurables digitales orientados a aplicaciones de instrumentación. En este sentido, se ha concluido que los dispositivos de la familia Spartan3A de Xilinx son una de las opciones más adecuadas, dada la gran disponibilidad de encapsulados y densidades, las características orientadas a reducción de consumo, y la posibilidad de realizar reconfiguración dinámica parcial.

- Se ha realizado una caracterización exhaustiva de las diferentes funciones analógicas que pueden ser implementadas con los dispositivos de Anadigm, habiéndose seleccionado las más adecuadas para aplicaciones de instrumentación. Para éstas, se ha demostrado que es posible extender las especificaciones sobre las señales de reloj aplicables más allá de lo establecido por el fabricante, lo que permite dotar a estas funciones de mejores prestaciones y mayor flexibilidad para su inclusión en las plataformas propuestas.
- Se ha demostrado que es posible controlar la reconfiguración de las FPAA desde la FPGA en función de las necesidades impuestas en cada momento al acondicionamiento analógico. Este hecho permite plantear la reconfiguración en tiempo real de una plataforma instrumental para poder procesar las señales procedentes de sensores inteligentes.
- Se han propuesto tres plataformas reconfigurables orientadas a aplicaciones de instrumentación inteligente. La primera de ellas está basada en la conexión de placas de evaluación y desarrollo de cada uno de los dispositivos reconfigurables anteriormente mencionados. Dicha plataforma ha permitido demostrar la sinergia existente entre las tecnologías reconfigurables analógica y digital. En concreto, se ha usado la misma para expandir la resolución, en número de bits, del ADC

interno de la FPAA haciendo uso de la reconfiguración de la misma en función del rango de la señal adquirida, sobre un sensor térmico tipo termistor. Es de destacar que las prestaciones de este sistema de conversión con resolución extendida se han validado frente a un ADC comercial mediante la implementación de una aplicación de acondicionamiento específica, en la que se ha empleado un microprocesador PIC que incluye un ADC de 10 bits de resolución.

- Además, esta misma plataforma ha permitido demostrar las posibilidades de la tecnología reconfigurable para la implementación de sistemas compatibles con el estándar IEEE 1451 para sensores inteligentes, lo que se ha ilustrado con un sistema que hace uso de un sensor de presión compatible con dicho estándar, reconociendo al sensor y configurando las interfaces analógica y digital de acuerdo a los requerimientos del mismo.
- Se han presentado otras dos plataformas reconfigurables específicamente diseñadas para cubrir los objetivos de esta Tesis. En la primera de ellas se ha incluido una FPAA y una FPGA, además de un microcontrolador de apoyo, memoria externa y un ADC auxiliar. En una versión posterior, se han incluido dos FPAA y una FPGA de mayor densidad, mientras que el microcontrolador y ADC auxiliares han sido sustituidos por un dispositivo PSoC de Cypress en el que se puede implementar un ADC hasta 20 bits de resolución, permite controlar el nivel lógico de las salidas digitales, lo que hace que este dispositivo pueda programar tanto la FPAA como la FPGA sin adaptación de niveles lógicos y, por último, contiene una serie de recursos para procesado analógico, que pueden emplearse en las aplicaciones que los necesiten. Esta arquitectura



permitirá un mayor número de señales analógicas a procesar en paralelo, dotando al sistema de una mayor capacidad y flexibilidad de incorporación de sensores diversos.

- De forma paralela, se ha implementado, sobre un host externo, varias aplicaciones de control y tratamiento de datos sobre LabView para las plataformas desarrolladas. El uso de LabView ha permitido automatizar ciertas funciones de control, gestionar la configuración de la FPGA, probar diferentes estrategias de procesamiento digital y procesar gráficamente todos los datos adquiridos de manera automática, facilitando y acelerando el prototipado de las diversas plataformas de instrumentación realizadas.
- Este prototipo se ha usado para el acondicionamiento analógico de señales biomédicas: inicialmente se ha probado el sistema con señales ECG sintetizadas en un generador de señal comercial, lo que ha permitido desarrollar interfaces analógicas adecuadas en la FPAA, así como los sistemas digitales de procesamiento necesarios en la FPGA. Posteriormente, se ha validado el funcionamiento del sistema con señales ECG reales procedentes de una librería de señales biomédicas y con señales ECG reales adquiridas directamente de un sujeto de prueba. Esto ha permitido caracterizar completamente este sistema respecto de los parámetros habituales para ECG y compararlo con dispositivos ECG portátiles comercialmente disponibles. Es de destacar que el sistema desarrollado cumple con todos los requisitos habitualmente impuestos por la normativa de instrumentos biomédicos.
- Haciendo uso de las diferentes plataformas reconfigurables desarrolladas ha sido posible evaluar distintos algoritmos de procesamiento digital de

señales para su uso en aplicaciones biomédicas. En concreto, el procesamiento satisfactorio de señales de ECG fetal ha sido posible gracias a la inclusión en la FPGA de un filtro FIR adaptativo de 128 etapas y longitud de palabra digital de 16 bits, cuya finalidad es la supresión de la señal ECG de la madre de la señal ECG adquirida. En consecuencia, dicho filtro permite observar en su salida la señal ECG del feto, a partir de la señal ECG total adquirida por la FPAA y digitalizada para su procesamiento por la FPGA. El funcionamiento de esta plataforma instrumental ha sido validado tanto con señales sintéticas generadas a partir de dos generadores comerciales, como con señales reales de una base de datos de señales biomédicas. Las señales sintetizadas con generadores comerciales se han utilizado para el análisis de las configuraciones analógicas implementadas en la FPAA, lo que ha permitido descartar la posibilidad de separación de la señal fetal directamente en la FPAA, ya que cualquier cambio en las amplitudes relativas de las señales adquiridas en las distintas derivaciones no permite la substracción directa de una señal con respecto a la otra. Es por eso que el uso de la plataforma FPAA-FPGA permite un posterior procesado digital que separe las dos señales.

## 6.2 Publicaciones derivadas de este trabajo

El trabajo recogido en esta Tesis, que ha permitido llegar a las conclusiones que se acaban de detallar, ha sido objeto de publicación en las siguientes contribuciones a revistas indexadas y congresos internacionales.

### ***Artículos en revistas internacionales***

1. A. Martínez, M. A. Carvajal, D. P. Morales, A. García and A. J. Palma, "*Development of a Electrical Capacitance Tomography System Using Four Rotating Electrodes*", Sensors and Actuators A (Physical), vol. 148, no. 2, pp. 366-375 (2008)
2. D. P. Morales, A. García, A. Martínez Olmos, J. Banqueri and A. J. Palma, "*Digital and Analog Reconfiguration Techniques for Rapid Smart Sensor System Prototyping*", Sensor Letters, vol. 7, no. 6, pp. 1113-1118 (2009)
3. D. P. Morales, A. García, E. Castillo, M. A. Carvajal, J. Banqueri and A. J. Palma, "*Flexible ECG acquisition system based on analog and digital reconfigurable devices*", por aparecer en Sensor and Actuators A(Physical) (2010)
4. D.P. Morales, A. García, E. Castillo, J. Banqueri and A. J. Palma, "*Noninvasive Fetal ECG measurement system based on reconfigurable electronics*", enviado a IEEE Transactions on Biomedical Engineering.

### ***Aportaciones a congresos internacionales con revisión por pares***

1. D. P. Morales, A. García, A. J. Palma and A. Martínez-Olmos, "*Merging FPGA and FPAA Reconfiguration Capabilities for IEEE 1451.4 Compliant Smart Sensor Applications*," Proc. of 3rd Southern Conference on Programmable Logic SPL'2007 (Mar del Plata, Feb. 26-28 2007), pp. 217-220.
2. D. P. Morales, A. García, A. J. Palma, A. Martínez-Olmos and E. Castillo, "*Exploiting Analog and Digital Reconfiguration for Smart Sensor Interfacing*," Proc. of 17th International Conference on Field

- Programmable Logic and Applications FPL'2007 (Amsterdam, Aug. 27-29 2007), pp. 706-709.
3. A Martínez Olmos, M A Carvajal, D P Morales and A J Palma, "Influence of design parameters of ECT sensors on the quality of reconstructed images," Journal of Physics: Conference Series vol. 76, no. 1, art. no. 012051
  4. D. P. Morales, A. García, A. J. Palma, M.A. Carvajal, E. Castillo and L.F. Capitán-Vallvey, "Enhancing ADC Resolution through Field Programmable Analog Array Reconfiguration," Proc. of 18th International Conference on Field Programmable Logic and Applications FPL'2008 (Heidelberg, Sep. 8-10 2008), pp. 635-638.
  5. D. P. Morales, A. García, A. J. Palma and U. Meyer-Baese, "FPAA suitability as analog front-end for biosignals", Proc. of SPIE Smart Biomedical and Physiological Sensor Technologies, vol. 7674, (Orlando FL, 23 Apr. 2010), pp. 76740B-76740B-11.ç
  6. D.P. Morales, A. García, E. Castillo, U. Meyer-Baese, A.J. Palma, "Wavelets for full reconfigurable ECG acquisition system," enviado a SPIE Independent Component Analyses, Wavelets, Neural Networks, Biosystems, and Nanoengineering IX. (Orlando FL, April, 2011)



## Bibliografía

- 3M 2010, *Red Dot Resting EKG Electrode 2330*, viewed 2010, <<http://solutions.3m.com>>.
- Abramson, DN, Gray, JD, Subramanian, S & Hasler, P 2005, 'A field-programmable analog array using translinear elements', *System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on*.
- Ackermann, NJ, Anderson, EW, Hartman, WF, Mott, JE, Nutt, R & Piety, KR 1981, 'Recent Applications of Smart Instrumentation in Nuclear Power Plants', *Nuclear Science, IEEE Transactions on*, vol 28, no. 1, pp. 897-901.
- AD 2007, *Digitally Programmable Sensor Signal Amplifier with EMI Filters*, viewed 2010, <[http://www.analog.com/static/imported-files/data\\_sheets/AD8556.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8556.pdf)>.
- Addison, PS 2005, 'Wavelet transforms and the ECG: a review', *Physiological Measurement*, vol 26, pp. 155-199.
- ADL 2010, *Advanced Linear Devices EPAD ALD110800*, viewed 2010, <<http://www.aldinc.com/pdf/ALD110800.pdf>>.
- Adler, R, Flanigan, M, Huang, J, Kling, R, Kushalnagar, N, Nachman, L, Wan, CY & Yarvis, M 2005, 'Intel mote 2: an advanced platform for demanding sensor network applications.', *3rd ACM International Conference on Embedded Networked Sensor Systems SenSys 2005, proceeding of*.

- Aggarwal, V & O'Reilly, U-M 2006, *Potential uses of dynamically reconfigurable analog*, viewed 12 Agosto 2010, <[http://publications.csail.mit.edu/abstracts/abstracts06/varun2\\_v1/varun2\\_v1.html](http://publications.csail.mit.edu/abstracts/abstracts06/varun2_v1/varun2_v1.html)>.
- ALD 2010, *EPAD Technology*, viewed 2010, <<http://www.aldinc.com/pdf/EPADTechnology.pdf>>.
- Anadigm 2002, *www.anadigm.com*, viewed may 2010, <<http://www.anadigm.com>>.
- Anadigm 2006, *AN221K04 Anadigmvortex Development Board User Manual.*, viewed mayo 2010, <<http://www.anadigm.com/doc/UM030900-U010e.pdf>>.
- Anadigm 2006, *Understanding the Anadigm® Boot Kernel*, viewed 2010, <<http://www.anadigm.com>>.
- Anadigm 2010, *AN221E04 Dynamically Reconfigurable FPAA With Enhanced I/O*, viewed Mayo 2010, <<http://www.anadigm.com/doc/DS030100-U006.pdf>>.
- Avnet 2007, *Xilinx Spartan-3E evaluation Board User Manual.*, viewed 2010, <<http://www.avnet.com>>.
- Barold, SS 2003, 'Willem Einthoven and the Birth of Clinical Electrocardiography a Hundred Years Ago.', *Cardiac Electrophysiology Review*, vol 7, no. 1, pp. 99-104.
- Basu, A, Brink, S, Schlottmann, C, Ramakrishnan, S, Petre, C, Koziol, S, Baskaya, F, Twigg, CM & Hasler, P 2010, 'A Floating-Gate-Based Field-Programmable Analog Array', *Solid-State Circuits, IEEE Journal of*, vol 45, no. 9, pp. 1781 - 1794.
- Becker, J, Henrici, F, Trendelenburg, S, Ortmanns, M & Manoli, Y 2008, 'A Field-Programmable Analog Array of 55 Digitally Tunable OTAs in a

- Hexagonal Lattice', *Solid-State Circuits, IEEE Journal of*, vol 43, no. 12, pp. 2759-2768.
- Bergmann, NW, Lu, Y & Williams, JA 2007, 'Automatic Self-Reconfiguration of System-on-Chip Peripherals', *Field-Programmable Custom Computing Machines, 2007 International Symposium on*.
- Beutel, J, Dyer, M & Thiele, L 2005, 'Scalable topology control for deployment-sensor networks', *Information Processing in Sensor Networks (IPSN '05), International Conference on*.
- Bissi, L, Pladici, P & Scorzoni, A 2007, 'Offset voltage evaluation of analog blocks in a configurable mixed architecture for smart capacitive sensor applications', *Sensors and Actuators A: Physical*, vol 140, no. 2, p. 162-167.
- Bondalapati, K & Prasanna, VK 2002, 'Reconfigurable Computing Systems', *Proceedings of the IEEE*, vol 90, no. 2, pp. 1201-1217.
- Bratt, A 1998, 'Motorola field programmable analogue arrays, present hardware and future trends', *Evolvable Hardware Systems (Digest No. 1998/233), IEE Half-day Colloquium on*.
- Burn-Brown 1998, *Precision Instrumentation Amplifier*, viewed 2010, <<http://focus.ti.com/lit/ds/symlink/ina114.pdf>>.
- Buxton, A 1999, '"Totally reconfigurable analog circuit", concept and practical implementation', *Circuits and Systems, 42nd Midwest Symposium on*.
- Callegari, S, Merendino, G, Golfarelli, A, Zagnoni, M & Tartagni, M 2006, 'Applicability of Field Programmable Analog Arrays to Capacitive Sensing in the Sub-pF Range', *Analog Integrated Circuits and Signal Processing*, vol 47, no. 1, pp. 39-51.



- Cypress 2007, *PSoC® Mixed-Signal Array Technical Reference Manual*, viewed mayo 2010, <[www.cypress.com](http://www.cypress.com)>.
- Cypress 2010, *PSoC® 3: CY8C38 Family Datasheet*, viewed Octubre 2010, <<http://www.cypress.com/?docID=23490>>.
- De Moor, B 2010, *Database for the identification of systems (DaISy)*, viewed 2010, <<http://homes.esat.kuleuven.be/~smc/daisy/>>.
- Depari, A, Ferrari, P, Flammini, A, Marioli, D & Taroni, A 2007, 'A VHDL Model of a IEEE1451.2 Smart Sensor: Characterization and Applications', *Sensors Journal, IEEE*, vol 7, no. 5, pp. 619-626.
- Devices, M 2010, *Cardioline ar1200viewbt. et Medical Devices SpA*, viewed 2010, <<http://www.etmed.biz/>>.
- Dijk, J & van Loon, B 2006, 'Scanning our Past From the Netherlands: The Electrocardiogram Centennial: Willem Einthoven (1860–1927)', *Proceedings of the IEEE*, vol 94, no. 12, pp. 2182-2185.
- D'mello, DR & Gulak, PG 1998, 'Design Approaches to Field-Programmable Analog Integrated Circuits', *Analog Integrated Circuits and Signal Processing*, vol 17, no. 1, pp. 7-34.
- Edwards, RT, Strohhahn, K, Jaskulek, SE & Katz, R 1999, 'Analog Module Architecture for Space Qualified Field Programmable Mixed-Signal Arrays', *Military and Aerospace Applications of Programmable Devices and Technologies Conference*.
- Eichenlaub, GR 1978, 'Smart instruments', *Proceedings of the IEEE*, vol 66, no. 4, pp. 423- 428.
- Ellis, G & Gollomp, BP 1977, 'Microcomputer-Controlled Precision Pneumatic Pressure Generator', *Instrumentation and Measurement, IEEE Transactions on*, vol 26, no. 3, pp. 214-217.
- Fukuda 2010, *Cardimax FX7102, Fukuda Denshi USA, Inc*, viewed 2010, <<http://www.fukuda.com>>.

- Ganesan, S & Vemuri, R 2001, 'Analog-digital partitioning for field-programmable mixed signal systems', *Advanced Research in VLSI, 2001. ARVLSI 2001. Proceedings. 2001 Conference on.*
- Ganesan, S & Vemuri, R 2001, 'Analog-digital partitioning for field-programmable mixed signal systems', *Advanced Research in VLSI, 2001. ARVLSI 2001. Proceedings. 2001 Conference on .*
- Gardner, JW 2001, *Microsensors, MEMs and Smart Devices*, John Wiley & Sons Ltd., West Sussex.
- Gaura, E & Newman, R 2006, *Smart MEMs and Sensor Systems*, Imperial College Press, London.
- González, I, Aguayo, E & Lopez-Buedo, S 2007, 'Self-Reconfigurable Embedded Systems on Low-Cost FPGAs', *Micro, IEEE*, vol 27, no. 4, pp. 49 - 57.
- Grana, CQ & Perez, EM 2007, 'Reconfigurable Platform to implement Electronic Instrumentation', *Instrumentation and Measurement Technology Conference Proceedings, 2007. IMTC 2007. IEEE*, Warsaw.
- Hall, TS, Hasler, P & Anderson, DV 2002, 'Field-Programmable Analog Arrays: A Floating-Gate Approach.', *Lecture Notes in Computer Science. Field-Programmable Logic and Applications: Reconfigurable Computing Is Going Mainstream.*, vol 2438, pp. 133-147.
- Hamilton, A, Papatthaniou, K, Tamplin, MR & Brandtner, T 1998, 'Palmo : Field Programmable Analogue and Mixed-Signal VLSI for Evolvable Hardware', in *Evolvable Systems: From Biology to Hardware, Lecture Notes in Computer Science*, Springer Berlin, Heidelberg.

- Hasler, P, Minch, BA & Diorio, C 1998, 'An autozeroing floating-gate bandpass filter', *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*, IEEE Conferences.
- Higuchi, T & Kajihara, N 1999, 'Evolvable Hardware Chips for Industrial Applications', *Communications of the ACM*, vol 42, no. 4, pp. 60-66.
- Hinkelmann, H,RA,VS,GM 2008, 'A reconfigurable prototyping platform for smart sensor networks ', *Southern Conference on Programmable Logic, SPL 2008 Proceeding of*.
- Honeywell 2008, *Model FP2000 Configurable Pressure Transducer*, viewed 2010, <<https://measurementsensors.honeywell.com>>.
- Huijsing, JH 2008, *Smart Sensor System*, John Wiley & Sons, Ltd., West Sussex, United Kingdom.
- IEEE 2007, 'IEEE Standard for a Smart Transducer Interface for Sensors and Actuators - Common Functions, Communication Protocols, and Transducer Electronic Data Sheet (TEDS) Formats,' , *IEEE Std 1451.0-2007*, pp. 1-335.
- Kalsi, HS 2006, *Electronic Instrumentation*, McGraw Hill, New Delhi.
- Kania, M, Fereniec, M & Maniewski, R 2007, 'Wavelet denoising for multi-lead high resolution ECG signals', *Measurement Science Review*, vol 7, no. 2, pp. 30-33.
- Klein, HW 1995, 'Introductory EPAC: an analog FPGA', *WESCON/'95. Conference record. 'Microelectronics Communications Technology Producing Quality Products Mobile and Portable Power Emerging Technologies*.
- Klein, HW 1996, 'The EPAC Architecture: An Expert Cell Approach to Field Programmable Analog Devices', *Field-Programmable Gate Arrays, 1996. FPGA '96. Proceedings of the 1996 ACM Fourth International Symposium on*.

- Koneru, S, Lee, EKF & Chu, C 1999, 'A flexible 2-D switched-capacitor FPAA architecture and its mapping algorithm', *Circuits and Systems, 1999. 42nd Midwest Symposium on*.
- Konig, A, Lakshmanan, SK & Tawdross, PM 2006, 'Towards organic sensing systems - Dynamically reconfigurable mixed-signal electronics for adaptive sensing in organic computing systems', *International Congress Series, Volume 1291, Brain-Inspired IT II: Decision and Behavioral Choice Organized by Natural and Artificial Brains. Invited and selected papers of the 2nd International Conference on Brain-inspired Information Technology*, Hibikino, Japón.
- Kun, C, Mason, A & Chakrabartty, S 2005, 'A dynamic reconfigurable A/D converter for sensor applications', *Sensors, 2005 IEEE*, IEEE.
- Kuon, I & Rose, J 2007, 'Measuring the Gap Between FPGAs and ASICs', *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol 26, no. 2, pp. 203-215.
- Langeheine, J, Becker, J, Folling, S, Meier, K & Schemmel, J 2001, 'A CMOS FPTA chip for intrinsic hardware evolution of analog electronic circuits', *Evolvable Hardware, 2001. Proceedings. The Third NASA/DoD Workshop on*.
- Lathauwer, LD, Moor, BD & Vanderwalle, J 2000, 'Fetal electrocardiogram extraction by blind source subspace separation.', *Biomedical Engineering, IEEE Transactions on*, vol 2, pp. 567-572.
- Lattice 2002, *ispPAC30 In-System Programmable Analog Circuit*, viewed Mayo 2010, <<http://www.latticesemi.com/lit/docs/datasheets/pac/pac30.pdf>>.
- Lee, KB 2006, 'Smart Transducer Interface Standards for Condition Monitoring and Control of Machines', in *Condition Monitoring and*

*Control for Intelligent Manufacturing, Springer Series in Advanced Manufacturing*, Springer London, London.

- Lee, KB & Schneeman, RD 2000, 'Distributed measurement and control based on the IEEE 1451 smart transducer interface standards', *Instrumentation and Measurement, IEEE Transactions on*, vol 49, no. 3, pp. 621-627.
- Looby, CA & Lyden, C 2000, 'Op-amp based CMOS field-programmable analogue array', *Circuits, Devices and Systems, IEE Proceedings*, vol 147, no. 2, pp. 93-99.
- Loughry, DC & Allen, MS 1978, 'IEEE standard 488 and microprocessor synergism', *Proceedings of the IEEE*, vol 66, no. 2, pp. 162- 172.
- Lymberopoulos, D, Priyantha, N, Goraczko, M & Zhao, F 2007, 'mPlatform: A Reconfigurable Architecture and Efficient Data Sharing Mechanism for Modular Sensor Nodes', *Information Processing in Sensor Networks (IPSN'07), International Conference on*.
- Manuel, A, Biel, D, Olivé, J, Prat, J & J., SF 2001, *Instrumentación Virtual. Adquisición, Procesado y análisis de señales*, Edicions UPC, Barcelona.
- Martens, SMM, Rabotti, C, Massimo, M & Sluijste, RJ 2007, 'A robust fetal ECG detection method for abdominal recordings.', *Physiological Measurement*, vol 28, no. 4, pp. 373-388.
- Martinez-Alvarado, L, Madrenas, J & Fernandez, D 2009, 'Translinear signal processing circuits in standard CMOS FPAA', *Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on*.
- Martinez-Olmos, A, Carvajal, MA, Morales, DP, García, A & Palma, AJ 2008, 'Development of an electrical capacitance tomography system

- using four rotating electrodes', *Sensors and Actuators: A. Physical*, no. 148, pp. 366-375.
- Massot, B, Gehin, C, Nocua, R, Dittmar, A & McAdams, E 2009, 'A wearable, low-power, health-monitoring instrumentation based on a programmable system-on-chip™', *Engineering in Medicine and Biology Society, 2009. EMBC 2009. Annual International Conference of the IEEE*, Minneapolis.
- Mattoli, V, Mondini, A, Mazzolai, B, Ferri, G & Dario, P 2010, 'A Universal Intelligent System-on-Chip Based Sensor Interface.', *Sensors*, vol 10, no. 8, pp. 7716-7747.
- MAZeT 2008, *Signal Processing for Optical Sensors*, viewed 2010, <<http://www.mazet.de/produkte/jencolor/mti-familie/art10294e.pdf/>>.
- Meijer, GCM 2008, *Smart Sensor Systems*, 2008th edn, John Wiley & Sons, Ltd.
- Meyer-Baese, U 2007, *Digital Signal Processing with Field Programmable Gate Arrays (Signals and Communication Technology)*, Springer.
- Microchip 2007, *PIC18F2455/2550/4455/4550 Data Sheet*, viewed 2010, <<http://ww1.microchip.com/downloads/en/devicedoc/39632d.pdf>>.
- MLX 2007, *MLX90314 Programmable sensor Interface*, viewed mayo 2010, <[http://www.melexis.com/Assets/MLX90314\\_Datasheet\\_4772.aspx](http://www.melexis.com/Assets/MLX90314_Datasheet_4772.aspx)>
- .
- Morales, DP, García, A, Castillo, E, Banqueri, J & Palma, AJ 2011, 'Noninvasive Fetal ECG measurement system based on reconfigurable electronics', *enviado a IEEE Transactions on Biomedical Engineering*.
- Morales, DP, García, A, Castillo, E, Carvajal, MA, Banqueri, J & Palma, AJ 2010, 'Flexible ECG acquisition system based on analog and

digital reconfigurable devices', *aceptada en Sensors & Actuators: A. Physical*.

- Morales, DP, García, A, Castillo, E, Meyer-Baese, U & A.J., P 2011, 'Wavelets for full reconfigurable ECG acquisition system', *enviado a SPIE Independent Component Analyses, Wavelets, Neural Networks, Biosystems, and Nanoengineering IX.*, Orlando FL.
- Morales, DP, García, A, Martínez Olmos, A, Banqueri, J & Palma, AJ 2009, 'Digital and Analog Reconfiguration Techniques for Rapid Smart Sensor System Prototyping', *Sensor Letters*, vol 7, no. 6, pp. 1113-1118.
- Morales, DP, Garcia, A, Palma, AJ, Carvajal, MA, Castillo, E & Capitán-Vallvey, LF 2008, 'Enhancing ADC resolution through Field Programmable Analog Array dynamic reconfiguration', *Field Programmable Logic and Applications, 2008. FPL 2008. International Conference on*, Heidelberg 8-10 Sept.
- Morales, DP, García, A, Palma, AJ, Martínez Olmos, A & Castillo, E 2007, 'Exploiting Analog and Digital Reconfiguration for Smart Sensor Interfacing', *Proc. of 17th International Conference on Field Programmable Logic and Applications FPL'2007*, Amsterdam.
- Morales, DP, Garcia, A, Palma, AJ & Martinez-Olmos, A 2007, 'Merging FPGA and FPAA Reconfiguration Capabilities for IEEE 1451.4 Compliant Smart Sensor Applications', *Programmable Logic, 2007. SPL '07. 2007 3rd Southern Conference on*, Mar del Plata.
- Morales, DP, Garcia, A, Palma, AJ & Meyer-Baese, U 2010, 'FPAA suitability as analog front-end for biosignals', *Smart Biomedical and Physiological Sensor Technologies VII, SPIE*, SPIE, Orlando, Florida.
- MuRata 2009, *NTC Thermistor catalog*, *MuRata Manufacturing Co., Ltd.* <http://www.murata.com>, viewed 2010, <<http://www.murata.com>>.

- Nachman, L, Kling, R, Adler, R, Huang, J & Hummel, V 2005, 'The Intel® mote platform: a Bluetooth-based sensor network for industrial monitoring', *Information Processing in Sensor Networks, 2005. IPSN 2005. Fourth International Symposium on*.
- Palma, AJ, López-González, J, Asensio, LJ, Fernández-Ramos, MD & Capitán-Vallvey, LF 2007, 'Microcontroller-based portable instrument for stabilised optical oxygen sensor', *Sensors and Actuators B*, no. 121, pp. 629-638.
- Palma, AJ, Ortigosa, JM, Lapresta-Fernandez, A, Fernandez-Ramos, MD, Carvajal, MA & Capitan-Vallvey, LF 2008, 'Portable light-emitting diode-based photometer with one-shot optochemical sensors for measurement in the field', *Rev. Sci. Instrum.*, vol 10, no. 79.
- Pankiewicz, B, Wojcikowski, M, Szczepanski, S & Sun, Y 2001, 'A CMOS field programmable analog array and its application in continuous-time OTA-C filter design', *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*.
- Pankiewicz, B, Wojcikowski, M, Szczepanski, S & Sun, Y 2002, 'A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications', *IEEE Journal of Solid State Circuits*, vol 37, no. 2, pp. 125-136.
- Pérez, MA, Álvarez, JC, Ferrero, FJ & Grillo, GJ 2004, *Instrumentación Electrónica*, International Thomson Editores Spain. Paraninfo S.A., Madrid.
- Polastre, J, Szewczyk, R & Culler, D 2005, 'Telos: enabling ultra-low power wireless research', *Information Processing in Sensor Networks, 2005. IPSN 2005. Fourth International Symposium on*.



- Portilla, J, Krasteva, YE, Carnicer, JM & Riesgo, T 2008, 'Wireless Sensor Networks Node with Remote HW/SW Reconfiguration Capabilities', *Design of Circuits and Integrated Systems (DCIS'08), Proceedings of the International Conference on* `.
- Prutchi, D & Norris, M 2005, *Desing and Development of Medical Electronic Instrumentation*, John Wiley & Sons, Inc., Hoboken, New Jersey.
- Ramsden, E 2001, 'The ispPAC family of reconfigurable analog circuits', *Evolvable Hardware, 2001. Proceedings. The Third NASA/DoD Workshop on*.
- Rossi, SR, Moreno, ED, de Carvalho, AA, da Silva, ACR, Batista, EA, Prado, TA & Santos Filho, TA 2009, 'A VHDL-based protocol controller for NCAP processors', *Computer Standards & Interfaces*, vol 31, no. 2, pp. 515-522.
- Santini, CC, Zebulum, R, Pacheco, MAC, Vellasco, MMR & Szwarcman, MH 2001, 'PAMA-programmable analog multiplexer array', *Evolvable Hardware, 2001. Proceedings. The Third NASA/DoD Workshop on*.
- Seguine, D 2002, 'Just add sensor - integrating analog and digital signal conditioning in a programmable system on chip', *Sensors, 2002. Proceedings of IEEE*.
- Song, EY & Lee, K 2008, 'Understanding IEEE 1451-Networked smart transducer interface standard - What is a smart transducer?', *Instrumentation & Measurement Magazine, IEEE*, vol 11, no. 2, pp. 11-17.
- Stewart, RW 1995, 'An overview of sigma delta ADCs and DAC devices', *Oversampling and Sigma-Delta Strategies for DSP, IEE Colloquium on* .

- Stoica, A, Keymeulen, D, Zebulum, R, Thakoor, A, Daud, T, Klimeck, Y, Tawel, R & Duong, V 2000, 'Evolution of analog circuits on field programmable transistor arrays', *Evolvable Hardware, 2000. Proceedings. The Second NASA/DoD Workshop on*.
- Stoica, A, Zebulum, R, Keymeulen, D, Tawel, R, Daud, T & Thakoor, A 2001, 'Reconfigurable VLSI architectures for evolvable hardware: from experimental field programmable transistor arrays to evolution-oriented chips', *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol 9, no. 1, pp. 227-232.
- Subramanian, S 2007, *Methods for synthesis of multiple-input translinear element networks, PHD Tesis*, University of Georgia, Georgia.
- TI 2005, *Texas Instrument. Voltage Output PROGRAMMABLE SENSOR CONDITIONER, PGA309*, viewed Agosto 2010, <<http://pdfdata.datasheetsite.com/pdf1/TI/PGA309.pdf>>.
- Tsai, G-R, Lin, M-C, Sun, G-S & Lin, Y-S 2004, 'On implementing FPGA-based reconfigurable instruments', *Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on*.
- Unser, M & Aldroubi, A 1996, 'A review of wavelets in biomedical applications', *Proceedings of the IEEE*, vol 84, no. 4, pp. 626-638.
- Webster, J. G. 1995, *Medical Instrumentation, Application and design*, John Wiley & Sons, INC.
- White, N 2001, 'Smart move for intelligent sensors', *Sensor Review*, vol 21, no. 1.
- Xilinx 2008, *Spartan 3E Starter Kit Board User Guide*, viewed 2010, <[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug230.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf)>.

Xilinx 2009, 'Xilinx Investor Factsheet, Third Quarter Fiscal Year 2010',  
Xilinx Incorporated.

Xilinx 2010, *Xilinx Silicon Devices*, viewed 2010,  
<<http://www.xilinx.com/products/devices.htm>>.