

Universidad de Granada

**DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE
COMPUTADORES**



**Desarrollo de un Sistema ADC con una Precisión
Efectiva de 16-bits para Señales de Entrada de
Frecuencia Máxima 100-Khz: Aplicación en Unidades
de Registro de Datos para Vehículos de Fórmula-1**

TESIS DOCTORAL

Carlos Castro Serrato

Granada, 2006

Editor: Editorial de la Universidad de Granada
Autor: Carlos Castro Serrato
D.L.: Gr. 731 - 2006
ISBN: 84-338-3808-3

Professor em. Dr.-Ing. K. Goser, del departamento *Bauelemente der Elektrotechnik* de la Universidad de Dortmund, D. Ignacio Rojas Ruiz, Profesor Titular de Universidad, y D. Alberto Prieto Espinosa, Catedrático de Universidad, ambos del Departamento de Arquitectura y Tecnología de Computadores de la Universidad de Granada,

CERTIFICAN:

Que la memoria titulada **“Desarrollo de un Sistema ADC con una Precisión Efectiva de 16-bits para Señales de Entrada de Frecuencia Máxima 100-Khz: Aplicación en Unidades de Registro de Datos para Vehículos de Fórmula-1”**, ha sido realizada por D. Carlos Castro Serrato bajo nuestra dirección en el Departamento de Arquitectura y Tecnología de Computadores de la Universidad de Granada para optar al grado de Doctor por la Universidad de Granada.

Granada, a 1 de Marzo de 2006

Fdo.: Dr.-Ing. K. Goser

Fdo.: Dr. Ignacio Rojas Ruiz

Fdo.: Alberto Prieto Espinosa

Director de la Tesis

Director de la Tesis

Director de la Tesis

Universidad de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE
COMPUTADORES



ugr | Universidad
de **Granada**

**Desarrollo de un Sistema ADC con una Precisión
Efectiva de 16-bits para Señales de Entrada de
Frecuencia Máxima 100-Khz: Aplicación en Unidades
de Registro de Datos para Vehículos de Fórmula-1**

**Memoria presentada por
Carlos Castro Serrato**

Para optar al grado de
DOCTOR POR LA UNIVERSIDAD DE GRANADA

Fdo.: Carlos Castro Serrato

AGRADECIMIENTOS

Son muchas las personas a las que tengo que agradecer su ayuda y apoyo durante la realización de este doctorado.

Comenzaré con aquellas más directamente relacionadas con el proyecto. A D. Ignacio Rojas que hizo posible que la distancia entre Múnich y Granada no fuera en ningún momento un impedimento para la dirección de la tesis.

Herzlichen Dank an Prof. Dr. K. Goser. Er betreute meine Diplomarbeit in Dortmund und ermutigte mich zu promovieren. Es ist eine Ehre einen Wissenschaftler wie ihn als Doktorvater haben zu dürfen.

Special thanks to the whole Motorsport Electronic department of Infineon Technologies in Munich: A. Pechlaner, F. Karayaka, A. Carletti, A. Denais, R. Gledhill, M. Omer and A. Miller. All of them helped me professionally and personally to finish this work satisfactorily. I would like to especially thank my supervisor, A. Pechlaner; thank you for putting your trust in me.

A todos mis amigos, los que dejé en España y con los que sigo manteniendo una amistad que supera cualquier distancia. Estoy seguro que sin ellos nunca hubiera logrado lo que hasta ahora soy. Gracias a Javi, Manolo, Carlos, J. José, Tomás, Eduardo, Luís C., Luís S., Bea...

A mis amigos en Dortmund y Múnich que hacen que los inviernos se pasen más rápidos y calidos. Gracias a Paco, Arancha, Jesús, Mare, Casto, J. Antonio, Miguel, Carmen, Fermín, Gürkan, Vase, Rainer, Sharina, Alex y Christof.

Y por último, pero para mí los más importantes, mis padres y mi hermana. Ellos siempre estuvieron ahí cuando los necesité sin esperar nada a cambio. Ellos han hecho posible que llegue hasta aquí y a ellos les debo todo lo que soy.

TABLA DE CONTENIDOS

AGRADECIMIENTOS	viii
TABLA DE CONTENIDOS	xi
ÍNDICE DE FIGURAS	xiii
ÍNDICE DE TABLAS	xvii
RESUMEN	1
SUMMARY	3
ZUSAMMENFASSUNG	5
1. Introducción y planteamiento del problema	7
1.1. Motivación del proyecto	7
1.2. Metodología	11
1.3. Estructura de la memoria	11
1.4. Structure of the thesis	13
2. Teoría de la conversión analógica-digital	15
2.1. Introducción	15
2.2. El convertidor analógico-digital ideal	17
2.3. Tipos de convertidores	18
2.3.1. Convertidor de rampa discreta	19
2.3.2. Convertidor de balance continuo	20
2.3.3. Convertidor de aproximaciones sucesivas	21
2.3.4. Convertidor de rampa simple	23
2.3.5. Convertidor de rampa doble	25
2.3.6. Convertidor flash	30
2.3.7. Convertidor sigma-delta	32
2.4. Evaluación de un convertidor analógico digital	34
2.4.1. Cuantización	34
2.4.2. Especificaciones estáticas	37
2.4.2.1. Error de no-linealidad diferencial (<i>DNL, Differential Non-Linearity</i>)	37
2.4.2.2. No-linealidad integral (<i>INL, Integral non-linearity</i>)	39
2.4.2.3. Error de Offset	40
2.4.2.4. Error de ganancia	41
2.4.2.5. Códigos desaparecidos	41
2.4.3. Especificaciones dinámicas	43
2.4.3.1. Relación señal-ruido (<i>SNR, Signal to noise ratio</i>)	43
2.4.3.2. Rango dinámico libre de espurios (<i>SFDR, Spurious free dynamic range</i>)	44
2.4.3.3. Distorsión armónica total (<i>THD, Total Harmonic Distortion</i>)	44
2.4.3.4. Relación señal-ruido plus distorsión (<i>SINAD, Signal to noise plus distortion</i>)	45
2.4.3.5. Número efectivo de bits (<i>ENOB, Effective number of bits</i>)	46
2.5. Limitaciones	47
3. ADC Systems	49

3.1. Description of the main stages and the influence of each on the final precision of the complete system	49
3.1.1. Input stage: Adaptation and filtering of the input signal	50
3.1.2. Power supplies	57
3.1.3. Reference voltages	59
3.1.4. Signal Clock and jitter	59
3.1.4.1. How the resolution of an ADC-System is affected by jitter in the signal clock	61
3.1.5. Digital data processing	67
3.1.6. Layout and ground concept	67
3.2. Analyzing the precision of the conversions	73
4. Implementación y evaluación del sistema diseñado	83
4.1. Condiciones generales del proyecto	83
4.2. ADC_TEST_BOARD_V1.0	86
4.2.1. Descripción del sistema	86
4.2.2. Resultados	87
4.3. ADC_TEST_BOARD_V2.0	91
4.3.1. Descripción del sistema. Modificaciones vs. V1.0	91
4.3.2. Resultados	93
4.4. ADC_TEST_BOARD_V3.0	103
4.4.1. Descripción del sistema. Modificaciones vs. V2.0	103
4.4.2. Resultados	105
4.5. Aplicación de filtros digitales	109
5. Conclusiones y principales aportaciones.	115
6. Conclusions and main contributions	121
Apéndice A: esquemáticos ADC_Test_Board_V1.0	125
Apéndice B: esquemáticos ADC_Test_Board_V2.0	135
Apéndice C: esquemáticos ADC_Test_Board_V3.0	143
Apéndice D: Algoritmo para el cálculo del SNR, SINAD, THD y ENOB.	147
Referencias	153

ÍNDICE DE FIGURAS

<i>Figura 1-1: Principales sistemas electrónicos en un vehículo de F-1.....</i>	<i>8</i>
<i>Figura 1-2: Esquema básico de un sistema de registro de datos utilizado en F-1. La unidad de adquisición de datos (DAQ) recibe las señales analógicas procedentes de los sensores así como la información enviada por otras unidades (Engine Control Unit, Gear Control Unit, etcétera) para su almacenamiento o transmisión.</i>	<i>9</i>
<i>Figura 1-3: Relación entre la resolución de un convertidor analógico digital y el valor que representa el bit menos significativo (LSB, Less Significant Bit).....</i>	<i>10</i>
<i>Figura 2-1: Convertidor analógico-digital ideal.....</i>	<i>17</i>
<i>Figura 2-2: Función de transferencia de un ADC ideal de 3-bits. X_a representa la señal analógica de entrada y X_d los códigos digitales de salida. Δ es el valor de un LSB.....</i>	<i>18</i>
<i>Figura 2-3: Representación de la velocidad de conversión vs. resolución para los tres tipos de ADC más comunes. Ha de tenerse en cuenta que no se trata de resolución efectiva ya que esta dependerá del sistema completo y no del convertidor por si sólo (ver capítulo 2.4.3.5).....</i>	<i>19</i>
<i>Figura 2-4: Esquema de un conversor analógico-digital de rampa discreta.....</i>	<i>20</i>
<i>Figura 2-5: Esquema de un conversor analógico-digital de balance continuo.</i>	<i>21</i>
<i>Figura 2-6: Esquema de un conversor analógico-digital de aproximaciones sucesivas.</i>	<i>22</i>
<i>Figura 2-7: Ejemplo del proceso de acercamiento al valor final en un conversor analógico-digital de aproximaciones sucesivas de 4-bits. Los dígitos en negrita representan los que en cada etapa han quedado estabilizados.....</i>	<i>23</i>
<i>Figura 2-8: Esquema de un convertidor analógico-digital de rampa simple</i>	<i>24</i>
<i>Figura 2-9: Esquema de un conversor analógico-digital de doble rampa.....</i>	<i>25</i>
<i>Figura 2-10: Diagramas temporales de la evolución del ciclo de conversión de un conversor analógico digital de rampa doble.....</i>	<i>27</i>
<i>Figura 2-11: Esquema de un conversor analógico-digital bipolar de rampa doble. La conversión se obtiene en complemento a 2.....</i>	<i>28</i>
<i>Figura 2-12: Error al cabo de la primera rampa ocasionado por una senoide superpuesta de amplitud V_r y frecuencia f.</i>	<i>30</i>
<i>Figura 2-13: Convertidor flash de 3-bits.....</i>	<i>31</i>
<i>Figura 2-14: Esquema de un convertidor sigma-delta.....</i>	<i>33</i>

<i>Figura 2-15: Ejemplo de histograma de ruido para un ADC. En él se representan los códigos digitales de salida y su frecuencia de aparición para una entrada analógica constante.....</i>	<i>34</i>
<i>Figura 2-16: Error de cuantización en un ADC con $N=3$ y por tanto con 8 códigos digitales de salida. Δ representa un LSB.....</i>	<i>35</i>
<i>Figura 2-17: Función de transferencia de un ADC con cuantización no-uniforme. En este ejemplo los valores analógicos de entrada cercanos a cero se cuantizan en intervalos más pequeños.....</i>	<i>36</i>
<i>Figura 2-18: Comparación entre la función de transferencia de un ADC ideal (línea azul) y la de un ADC afectado por DNL (línea roja).</i>	<i>38</i>
<i>Figura 2-19: Función de transferencia de un ADC real. La línea azul muestra la desviación de ésta última con respecto a la de un ADC ideal.....</i>	<i>39</i>
<i>Figura 2-20: En un convertidor afectado por error de offset la primera transición de código se produce para un voltaje de entrada diferente al caso ideal.....</i>	<i>40</i>
<i>Figura 2-21: Ejemplo de la función de transferencia de un convertidor A/D afectado por error de ganancia.....</i>	<i>41</i>
<i>Figura 2-22: Función de transferencia de un ADC de 3-bits en el que el código 010 queda desaparecido.</i>	<i>42</i>
<i>Figura 2-23: Gráfica de la FFT de una señal con un SFDR de 65dB</i>	<i>44</i>
<i>Figure 3-1: Block diagram for an ADC-System.</i>	<i>50</i>
<i>Figure 3-2: Representation of the slew rate in an OP.....</i>	<i>51</i>
<i>Figure 3-3: Single-ended (top) and differential (bottom) input configuration.....</i>	<i>54</i>
<i>Figure 3-4: Comparison of results (ENOB, Effective Number of Bits) obtained with a differential and single-ended input configuration.</i>	<i>55</i>
<i>Figure 3-5: RC filter between the input stage and the converter.</i>	<i>56</i>
<i>Figure 3-6: Vias holes must be placed on the outboard side of the capacitor lead in order to obtain the maximum capacitor's effectiveness.</i>	<i>58</i>
<i>Figure 3-7: Jitter due to noise in the power supply signal or in the ground plane.</i>	<i>60</i>
<i>Figure 3-8: Jitter due to crosstalk.</i>	<i>61</i>
<i>Figure 3-9: Jitter on the sampling signal causes the ADC to falsely trigger the input signal.</i>	<i>62</i>
<i>Figure 3-10: ADC System with a split ground configuration. DGND and AGND are generally separated but with a small connection under the ADC.....</i>	<i>68</i>

<i>Figure 3-11: In an ADC with a split ground configuration (top), the return current of a digital signal going from the digital side to the analogue one flows back under the ADC, which is the only possible path, producing a loop area (green area) and therefore creating a loop antenna. In a solid GND configuration currents return on a plane directly underneath the signal trace and therefore producing the smallest loop area, that is, no loop antenna.</i>	<i>69</i>
<i>Figure 3-12: ADC_Test_Board_V2.0</i>	<i>70</i>
<i>Figure 3-13: Obtained ENOB with the AD7674 converter with solid GND and with split GND planes.....</i>	<i>71</i>
<i>Figure 3-14: Obtained ENOB with the ADS1625 converter with solid GND and with split GND planes.....</i>	<i>72</i>
<i>Figure 3-15: Specifications of the “System-two” signal generator.....</i>	<i>74</i>
<i>Figure 3-16: Scheme used for evaluating the ADC-System.....</i>	<i>75</i>
<i>Figure 3-17: The effects of windows on spectral leakage.</i>	<i>77</i>
<i>Figura 3-18: Example of an FFT representation obtained from a 100-KHz analogue signal converted with ENOB=15.65.....</i>	<i>81</i>
<i>Figura 4-1: ADC_Test_Board_V1.0, V2.0 y V3.0</i>	<i>84</i>
<i>Figura 4-2: Esquema de bloques de la “TriBoard”.....</i>	<i>85</i>
<i>Figura 4-3: Esquema de los principales componentes de la “TriBoard”.....</i>	<i>85</i>
<i>Figura 4-4: ADC_Test_Board_V1.0.....</i>	<i>86</i>
<i>Figura 4-5: Resultados obtenidos con la ADC_Test_Board_V1.0. En la gráfica se muestra el ENOB de los convertidores AD7674 y ADS1625 en función de la frecuencia de la señal analógica de entrada.....</i>	<i>88</i>
<i>Figura 4-6: Configuraciones para la etapa de entrada usadas a lo largo del proyecto.</i>	<i>90</i>
<i>Figura 4-7: ADC_Test_Board_V2.0.....</i>	<i>91</i>
<i>Figura 4-8: El diseño del sistema se hizo de forma que los componentes digitales y los analógicos se encuentran claramente separados evitando así que los primeros afecten la resolución de los últimos.....</i>	<i>92</i>
<i>Figura 4-9: Circuito utilizado en la “TriBoard” para la generación de los voltajes de alimentación.</i>	<i>93</i>
<i>Figura 4-10: Señal transmitida por la bobina L702 (marcada en la figura 4.10 con círculo rojo).....</i>	<i>94</i>

<i>Figura 4-11: FFT correspondiente a la señal de salida del ADS1625 ante una señal analógica de entrada de 9.9KHz. Marcado en azul se muestra la distorsión causada por el inductor.....</i>	<i>95</i>
<i>Figura 4-12: Configuraciones diferenciales de entrada estudiadas en la ADC_Test_Board_V2.0.....</i>	<i>96</i>
<i>Figura 4-13: Resultados obtenidos con la ADC_Test_Board_V2.0.....</i>	<i>97</i>
<i>Figura 4-14: Filtro RLC a la entrada de ambos convertidores.....</i>	<i>98</i>
<i>Figura 4-15: Plano de masa de la ADC_Test_Board_V2.0. AGND y DGND son independientes entre si con una pequeña unión por debajo del convertidor (configuración “split”).....</i>	<i>100</i>
<i>Figura 4-16; Uniones opcionales entre AGND y DGND que permiten obtener una configuración “solid”.....</i>	<i>101</i>
<i>Figura 4-17: Resultados obtenidos con ambos convertidores para las dos configuraciones del plano de masa (“solid” y “split”).....</i>	<i>102</i>
<i>Figura 4-18: ADC_Test_Board_V3.0.....</i>	<i>104</i>
<i>Figura 4-19: Señales analógicas “blindadas”. En rojo se señalan las líneas dedicadas al blindaje y en amarillo las blindadas.....</i>	<i>105</i>
<i>Figura 4-20: FFT de la señal digital de salida del convertidor sin protección electromagnética (izquierda) y con protección (derecha).....</i>	<i>106</i>
<i>Figura 4-21: ENOB obtenido con diferentes métodos de aislamiento electromagnético (ver tabla 4.2.2-1).....</i>	<i>107</i>
<i>Figura 4-22: Resultados obtenidos con la ADC_Test_Board_V3.0 con las dos posibles configuraciones de masa (“split” y “solid”).....</i>	<i>108</i>
<i>Figura 4-23: Resultados obtenidos con la ADC_Test_Board_V3.0 antes y después de aplicar un filtro digital a los códigos de salida del convertidor.....</i>	<i>110</i>

ÌNDICE DE TABLAS

<i>Tabla 3-1: Main characteristics of both types of operational amplifier (voltage and current feedback).....</i>	<i>53</i>
<i>Tabla 3-2: Characteristics of Frequently Used Window Functions.....</i>	<i>79</i>
<i>Tabla 3-3: Signal content vs. Window selection and advantages.....</i>	<i>80</i>
<i>Tabla 4-1: Características principales de los 4 convertidores que componen la ADC_Test_Board_V1.0.</i>	<i>87</i>
<i>Tabla 4-2: Descripción de los métodos utilizados para el aislamiento electromagnético del sistema.</i>	<i>107</i>

RESUMEN

La continua mejora de los sistemas electrónicos en la industria automovilística en busca de mayor seguridad, fiabilidad y rendimiento del coche se convierte en una extrema necesidad en la Fórmula-1 debido a la gran competitividad existente.

Uno de los sistemas electrónicos más importantes para los vehículos de Fórmula-1 es la denominada unidad de registro de datos, cuya responsabilidad es la de recibir y almacenar toda la información recogida por los más de 150 sensores repartidos en el coche. El correcto análisis de dichos datos depende en gran medida de la precisión alcanzada en la conversión de la señal analógica procedente de los sensores en formato digital para su posterior procesado, transmisión y/o almacenamiento.

El proyecto de investigación presentado en esta memoria de tesis doctoral estudia que factores afectan con mayor medida a la resolución de los sistemas convertidor analógico-digital y como reducir dicha influencia.

Para ello se desarrollaron tres plataformas en las que se llevaron a cabo numerosas investigaciones, aplicándose en cada una de ellas las conclusiones obtenidas con las anteriores. Finalmente no solo se alcanzaron los resultados deseados en lo que a precisión se refiere sino que se aportan diferentes recomendaciones para el diseño de este tipo de sistemas que ayudan de manera decisiva a aumentar la resolución de las conversiones.

SUMMARY

The constant improvements carried out by the automobile industry in search of higher security, reliability and performance in a car becomes an extreme necessity in Formula-1 due to the great competitiveness of the sport.

One of the most important systems for Formula-1 vehicles is the so-called Data Logger, which is responsible for receiving and saving all the information collected by the up to 150 sensors in the car. A correct analysis of such data largely depends on the precision achieved by converting the analogue signals from the sensors into digital signal for its later processing, storage and transmission.

The investigations presented in this thesis study which factors have the biggest influence in the effective resolution of an analogue-to-digital converter system and how to reduce the influence of these factors.

Three different systems were developed and numerous investigations were carried out, applying on each new version the conclusions obtained from the previous one. Finally the desired results were obtained in terms of precision and many new suggestions are made in order to increase the performance of analogue-to-digital converters.

ZUSAMMENFASSUNG

Die ständigen Verbesserungen, die aus der Suche nach mehr Sicherheit, Zuverlässigkeit und Performance durch die Automobilindustrie hervorgehen, stellen eine immer größere Notwendigkeit in der Formel 1 dar, bedingt durch die enorme Wettbewerbsfähigkeit dieser Sportart.

Der so genannte Datenlogger ist eines der wichtigsten Systeme in einem Formel 1 Auto. Er ist dafür zuständig alle Informationen zu erfassen und zu speichern, die die von den bis zu 150 Sensoren gesammelt werden. Dabei ist es sehr wichtig, eine hohe Genauigkeit beim Wandeln der analogen Sensorsignale in digitale, zur späteren Verarbeitung nutzbare Signale zu erreichen um eine genaue Analyse der Daten zu ermöglichen.

Die in dieser Doktorarbeit angegebenen Beobachtungen zeigen, welche Faktoren den größten Einfluss auf die effektive Auflösung eines Systems zur Analog-Digital-Umsetzung haben und wie man diese Einflüsse minimieren kann.

Es wurden drei verschiedene Systeme entwickelt und zahlreiche Untersuchungen durchgeführt, wobei jeder neuen Version die Ergebnisse des Vorgängers zugrunde liegen.

Die gewünschten Ergebnisse bezüglich Präzision wurden schließlich erreicht und es konnten viele neue Ansätze zur Verbesserung der Leistungsfähigkeit von Analog-Digital-Wandlern erarbeitet werden.

1. Introducción y planteamiento del problema

Este capítulo de introducción trata de plantear el problema que pretende resolver esta tesis, así como enmarcarlo dentro del contexto en el que las soluciones aportadas se proyectan aplicar. También se describe la estructura de la presente memoria

1.1. Motivación del proyecto

En los últimos años los sistemas electrónicos han sufrido grandes avances, haciendo posible su inclusión en muy diferentes campos de aplicación. Este es el caso de la industria automovilística, donde la reducción del tamaño y coste de estos sistemas ha favorecido su uso, sustituyendo otras unidades mecánicas o simplemente introduciendo nuevas funciones con el fin de mejorar la fiabilidad, seguridad o confort del automóvil.

En los vehículos de Fórmula-1, estas aplicaciones se llevan hasta el límite. Entre ellas se encuentra la ECU (*Engine Control Unit*), encargada de la generación de las señales necesarias para el control del motor, la unidad de telemetría, responsable de la transmisión de datos entre el coche y otros sistemas y el DAQ (*Data Acquisition*) (ver figura 1.1). Esta última unidad recoge las señales medidas por los más de 150 sensores repartidos en el coche (llegando a 200 en los coches de pruebas) y almacena, procesa y/o transmite esta información para su evaluación en tiempo real o a posteriori.

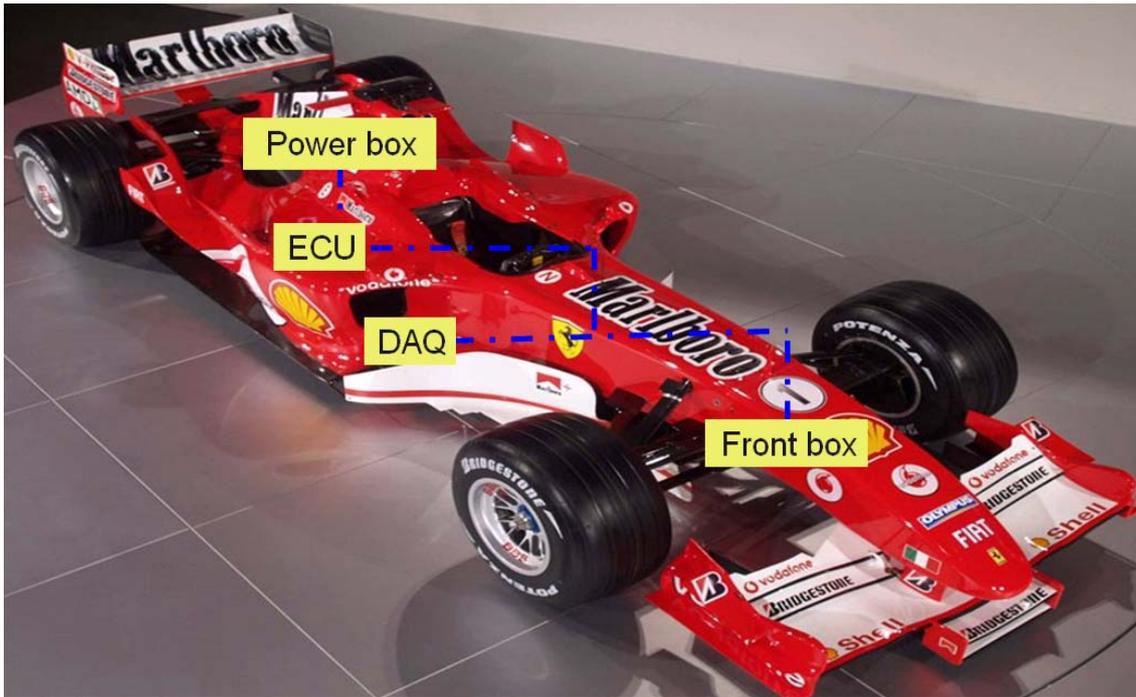


Figura 1-1: Principales sistemas electrónicos en un vehículo de F-1.

Dichos datos, de vital importancia, contienen información sobre el funcionamiento del coche [12]. Entre las medidas realizadas directamente por los sensores, denominados canales físicos, podemos destacar algunas como:

- Temperatura (aceite, agua, neumáticos, gases tubo escape, frenos...)
- Revoluciones (motor, ruedas...)
- Posiciones (pedales, válvulas...)
- Señales generadas por otros sistemas (unidad de control del motor, otros sistemas electrónicos...)
- Desgaste frenos
- Ángulos de giro del volante
- Aceleración (longitudinal, lateral y vertical)

Mediante el procesado matemático de los canales físicos se obtienen los denominados canales virtuales. Algunos ejemplos son:

- Temperatura diferencial del aceite
- Deslizamiento del coche (velocidad media de las ruedas traseras menos la velocidad media de las delanteras)
- Velocidad del vehículo sobre tierra
- Nivel de agarre del vehículo (a partir de las aceleración longitudinal y lateral)

Gracias al análisis y evaluación de estas medidas se pueden detectar fallos en el funcionamiento del coche así como proporcionar una valiosa información al conductor en carretera.

En los coches de carreras la utilización de estos datos permite además mejorar el rendimiento del coche, su fiabilidad, etc. La figura 1.2 muestra el esquema del sistema de registro de datos (*DAQ: Data Acquisition*) y telemetría utilizado en Fórmula-1.

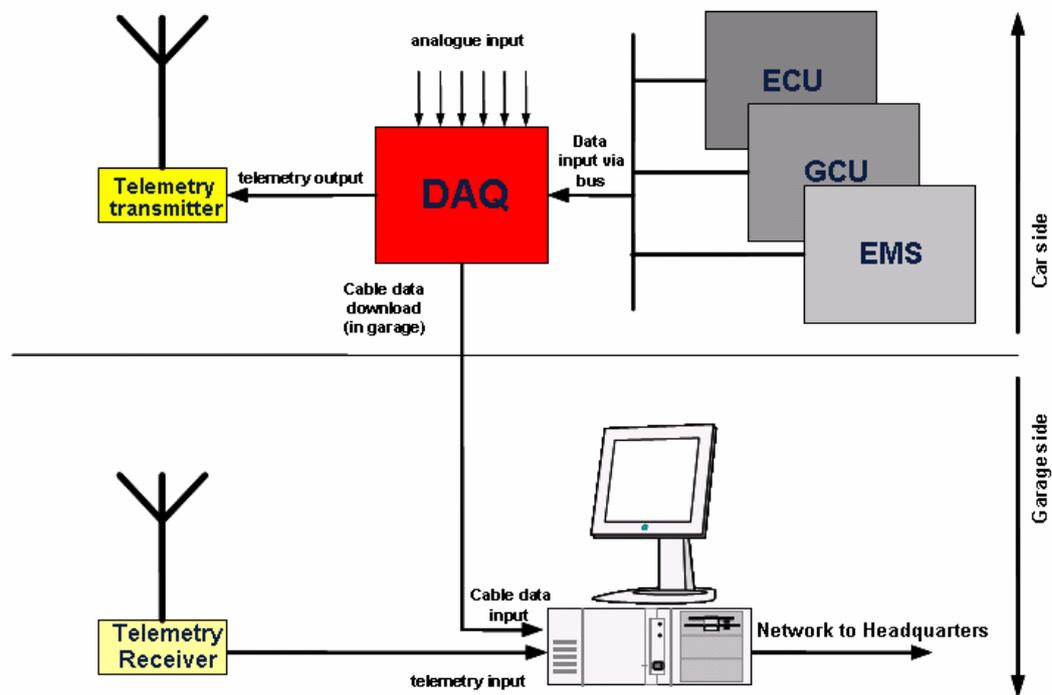


Figura 01-2: Esquema básico de un sistema de registro de datos utilizado en F-1. La unidad de adquisición de datos (DAQ) recibe las señales analógicas procedentes de los sensores así como la información enviada por otras unidades (*Engine Control Unit, Gear Control Unit, etcétera*) para su almacenamiento o transmisión.

Como se puede ver en la figura, el DAQ recibe los datos procedentes de distintas unidades en el coche y los envía al sistema de telemetría para ser analizado en carrera o los almacena para ser evaluados a posteriori en el garaje. Así, por ejemplo, el estudio de las medidas de vibraciones permite mejorar la aerodinámica del vehículo o el de las aceleraciones longitudinales posibilita encontrar la mejor trazada posible.

Todas las medidas realizadas por los sensores son analógicas por naturaleza (temperatura, presión, vibraciones...). Sin embargo, para su posterior almacenamiento, transmisión y/o procesado es necesario convertir estas señales a formato digital. Es por ello que los sistemas ADC (*Analogue-to-Digital converter*) son uno de los elementos más importantes dentro de una unidad de registro de datos. La precisión alcanzada por estos sistemas es un factor limitante a la hora de extraer conclusiones de la información obtenida por los sensores. En la actualidad, los ADCs usados en vehículos de competición tienen una precisión efectiva de 10/12-bits. Esta tesis, dirigida por profesores de la Universidad de Granada y realizada en el departamento “*Motorsport Electronics*” de la empresa Infineon Technologies AG en Munich (Alemania) dentro de un proyecto llevado a cabo junto a la “*Scuderia Ferrari*” de Fórmula-1 para desarrollar una nueva unidad de registro de datos, tiene como objetivo el que los sistemas ADCs alcancen una precisión efectiva cercana a los 16 bits. Para ello es necesario una profunda investigación sobre que factores y en que medida afectan a la precisión de las conversiones. Así, por ejemplo, cuando se trabaja con un convertidor A/D de 12 bits con una señal analógica de entrada de 5V de amplitud, una variación de 1bit en los códigos digitales de salida (*1LSB, Less Significant Bit*) representa una variación de 1.22mV en la entrada. Si el convertidor es de 18 bits (mínimo necesario para obtener una resolución efectiva cercana a los 16 bits), 1LSB equivale a 1.9nV (ver figura 1.3).

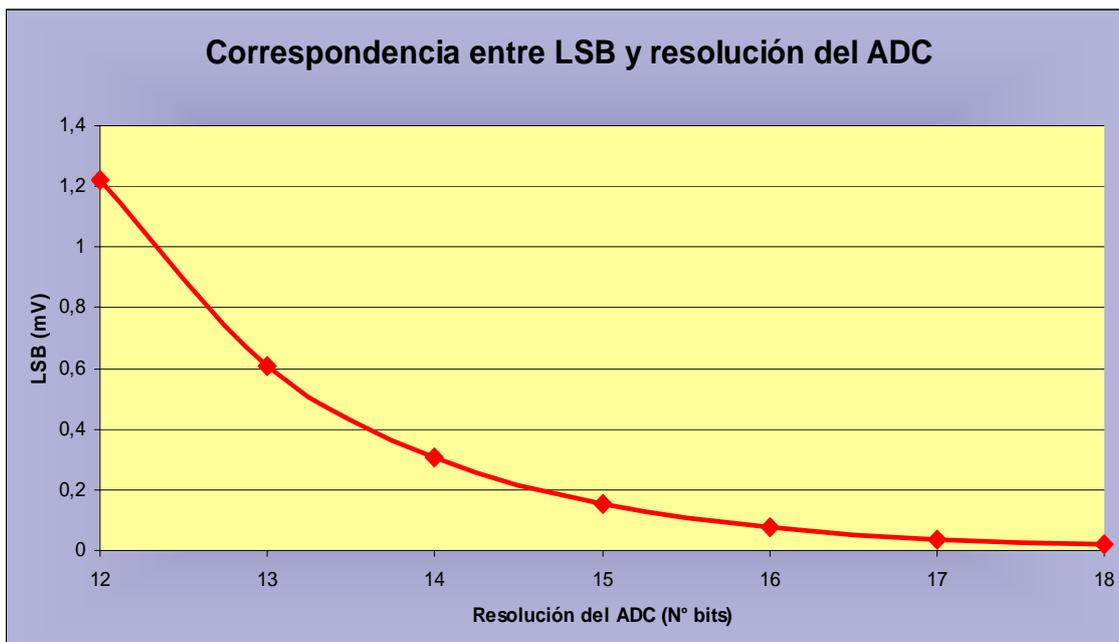


Figura 01-3: Relación entre la resolución de un convertidor analógico digital y el valor que representa el bit menos significativo (*LSB, Less Significant Bit*)

Esto da una clara idea sobre como la sensibilidad a ruidos en el sistema crece exponencialmente con la resolución del mismo. Así, en el convertidor de 12 bits un ruido de tan sólo 0.5mV de amplitud no afectará a la salida del mismo mientras que en el de 18bits provocará un error de 26LSB.

Así mismo, se investigaron los métodos de análisis de la precisión de estos sistemas ADC, ya que cuando se trabaja con convertidores A/D de tan alta resolución la evaluación de los mismos puede llegar a ser incluso más complicado que su propio diseño.

1.2. Metodología

Con el fin de alcanzar los objetivos planteados se desarrollaron sucesivamente tres prototipos de sistema convertidor analógico-digital sobre los cuales se llevaron a cabo numerosas investigaciones.

En general el esquema utilizado para la evaluación de las distintas soluciones utiliza como señal de entrada la procedente de un generador de señales de muy alta resolución (*System two*, de la compañía *Audio Precision*). Los datos digitales de salida procedentes de las conversiones son recogidos por un microcontrolador de 32-bits (*TC1775*, de la compañía *Infineon Technologies*) y enviadas a un PC. Mediante una aplicación desarrollada para MATLAB se puede obtener un valor indicativo de la calidad de las conversiones (*ENOB*, *Effective Number of Bits*). Esto permite comparar distintas configuraciones para los circuitos, tipos de componentes, influencia de sistemas externos, etc. Las conclusiones obtenidas se fueron aplicando a los sucesivos prototipos diseñados, mejorando las prestaciones del sistema hasta que se alcanzaron los resultados buscados.

1.3. Estructura de la memoria

La memoria de tesis doctoral aquí presentada se encuentra dividida en cuatro bloques o capítulos en los que se tratan los aspectos especificados a continuación.

- Capítulo 2: Teoría de la conversión analógica-digital. En este capítulo se presenta una revisión conceptual de los aspectos más importantes relativos a las bases teóricas de la conversión analógica-digital. En primer lugar se exponen las aplicaciones y ventajas del proceso así como una descripción del convertidor analógico-digital ideal, es decir, el concepto en el que se basan este tipo de dispositivos. A continuación se introducen las distintas clases de convertidores A/D, mostrando sus características fundamentales y los campos de aplicación de los mismos. Posteriormente se presentan las especificaciones utilizadas para la caracterización de estos sistemas, divididas en dos categorías: especificaciones estáticas y especificaciones dinámicas. Por último se exponen las limitaciones de los convertidores A/D reales, es decir, cuales son los factores que provocan una desviación del comportamiento ideal del dispositivo.
- Capítulo 3: Sistemas ADC. En este capítulo se lleva a cabo una descripción de las distintas etapas de un ADC tal y como se han concebido y que constituyen una de las principales aportaciones de esta tesis para la obtención de mayores resoluciones en las conversiones. Cada uno de los bloques que componen el sistema (la etapa de entrada, la alimentación, los voltajes de referencia, la señal de reloj, el procesado digital y el diseño de la PCB) es expuesto, presentando las limitaciones que pueden ofrecer a la resolución de las conversiones y como reducir sus efectos. Por último se introduce el método de análisis de la precisión del sistema, dando a conocer el hardware y el software utilizados con este fin.
- Capítulo 4: Desarrollo del proyecto. En este capítulo se describen los tres sistemas diseñados a lo largo de la investigación (*ADC_Test_Board_V10, V20, V30*). Se resaltan las características y elementos más importantes en cada uno de ellos y se analizan los resultados obtenidos. Las tres versiones fueron desarrolladas sucesivamente con el fin de aplicar las conclusiones obtenidas de

las versiones previas. Así se presentarán las modificaciones llevadas a cabo y las razones de las mismas, siempre basadas en resultados anteriores. Igualmente se exponen los experimentos y mediciones particulares que se realizaron con cada uno de los diseños presentándose las conclusiones particulares.

- Capítulo 5: Conclusiones. Sugerencias para futuros diseños. En este capítulo se presenta de forma esquemática las principales aportaciones y resultados obtenidos durante la realización de este proyecto. Así mismo se introducen posibles líneas de investigación futuras con el fin de mejorar la precisión final alcanzada o de llevar a cabo nuevas contribuciones al campo de los sistemas convertidores analógico-digital.

1.4. Structure of the thesis

This thesis is organized in 4 blocks or chapters, each of them dealing with the topics stated below:

- Chapter 2: Theory of the analogue-to-digital conversion. In this chapter the main aspects relating to the analogue-to-digital conversion theory are introduced. Firstly, the application and advantages of such process is presented as well as, a description of an ideal analogue-to-digital converter, that is, the theoretical concept on which these devices are based. Secondly, the different types of A/D-converters, their main characteristics and applications are described. Following this, the specifications used to characterize these systems, which are divided into two groups, static and dynamic, are presented. Lastly, the limitations of actual A/D-converters are stated, that is, the factors that are responsible for not achieving an ideal behaviour.
- Chapter 3: ADC Systems. In this chapter the main stages of an ADC-System are described. The different blocks which make up the whole system, that is, the input stage, power supply, reference

voltages, the signal clock, the digital process and the layout of the PCB are introduced, as well as the limitations each of these stages impose on the accuracy of the converter and how to reduce them. Lastly, the procedure used to analyze the precision of the conversion is introduced, with emphasis on the hardware and software utilized during such measurements.

- Chapter 4: Development of the project. This chapter describes the three different systems (ADC_Test_Board_V10, V20 and V30) developed during the respective investigations. In order to apply the conclusions obtained with each version, the units were designed successively. An explanation is provided with the reasons behind the modifications carried out with each new PCB as well as the different experiment and measurements done on each system, presenting the particular conclusions.
- Chapter 5: In this chapter the main contributions and results obtained throughout the project are schematically presented. Moreover, suggestions about possible pieces of future research are introduced which could help to increase the levels of accuracy or to make new contributions to the field of analogue-to-digital converters.

2. Teoría de la conversión analógica-digital

En este capítulo se presenta una revisión conceptual de los aspectos más importantes relativos a las bases teóricas de la conversión analógica-digital. En primer lugar se exponen las aplicaciones y ventajas del proceso así como una descripción del convertidor analógico-digital ideal, es decir, el concepto en el que se basan este tipo de dispositivos. A continuación se introducen las distintas clases de convertidores A/D, mostrando sus características fundamentales y los campos de aplicación de los mismos. Posteriormente se hace una introducción de las especificaciones utilizadas para la caracterización de estos sistemas, divididas en dos categorías: especificaciones estáticas y especificaciones dinámicas. Por último se exponen las limitaciones de los convertidores A/D reales, es decir, cuales son los factores que provocan una desviación del comportamiento ideal del dispositivo.

El objetivo de este capítulo es presentar de forma concisa y rigurosa los fundamentos de la conversión analógica/digital, con objeto de introducir la terminología y los conceptos básicos que faciliten la comprensión del resto de la memoria y que sienten las bases del sistema desarrollado.

2.1. Introducción

El procesado digital de señales (*DSP, Digital Signal Processing*) se ha convertido en parte fundamental de nuestra vida cotidiana al ser incorporado en la gran mayoría de los sistemas electrónicos [45]. Esto se ha debido, fundamentalmente, a los avances sufridos por la tecnología, que han hecho posible que la transmisión, almacenamiento y procesado de la información se realice mediante sistemas de bajo coste y dimensiones muy reducidas.

Uno de los campos de aplicación más importantes para el procesado digital de señales es el de sistemas que interactúan con el mundo exterior, midiendo o monitorizando señales del medio en el que operan. Esto se puede realizar con diferentes fines: en ocasiones es para analizar la información a posteriori, como ocurre en las cajas negras de los aviones. En otras, el sistema toma decisiones en base a esos datos, como ocurre en unidades de control industrial.

En general las magnitudes medidas por estos sistemas electrónicos son analógicas por naturaleza (presión, temperatura, humedad, etcétera). Por medio de sensores se obtienen señales eléctricas analógicas equivalentes. Es aquí donde los convertidores analógico-digitales juegan un papel fundamental, ya que trabajar con la información en formato digital ofrece grandes ventajas sobre el analógico, entre las que se pueden destacar:

- Permite la codificación de los datos, reduciendo el tamaño de memoria necesaria para su almacenamiento así como el ancho de banda de las transmisiones.
- Los dispositivos digitales tienen gran fiabilidad y precisión, mayor esperanza de vida y son más robustos ante las condiciones ambientales (temperatura, humedad, etcétera.) que los analógicos.
- Dos dispositivos digitales idénticos tendrán la misma respuesta operando en las mismas condiciones. Sin embargo, esto no ocurre en los analógicos, donde puede haber pequeñas variaciones críticas en muchas aplicaciones.
- En muchos sistemas digitales el cambio de la funcionalidad o la corrección de errores puede llevarse a cabo mediante software, reduciendo drásticamente los costes.

Por todos estos motivos la tecnología digital ha ido reemplazando a la analógica en muy diversos campos tales como televisión, fotografía o comunicaciones. En muchos de ellos, como ocurre en los sistemas de audio o de medida, la calidad de la señal es de vital importancia. Es en estos casos donde se debe prestar un especial interés al diseño de la etapa convertidora analógico-digital, ya que las transformaciones A/D o D/A son procesos que deterioran en gran medida la calidad de las señales [54].

2.2. El convertidor analógico-digital ideal

Un convertidor analógico-digital puede ser visto como una caja negra que proporciona a la salida de la misma una representación digital de la señal analógica de entrada, ya sea ésta en forma de corriente o voltaje (ver figura 2.1).

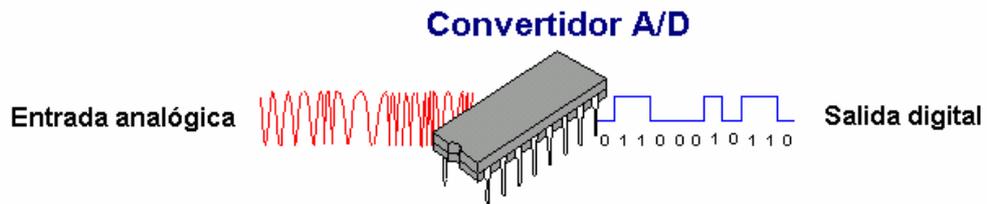


Figura 2-1: Convertidor analógico-digital ideal.

Todo convertidor A/D necesita de una señal de referencia (voltaje o corriente) para su funcionamiento con la que la entrada analógica es comparada. El código digital de salida indica que fracción del voltaje o corriente de referencia es la señal de entrada. Así pues, un ADC puede definirse básicamente como un divisor (entrada entre referencia) que proporciona un resultado digital de las operaciones [42].

El número de bits utilizado por el convertidor en los códigos digitales de salida (N) se define como su resolución y determina el número de códigos digitales disponibles (2^N) para representar el rango de valores de entrada.

La variación mínima necesaria en la señal de entrada que hace variar la salida digital en un solo código se denomina LSB (*Less Significant Bit*) y viene dado por la expresión:

$$LSB = \frac{FS}{2^N} \quad (2-1)$$

donde FS (*Full Scale*) representa el rango completo de valores analógicos de entrada y N la resolución del convertidor.

La figura 2.2 muestra la función de transferencia de un ADC ideal de 3-bits. Este tipo de gráficas es una representación de la señal analógica de entrada al convertidor versus los códigos digitales de salida y se utiliza fundamentalmente para mostrar desviaciones en el comportamiento de los convertidores con respecto al funcionamiento ideal.

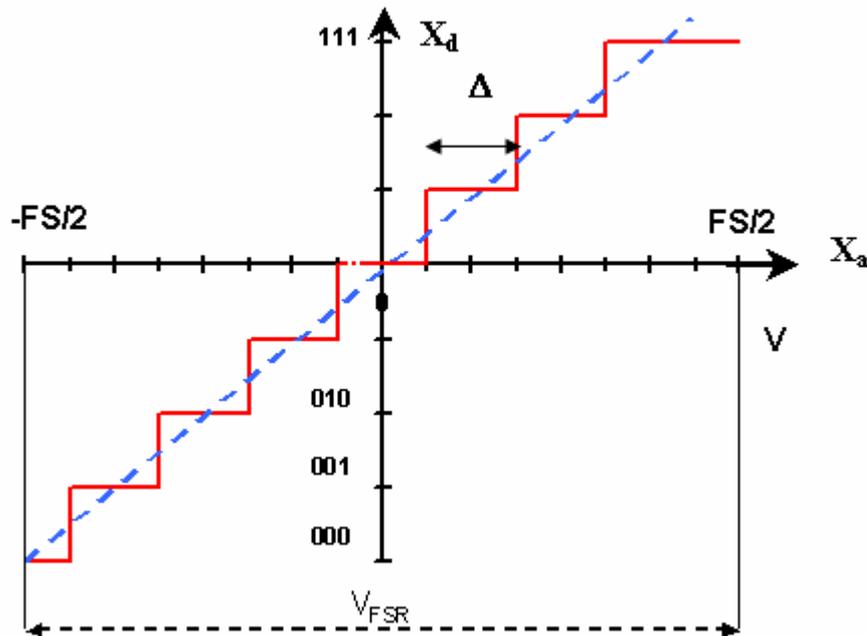


Figura 2-2: Función de transferencia de un ADC ideal de 3-bits. X_a representa la señal analógica de entrada y X_d los códigos digitales de salida. Δ es el valor de un LSB.

2.3. Tipos de convertidores

Son pocos los esquemas básicos utilizados en los convertidores A/D, aunque existen un gran número de variaciones dentro de cada uno a la hora de implementarlos. La elección dependerá de la aplicación final del sistema, así por ejemplo en un osciloscopio digital se necesita una gran velocidad en las conversiones mientras que en un sistema de audio lo primordial es la resolución de las mismas. La figura 2.3 muestra una clasificación de los 3 tipos de ADC más utilizados en función de su velocidad y resolución.

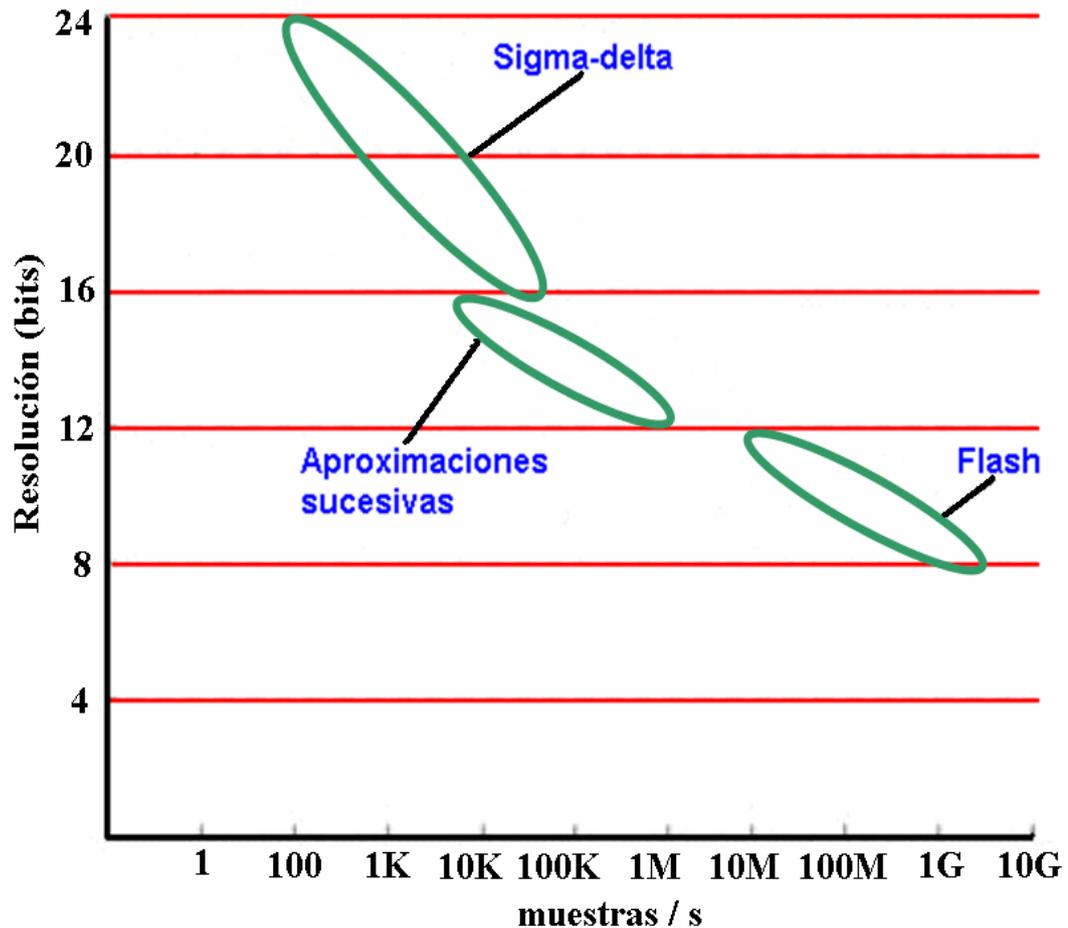


Figura 2-3: Representación de la velocidad de conversión vs. resolución para los tres tipos de ADC más comunes. Ha de tenerse en cuenta que no se trata de resolución efectiva ya que esta dependerá del sistema completo y no del convertidor por sí sólo (ver capítulo 2.4.3.5).

A continuación se describen los distintos tipos de convertidores.

2.3.1. Convertidor de rampa discreta

Operan generando un código digital que es aplicado como entrada a un conversor D/A. La salida de éste se compara con la entrada y, según el signo del error, se incrementa o no el código. El generador de código es un simple contador ascendente. La estructura está ilustrada en la figura 2.4. Al resetear el contador, el conversor D/A aplica una tensión nula al comparador. Si $v_i > 0$, la salida del comparador es alta, la puerta AND deja pasar los pulsos de reloj, el contador comienza a incrementar el número aplicado en el D/A y éste comienza a aumentar en forma escalonada la tensión en el terminal (-) del comparador. Esta situación se mantiene hasta que la tensión (-)

supera a v_i . En ese instante la salida del comparador baja e inhibe, a través de la puerta AND, el conteo. El valor digital D se mantiene entonces invariable hasta un nuevo reset.

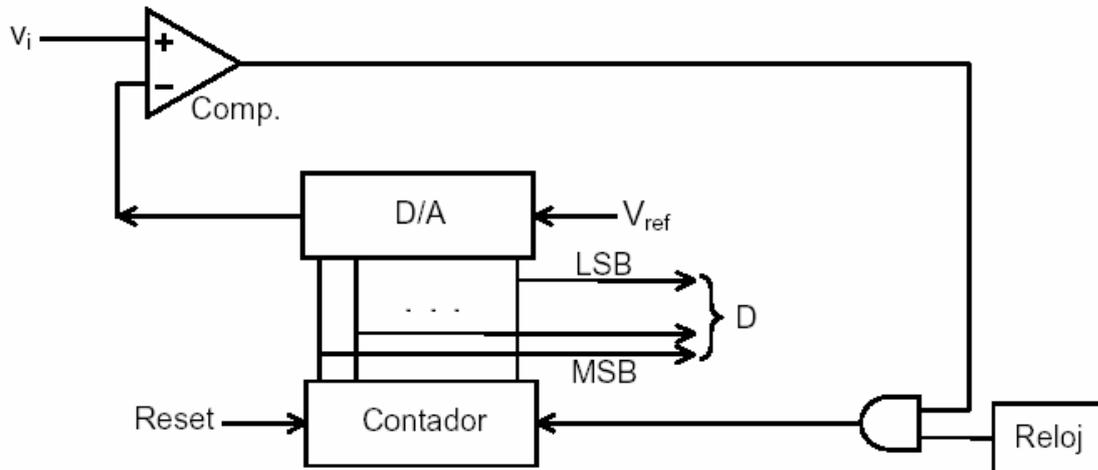


Figura 2-4: Esquema de un convertor analógico-digital de rampa discreta.

2.3.2. Convertidor de balance continuo

El convertor anterior necesita ser reseteado para cada conversión, además de requerir hasta 2^{N-1} ciclos de reloj para completar una conversión. Conceptualmente, el reset puede interpretarse como un conteo descendente rápido y, en ese caso, se efectúa externamente al convertor (ya sea manual o automáticamente).

Supongamos ahora un contador capaz de contar hacia arriba o hacia abajo (*up/down*) según el nivel de una señal de control. Tendremos así un convertor que responde muy rápidamente a variaciones pequeñas. Tal esquema, denominado convertor de balance continuo, se muestra en la figura 2.5.

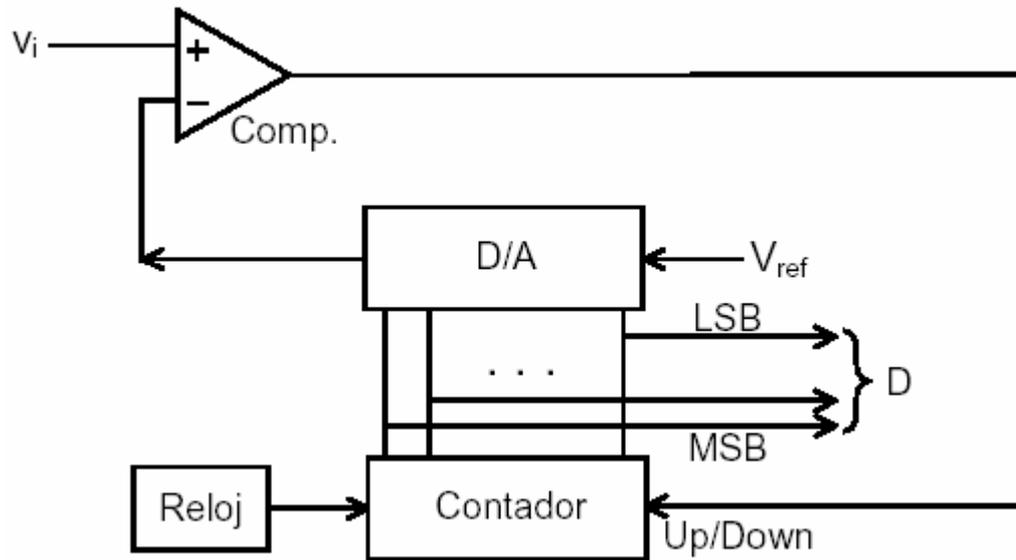


Figura 2-5: Esquema de un conversor analógico-digital de balance continuo.

Una desventaja es que siempre cambia de valor, aun con entrada constante, ya que siempre “se pasa” para uno u otro lado, oscilando con una amplitud de un LSB. Una solución sería ignorar el bit menos significativo, o bien utilizar un conversor con un bit más de lo necesario.

2.3.3. Convertidor de aproximaciones sucesivas

En la figura 2.6 se muestra el esquema de un conversor analógico-digital de aproximaciones sucesivas, uno de los más utilizados en la actualidad, pues permite una considerable velocidad de conversión y una alta resolución a un bajo coste. La estructura es similar a la de los casos anteriores, pero reemplazando el contador por un registro de aproximaciones sucesivas.

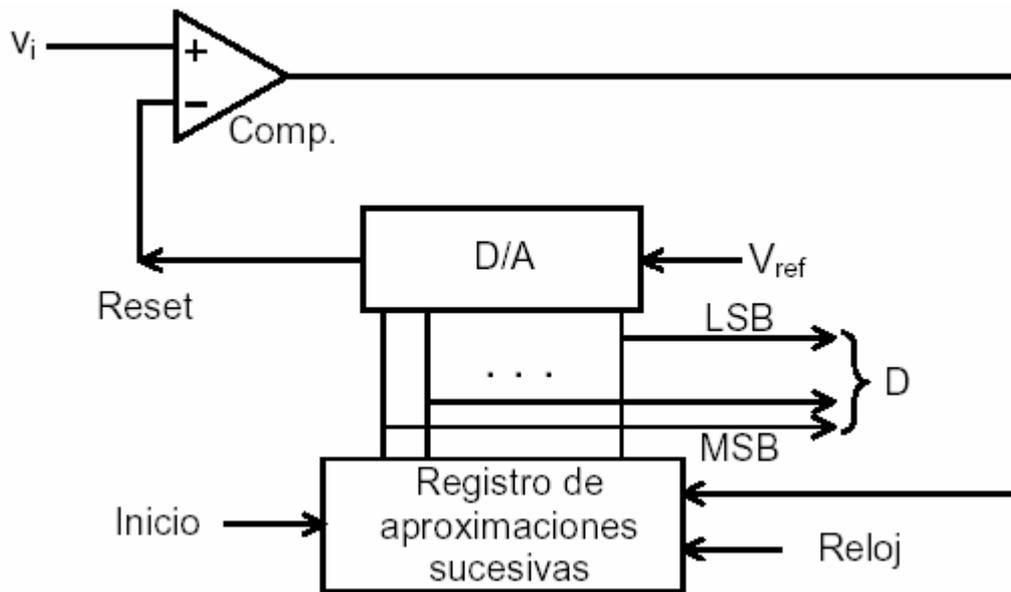


Figura 2-6: Esquema de un convertor analógico-digital de aproximaciones sucesivas.

El funcionamiento, es el siguiente: tras una señal de inicio para la conversión, el registro aplica un 1 en el MSB (bit n) del convertor D/A y un 0 en el resto de los bits. La salida del D/A ante dicho código (1000...0) se ubica en la mitad de la escala ($V_{ref}/2$). Si $v_i \geq V_{ref}/2$, el MSB queda fijado definitivamente en 1. Si, por el contrario, $v_i < V_{ref}/2$, el MSB vuelve a 0. En el paso siguiente, con independencia del valor fijado previamente para el MSB (bit n), el bit $n-1$ es llevado a 1. Nuevamente, si v_i supera el valor que ante ese código ($x100...0$) genera el convertor D/A, el 1 se conserva, de lo contrario vuelve a 0. En el tercer paso se procede de igual manera: se lleva el bit $n-2$ a 1 y se compara la entrada con la salida del D/A ante ese código ($xx10...0$) y, según el resultado, se conserva el 1 o se lleva a 0. El proceso continúa hasta que se llega al LSB (bit 1). Una vez decidido el valor de éste, queda concluida la conversión.

Con este tipo de convertor el tiempo de conversión es de n ciclos de reloj, en lugar de 2^n (o aún mayor) como en los otros casos. Además de la velocidad, resulta importante el hecho de que en k ciclos de reloj ($k < n$) quedan garantizados los k bits más significativos, lo cual permite utilizar un mismo convertor con mayor velocidad si no se requiere la máxima resolución.

Es importante observar que, a diferencia del conversor de balance continuo o el flash (que se verá en el apartado 2.3.6), en este caso se requiere que la entrada se mantenga rigurosamente constante, de lo contrario, podrían producirse errores graves. En efecto, una vez que los bits más significativos han quedado fijados, ya no es posible cambiarlos hasta la próxima conversión, por lo cual el proceso continúa buscando la mejor aproximación que sea posible con los restantes bits. Por esta razón se requiere un circuito de muestreo y retención a la entrada.

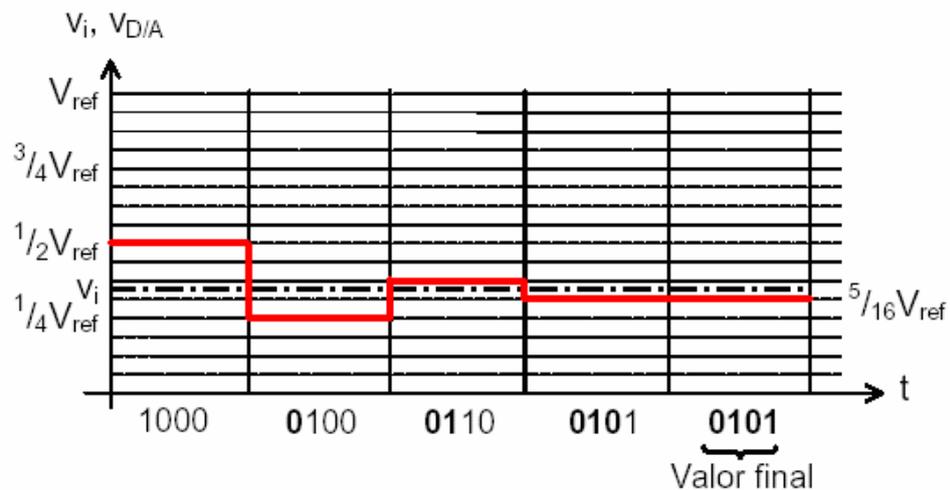


Figura 2-7: Ejemplo del proceso de acercamiento al valor final en un conversor analógico-digital de aproximaciones sucesivas de 4-bits. Los dígitos en negrita representan los que en cada etapa han quedado estabilizados.

2.3.4. Convertidor de rampa simple

En este tipo de conversores se utiliza un integrador con un condensador que se carga a pendiente constante hasta alcanzar la tensión a convertir, instante en que cesa la integración. El tiempo requerido es proporcional a la tensión de entrada, y puede medirse con un contador que cuente ciclos de un reloj. En la figura 2.8 se muestra el esquema correspondiente a este tipo de conversor.

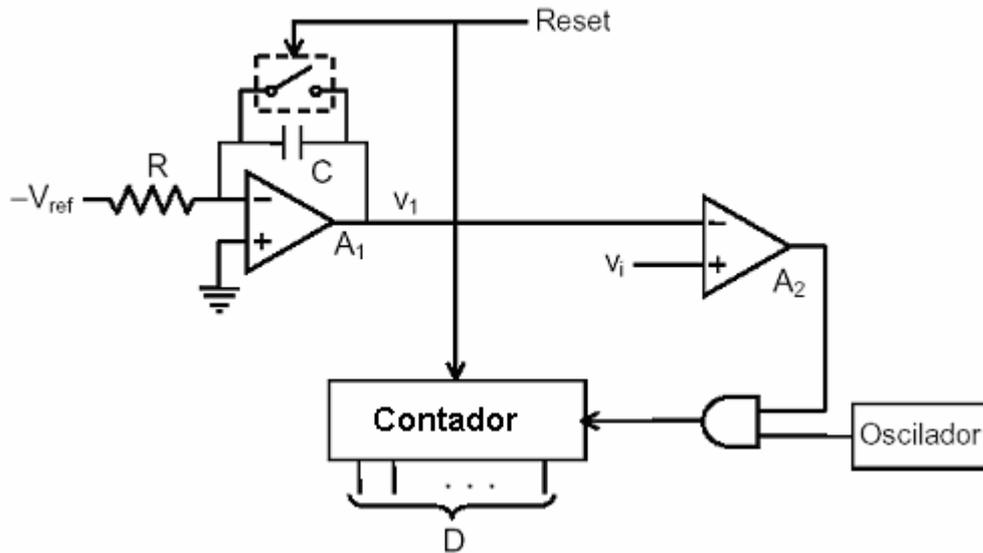


Figura 2-8: Esquema de un convertidor analógico-digital de rampa simple

El integrador comienza a integrar la tensión $-V_{ref}$, obteniéndose

$$v_1 = \frac{V_{ref}}{R \cdot C} t \quad (2-2)$$

Mientras $v_1 < v_i$ el comparador está alto, permitiendo que los pulsos del oscilador pasen a la entrada de reloj de un contador. Cuando $v_1 \geq v_i$, el comparador conmuta, inhibiendo los pulsos de reloj. El contador queda entonces con su cuenta retenida. Dicho valor es

$$D = [f_{ck} \cdot t_0] = f_{ck} \cdot R \cdot C \frac{v_i}{V_{ref}} \quad (2-3)$$

Donde $[]$ es la parte entera del argumento. Eligiendo $f_{ck}RC=2^n$ se obtiene un conversor de n bits.

Este circuito tiene dos inconvenientes:

- La exactitud depende de f_{ck} , de R y de C .
- Si se requiere mayor velocidad debe reducirse RC . Por lo cual, las corrientes de polarización pueden alterar la integración.

2.3.5. Convertidor de rampa doble

Este esquema permite independizarse de la precisión de f_{ck} , R y C. La conversión se hace en dos etapas. En la primera se realiza una integración de la tensión de entrada durante un tiempo fijo, y en la segunda se produce la descarga, con pendiente fija, durante un tiempo dependiente de la cantidad de carga acumulada.

La conversión se realiza contando pulsos de reloj durante el tiempo de descarga del integrador hasta que éste retorna a 0. En general, el tiempo fijo T es:

$$T = \frac{2^n}{f_{ck}} \tag{2-4}$$

A continuación se toman las pendientes como $p_1=v_i/RC$ y $p_2=V_{ref}/RC$. En la figura 2.9 se muestra un circuito que realiza esta función.

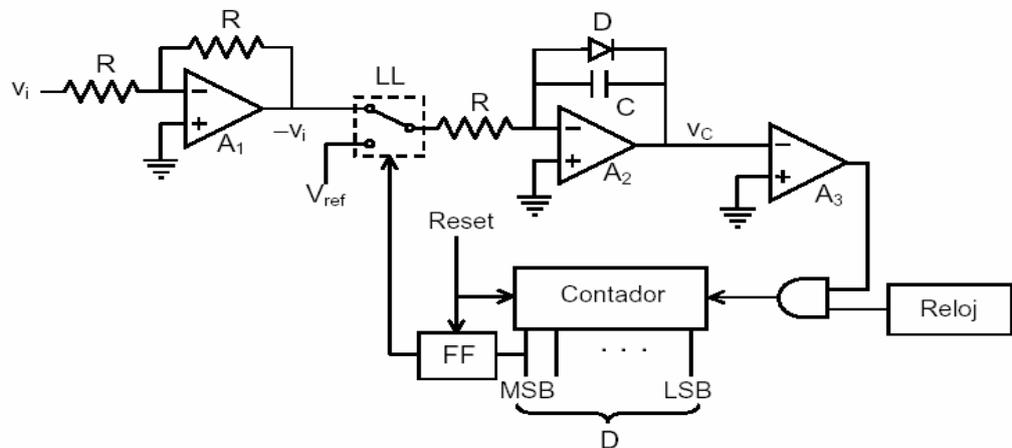


Figura 2-9: Esquema de un conversor analógico-digital de doble rampa.

El ciclo comienza cuando se resetean, simultáneamente, el contador y el flip-flop FF. Entonces el conmutador LL conecta la tensión $-v_i$, por lo tanto, a la salida del integrador tenemos

$$v_c(t) = \frac{v_i}{R \cdot C} t + v_c(0) \tag{2-5}$$

Dado que inicialmente $v_c(0) < 0$, la salida del comparador es baja, inhibiendo los pulsos del reloj. Cuando $v_c(t)$ pasa por 0 se habilita el reloj y el contador cuenta hasta llegar al máximo valor (11...1), tras lo cual el MSB pasa nuevamente a 0, haciendo conmutar el flip-flop. El tiempo total transcurrido es

$$T = \frac{2^n}{f_{ck}} \quad (2-6)$$

Donde f_{ck} es la frecuencia de los pulsos del reloj. Al cabo de este tiempo tenemos,

$$v_c(T) = \frac{v_i \cdot 2^n}{R \cdot C \cdot f_{ck}} \quad (2-7)$$

Luego LL conmuta, pasando a integrar V_{ref} . Entonces

$$v_c(t) = \frac{v_i \cdot 2^n}{R \cdot C \cdot f_{ck}} - \frac{V_{ref}}{R \cdot C} (t - T) \quad (2-8)$$

El conteo prosigue hasta que $v_c(t) = 0$, por lo tanto

$$(t - T) = \frac{v_i \cdot 2^n}{V_{ref} \cdot f_{ck}} \quad (2-9)$$

La cuenta alcanzada será $D = [(t-T)f_{ck}]$, donde $[\]$ es la parte entera. Finalmente,

$$D = \frac{v_i \cdot 2^n}{V_{ref}} \quad (2-10)$$

Este valor no depende ni de RC ni de la frecuencia del reloj, siempre que ambos valores se mantengan constantes durante ambas rampas. El rango máximo de entrada será $[0, V_{ref}]$

En la figura 2.10 se resume la operación durante el ciclo de conversión.

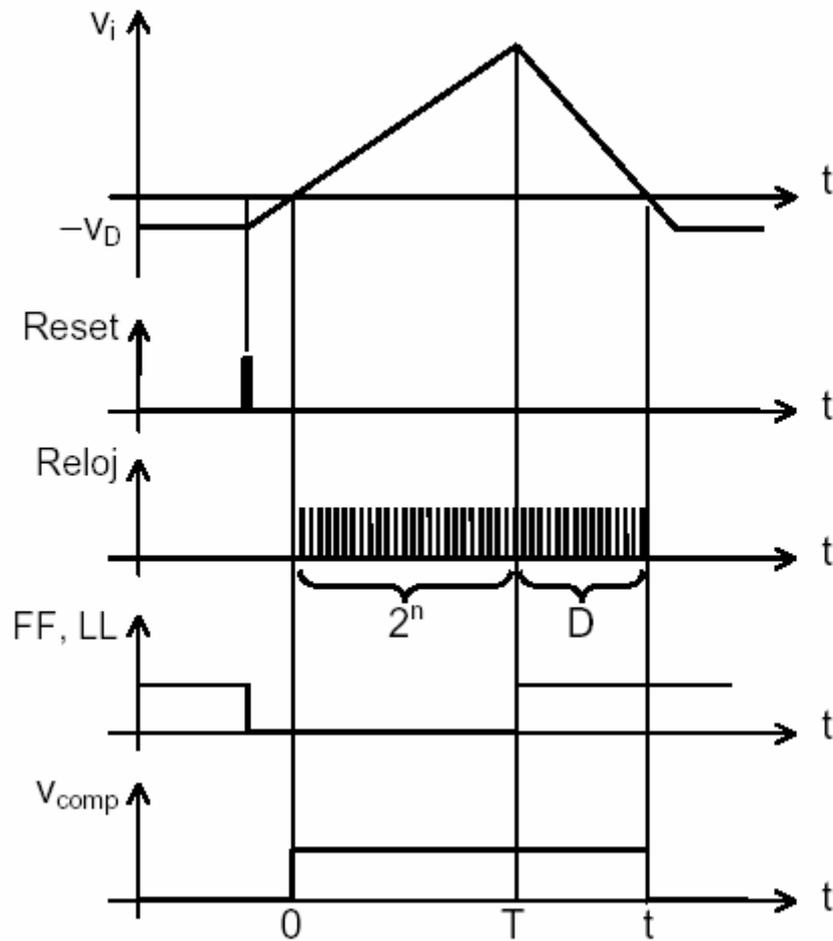


Figura 2-10: Diagramas temporales de la evolución del ciclo de conversión de un conversor analógico digital de rampa doble.

Es posible transformar este conversor, originalmente unipolar, en bipolar, para lo cual basta desplazar la entrada, sustituyendo el amplificador de entrada por un sumador, como se muestra en la figura 2.12 (en este caso el resultado se presenta en complemento a 2). Al cabo de 2^n cuentas tendremos

$$v_c(T) = \left(v_i + \frac{V_{ref}}{2} \right) \cdot \frac{2^n}{R \cdot C \cdot f_{ck}} \tag{2-11}$$

De manera que, con el mismo razonamiento anterior, se tiene

$$D = \left[\left(v_i + \frac{V_{ref}}{2} \right) \frac{2^n}{V_{ref}} \right] \quad (2-12)$$

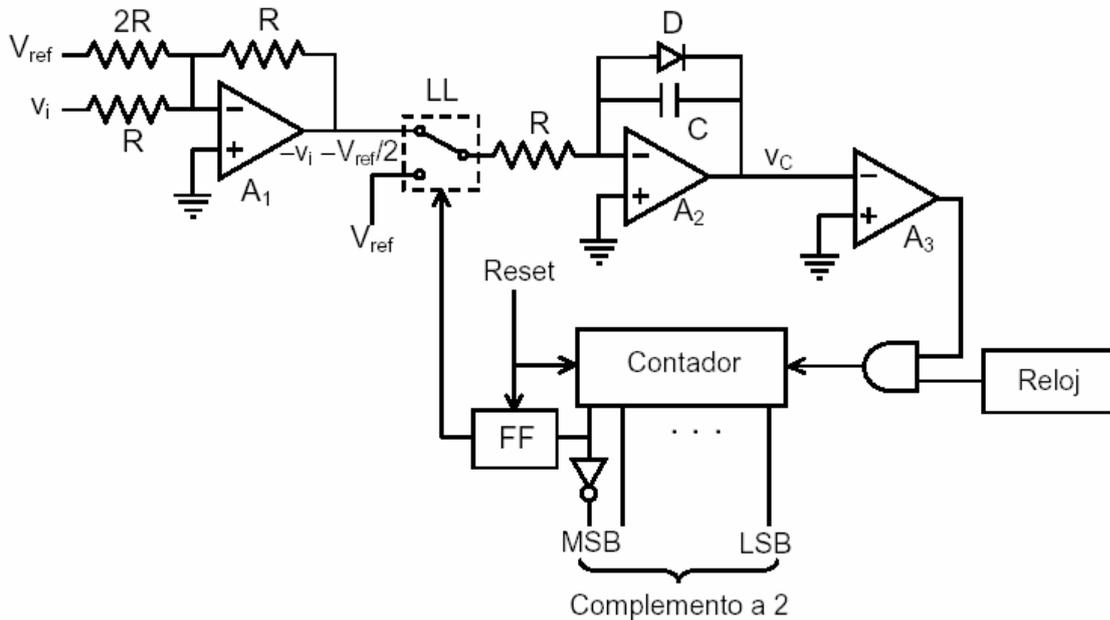


Figura 2-11: Esquema de un conversor analógico-digital bipolar de rampa doble. La conversión se obtiene en complemento a 2.

Por ejemplo, si $v_i = -V_{ref}/2$, resulta $D = 0$; si $v_i = 0$, $D = 2^{n-1}$; y si $v_i = V_{ref}/2$, $D = 2^n - 1$. Se obtiene el resultado en código binario desplazado. Negando el MSB se obtiene en complemento a 2.

Una desventaja de este tipo de circuitos es que el tiempo de conversión es elevado. Podría disminuirse reduciendo RC y aumentando la frecuencia de los pulsos del reloj, pero ello no es conveniente porque si se reduce R , aumentan los errores debidos a la caída en la resistencia no nula del conmutador y si se reduce C , aumentan los errores debidos a las corrientes parásitas.

Una propiedad interesante de los conversores integrados es que rechazan el ruido de alta frecuencia, el cual es atenuado por la propia integración. Pero, además, si el período de integración de la señal de entrada coincide con el de algún ruido periódico, como por ejemplo, el ruido originado en fugas o *ripples* con frecuencia de la línea de alimentación (50 Hz) o sus múltiplos, dicho ruido resultará eliminado por completo (en

tanto su pendiente no sea tan alta como para igualar la pendiente de descarga). En efecto, supongamos un ruido sinusoidal

$$r(t) = V_r \cos(\omega \bullet t + \varphi) \quad (2-13)$$

sumado a la señal (constante) de entrada. Entonces, llamando $T = 0$ al instante en que se habilita el contador,

$$v_c(t) = \frac{v_i}{RC}t + \frac{1}{RC} \int_0^t V_r \cos(\omega \bullet t + \varphi) dt \quad (2-14)$$

$$v_c(t) = \frac{v_i}{RC}t + \frac{V_r}{RC} (\text{sen}(\omega \bullet t + \varphi) - \text{sen} \varphi) \quad (2-15)$$

Teniendo en cuenta que $\text{sen } x - \text{sen}(y) = 2 \text{sen} [(x-y)/2] \cdot \cos[(x+y)/2]$, resulta

$$v_c(t) = \frac{v_i}{RC}t + \frac{2V_r}{RC} \text{sen}\left(\frac{\omega \bullet t}{2}\right) \cos\left(\frac{\omega \bullet t}{2} + \varphi\right) \quad (2-16)$$

Si integramos hasta $t = T$ y tenemos en cuenta que φ es arbitrario, ya que el orden de comienzo de la conversión no guarda ninguna relación con el ruido, resulta que el peor

caso (ruido máximo) se da para $\varphi = -\omega T/2$. Entonces

$$v_c(t) = \left(v_i + V_r \frac{\text{sen}(\pi f T)}{\pi f T} \right) \frac{T}{RC} \quad (2-17)$$

El error queda multiplicado por la función $\text{sen}(\pi f T)$, como se ilustra en la figura 2.12.

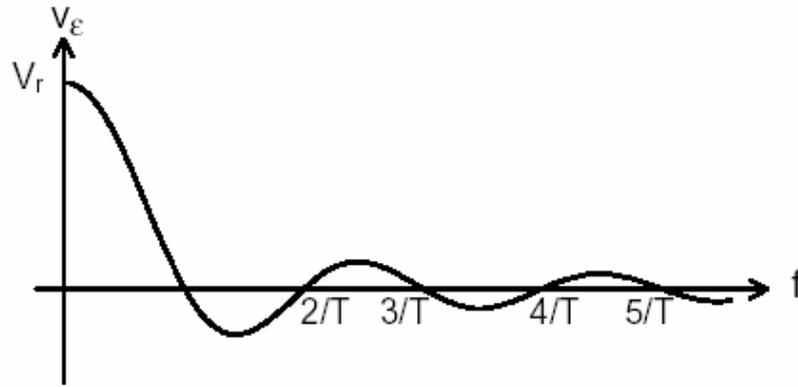


Figura 2-12: Error al cabo de la primera rampa ocasionado por una senoide superpuesta de amplitud V_r y frecuencia f .

En otras palabras, para $f = k/T$, con k entero, el ruido se anula. En general se adopta $k = 1$ y $T = 1/f_{\text{ruido}}$. Esto se utiliza especialmente en los conversores A/D destinados a los multímetros digitales. En estos casos, el contador es BCD y en lugar de usar códigos desplazados, un circuito detecta el signo e invierte la señal si resulta negativa.

2.3.6. Convertidor flash

Es el más rápido de los esquemas. Está formado por un conjunto de comparadores en los que la señal de entrada es comparada con voltajes de referencia. Las salidas de dichos comparadores son conectadas a un circuito codificador con prioridad que produce una salida binaria. La figura 2.13 muestra el esquema de un convertidor flash de 3 bits:

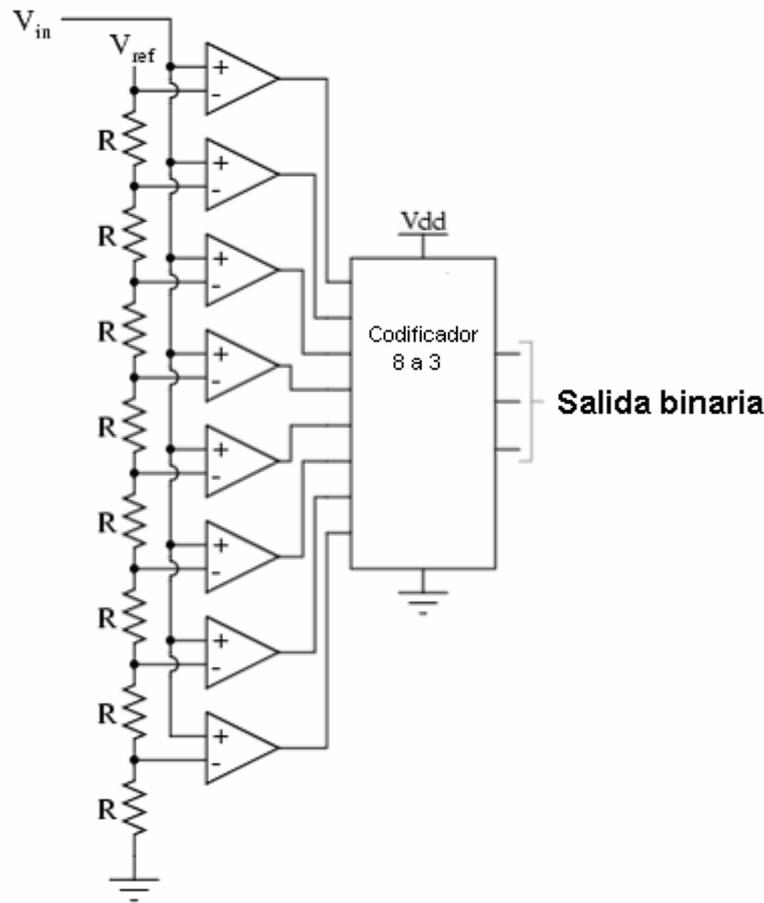


Figura 2-13: Convertidor flash de 3-bits.

V_{ref} es un voltaje estable de referencia. Cuando el voltaje analógico a la entrada del convertidor supera el voltaje de referencia en cada comparador, la salida de estos se satura positivamente. El codificador genera entonces un número binario basado en la entrada activa de mayor orden, ignorando el resto de entradas activas.

Los convertidores Flash no sólo son los más simples en cuanto a la teoría de operación sino que son además los más eficientes en términos de velocidad. El problema radica en que son los que más número de componentes necesitan para una determinada resolución (número de bits). Un convertidor Flash de n -bits requiere 2^n convertidores, lo que significa que para obtener 8 bits a la salida se necesitan 256 comparadores. Esto hace que sean inutilizables para aplicaciones donde se requiera una alta precisión.

Una ventaja de los convertidores Flash es su capacidad de producir una salida no-lineal. Utilizando resistencias de igual valor, cada variación de un bit a la salida representa la misma cantidad de variación en la señal de entrada al convertidor, dando como resultado lo que se entiende como una respuesta proporcional. Sin embargo, para aplicaciones especiales, se escogen diferentes valores para las resistencias, obteniendo una respuesta del ADC no-lineal, es decir, dependiendo del rango en el que se encuentre la señal de entrada en cada momento, será necesario una variación diferente de la misma para obtener un cambio a la salida del ADC.

2.3.7. Convertidor sigma-delta

Estos convertidores digitalizan la señal con una muy baja resolución (1-bit) y con un ritmo de muestreo muy elevado (MHz). Mediante el uso de técnicas de sobremuestreo y filtros digitales se pueden obtener resoluciones cercanas a los 20 bits. Este tipo de convertidores son muy adecuados para conversiones donde la resolución es un factor muy importante y donde la frecuencia de las señales no es muy elevada, como puede ser el caso de utilidades de audio.

En un convertidor sigma-delta la señal analógica de entrada se conecta a un integrador cuya salida se compara con el voltaje de masa del sistema mediante un comparador. Éste último actúa como una ADC de 1-bit generando una salida binaria (+V o -V) dependiendo de si la salida del integrador es positiva o negativa. La salida del comparador pasa a través de un flip-flop de tipo D (con una señal de reloj de alta frecuencia) y realimenta otro canal del integrador, conduciendo a éste en la dirección de los 0V. La figura 2.14 muestra el esquema del convertidor:

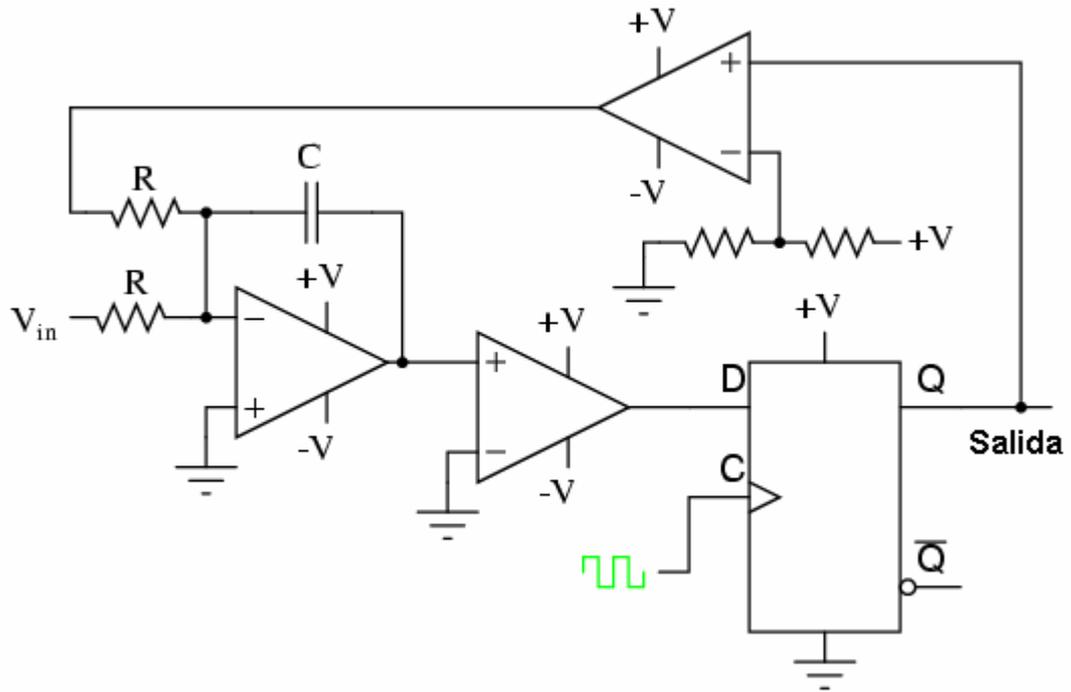


Figura 2-14: Esquema de un convertidor sigma-delta.

Si la salida del integrador es positiva, el comparador se satura hacia $+V$ (lo que representa un 1 digital). En el siguiente pulso de reloj este valor se encontrará a la salida del flip-flop y por tanto siendo la entrada del segundo comparador, el cual tiene como voltaje de referencia un valor superior a $\frac{1}{2} +V$. Esto provoca una saturación positiva del mismo enviando un valor $+V$ al integrador, tendiendo su salida en dirección negativa. Cuando el voltaje de salida del integrador toma un valor negativo, el lazo de realimentación envía una señal de corrección negativa ($-V$) al integrador de forma que el mismo es conducido hacia un valor positivo. El concepto de sigma-delta se puede resumir de la siguiente manera: El primer comparador establece una diferencia (delta) entre la salida del integrador y $0V$. El integrador suma (sigma) la salida del comparador con la salida analógica de entrada. El resultado de este esquema es una cadena de bits a la salida del flip-flop.

La obtención de un número binario a la salida del sistema, es decir, un determinado número de bits paralelos a la salida, se consigue mediante la realización de una media de la cadena de bits a la salida del flip-flop. Por ejemplo, se puede diseñar un contador que determine el total de unos a la salida del flip-flop en un número dado de pulsos de reloj. Esta cuenta sería un indicativo del valor del voltaje de entrada.

2.4. Evaluación de un convertidor analógico digital

Todo convertidor A/D tiene desviaciones en su comportamiento con respecto al que sería ideal [24]. Estas imperfecciones se pueden manifestar de diferentes formas, así por ejemplo, mientras que con un convertidor ideal se obtiene un único código digital de salida ante una entrada analógica constante, en un convertidor “real” la salida digital varía entorno a un valor central. Los “histogramas de ruido” son una representación de esta característica, mostrándose diferentes códigos de salida para un valor constante a la entrada, y la frecuencia con la que aparecen (ver figura 2.15) [2].

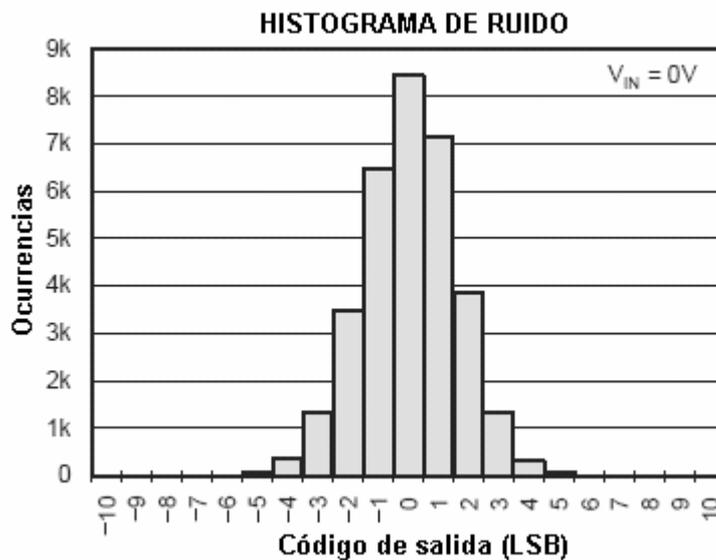


Figura 2-15: Ejemplo de histograma de ruido para un ADC. En él se representan los códigos digitales de salida y su frecuencia de aparición para una entrada analógica constante.

Existen otros muchos tipos de desviaciones del comportamiento ideal, por ello, y con el fin de poder evaluar el funcionamiento de los convertidores A/D reales, se definen una serie de medidas que valoran estas imperfecciones y que se detallan a continuación.

2.4.1. Cuantización

El número de posibles códigos digitales a la salida de un convertidor es de 2^N , donde N representa la resolución del convertidor. Sólo un número limitado de valores analógicos de entrada (2^N), denominados valores centrales, pueden ser representados por medio de palabras digitales, el resto se aproxima al valor central más próximo. Por

tanto siempre existe un error inherente a las conversiones denominado “error de cuantización”.

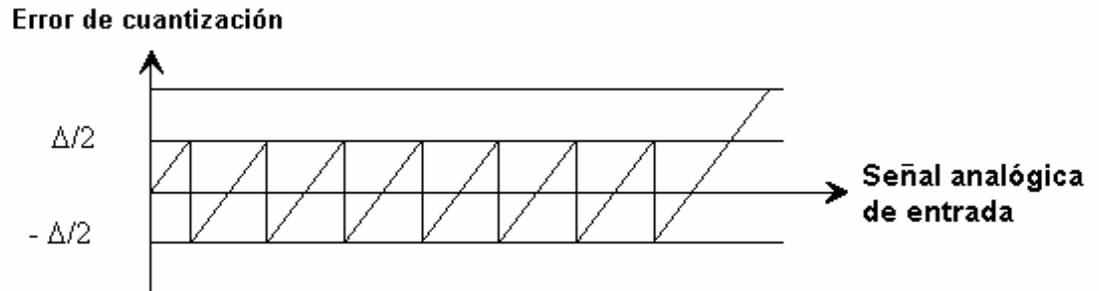


Figura 2-16: Error de cuantización en un ADC con $N=3$ y por tanto con 8 códigos digitales de salida. Δ representa un LSB.

Tal y como se observa en la figura 2.16, el error de cuantización toma una amplitud máxima de $\pm\Delta/2$, donde Δ representa un LSB, y se divide en 2^N segmentos, en cada uno de ellos aumentando proporcionalmente al valor de la señal analógica de entrada.

Para calcular la potencia del ruido de cuantización se procede como sigue: la potencia de cualquier señal de ruido viene dada por la expresión,

$$P_N(t) = x^2_{rms}(t) = \int_{-\infty}^{\infty} e^2 \cdot p(e,t) de \quad (2-18)$$

donde $x(t)$ representa el ruido y $p(e,t)$ es la función de densidad de probabilidad. En los sistemas ADC de alta resolución el error de cuantización puede ser considerado como ruido blanco, es decir, todos los valores de error en el rango $[-\Delta/2, \Delta/2]$ tienen la misma probabilidad de aparecer. Esto se puede expresar matemáticamente como,

$$p(e,t) = \begin{cases} 1/\Delta \Rightarrow -\frac{\Delta}{2} < e < \frac{\Delta}{2} \\ 0 \Rightarrow \text{cualquier_otro_caso} \end{cases} \quad (2-19)$$

Por lo que la potencia del error de cuantización se puede calcular como,

$$P_N = \int_{-\Delta/2}^{\Delta/2} e^2 \cdot \frac{1}{\Delta} de = \frac{\Delta^2}{12} \quad (2-20)$$

Este resultado será solo válido en el caso de que todos los niveles de cuantización tengan el mismo tamaño, lo cual ofrece el mejor resultado cuando los valores analógicos de entrada se distribuyen uniformemente. Pero si éste no es el caso, es decir, la señal de entrada al convertidor toma ciertos valores con mayor frecuencia, es más recomendable, para obtener mayor precisión en las conversiones, el uso de una cuantización no-uniforme, en la que se utilizan niveles de cuantización más cortos para aquellos valores más frecuentes (ver figura 2.17).

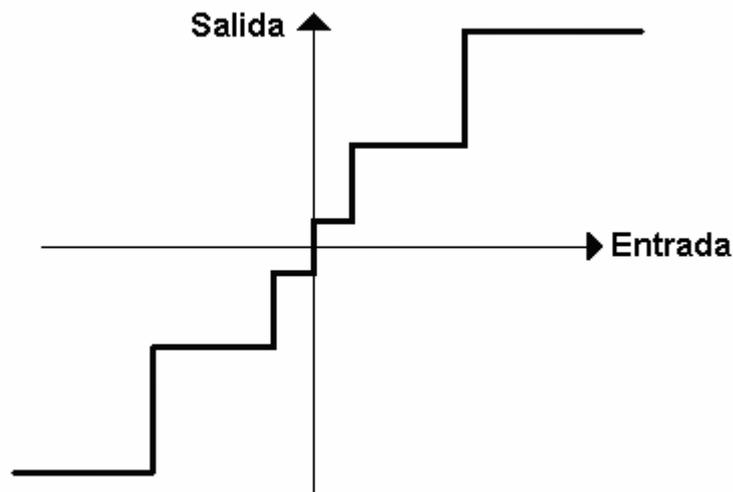


Figura 2-17: Función de transferencia de un ADC con cuantización no-uniforme. En este ejemplo los valores analógicos de entrada cercanos a cero se cuantizan en intervalos más pequeños.

Utilizando este método no-uniforme, algunas amplitudes se cuantizan con un mayor error, sin embargo, debido a que su probabilidad es menor, el error se mejora estadísticamente. Ejemplos de ésta cuantización se pueden encontrar, entre otras, en aplicaciones de audio [24].

En los convertidores reales existen otros muchos factores que afectan negativamente el rendimiento del dispositivo, haciendo mucho mayor el error total que el causado por la cuantización. Éste tipo de desviaciones del comportamiento ideal pueden ser divididas en dos grandes grupos: especificaciones estáticas y especificaciones dinámicas.

2.4.2. Especificaciones estáticas

Son aquellas especificaciones de un ADC que se refieren a una entrada analógica constante. Entre ellas se encuentran errores diferenciales e integrales, errores de *offset*, de ganancia y de monotonía.

2.4.2.1. Error de no-linealidad diferencial (*DNL, Differential Non-Linearity*)

DNL se define como la diferencia entre el ancho de código de entrada ideal y el real. El ancho de código de entrada es el conjunto de valores analógicos que pertenecen al mismo código digital de salida [7].

En un convertidor ideal los puntos de transición de un código al siguiente se encuentran separados exactamente por un LSB, existiendo en total 2^N transiciones (siendo N la resolución del convertidor). La transición cuyo ancho de código de entrada se aleja más del caso ideal es la que se toma para definir el DNL del convertidor.

La figura 2.18 muestra la característica de DNL para un convertidor A/D de 3-bits.

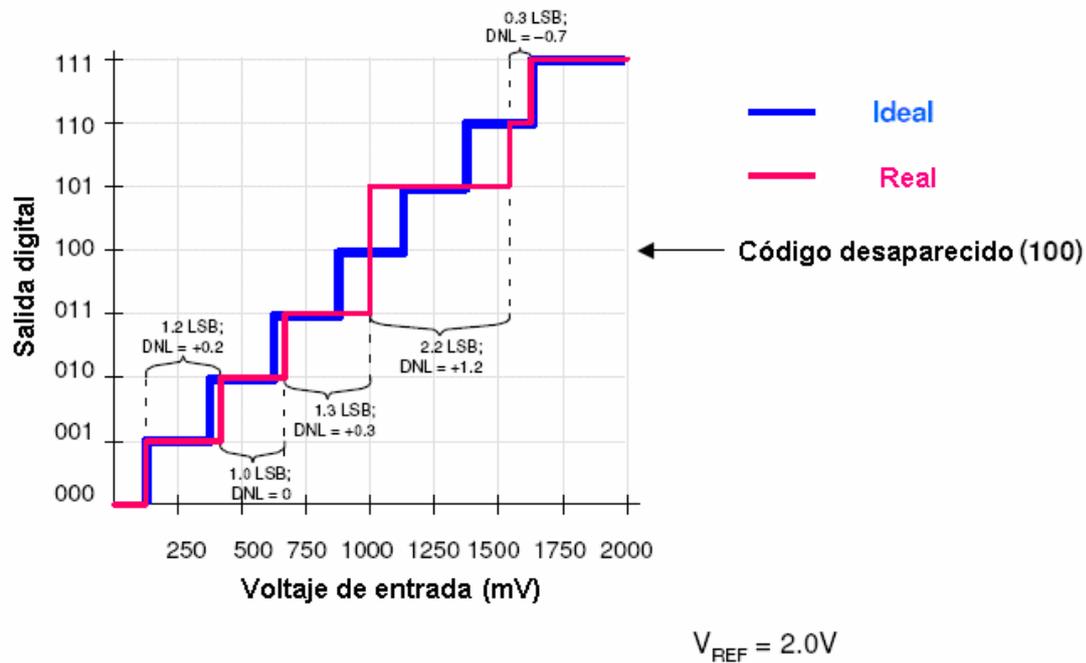


Figura 2-18: Comparación entre la función de transferencia de un ADC ideal (línea azul) y la de un ADC afectado por DNL (línea roja).

Cada escalón debería tener un ancho exacto de $1/8$ del rango completo de valores de entrada (FS). En el ejemplo de la figura la primera transición (de 000 a 001) es causada por una variación en el valor de entrada de $FS/8$ (250mV para el ejemplo mostrado de 2V), tal y como debería ser idealmente. La segunda transición, de 001 a 010, se corresponde con una variación de 1.2LSB en la señal de entrada, es decir, una diferencia de 0.2LSB con respecto al caso ideal. La tercera transición tiene exactamente el tamaño correcto. La salida digital del convertidor permanece anclada a un valor constante para valores analógicos de entrada comprendidos entre 1000mV y 1500mV aproximadamente, por lo que el código 100 nunca aparece a la salida. Es lo que se denomina código desaparecido (ver apartado 2.4.2.5). Para evitar este fenómeno es necesario mantener el DNL entre -1LSB y +1LSB.

Como ya se ha indicado previamente, el DNL de un convertidor es una especificación estática y se corresponde con el SNR (*Signal-to-Noise Ratio*, ver apartado 2.4.3.1), que es una especificación dinámica. Aunque el rendimiento del convertidor en lo que a ruido se refiere no puede ser calculado en base a su DNL, si que se puede afirmar que el SNR tiende a empeorar a medida que el DNL se aleja de cero.

2.4.2.2. No-linealidad integral (INL, Integral non-linearity)

No-linealidad integral, INL, (también conocida como error de linealidad integral o ILE y error de linealidad o LE) describe la desviación con respecto a la curva de transferencia lineal de un ADC ideal (ver figura 2.19).

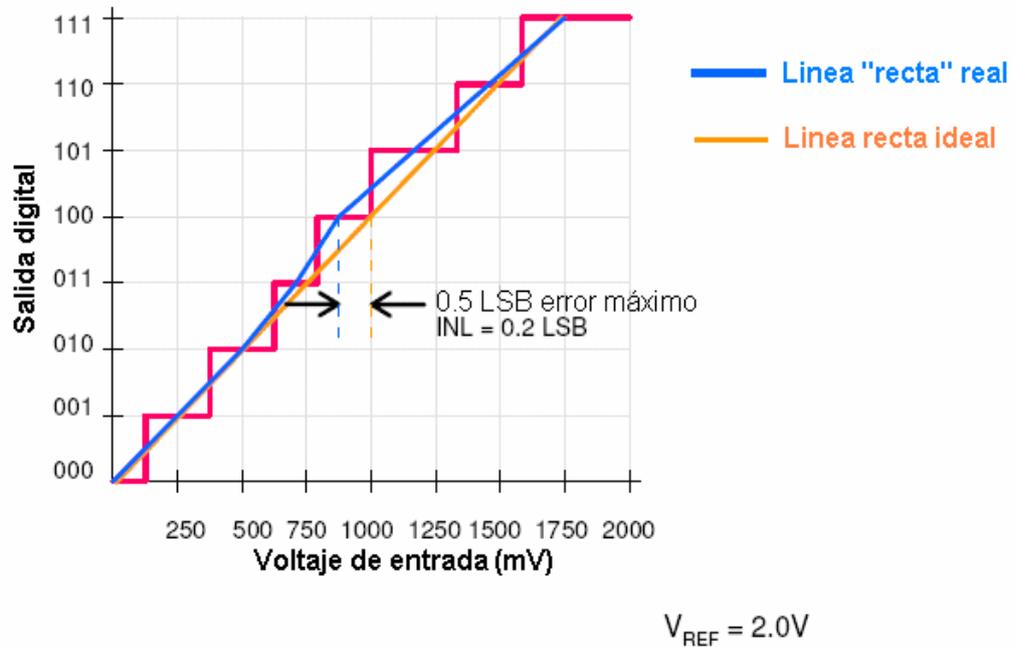


Figura 2-19: Función de transferencia de un ADC real. La línea azul muestra la desviación de ésta última con respecto a la de un ADC ideal.

El INL no incluye errores de cuantización (ver apartado 2.4.1), de *offset* (ver apartado 2.4.2.3) o de ganancia (ver apartado 2.4.2.4). Es una medida de la rectitud de la función de transferencia y puede ser mayor que la no-linealidad diferencial (DNL). El tamaño y distribución de los errores de DNL determinan el INL del convertidor.

En ocasiones se define un convertidor como “x-bits lineal”. Por ejemplo, un convertidor A/D de 10-bits de resolución y 4-LSB de no-linealidad se describe como un convertidor “8-bits lineal”, ya que 4 LSB para un dispositivo ADC de 10-bits es lo mismo que 1LSB para uno de 8-bits.

El INL es una especificación estática que se corresponde con el THD (distorsión armónica total) del convertidor (ver apartado 2.4.3.3), que es una especificación dinámica. Aunque el rendimiento del convertidor en lo que a distorsión se refiere no puede ser calculado en base a su INL, si que se puede afirmar que el THD tiende a empeorar a medida que el INL se aleja de cero.

2.4.2.3. Error de Offset

El error de offset indica el grado de correspondencia entre la función de transferencia real del convertidor y la ideal en un punto determinado de la misma. En un convertidor ideal la primera transición ocurre cuando el voltaje analógico de entrada supera $1/2\text{LSB}$. Cualquier desviación de este comportamiento (ver figura 2.20) es lo que se define como error de offset (también llamado error de offset de escala cero).

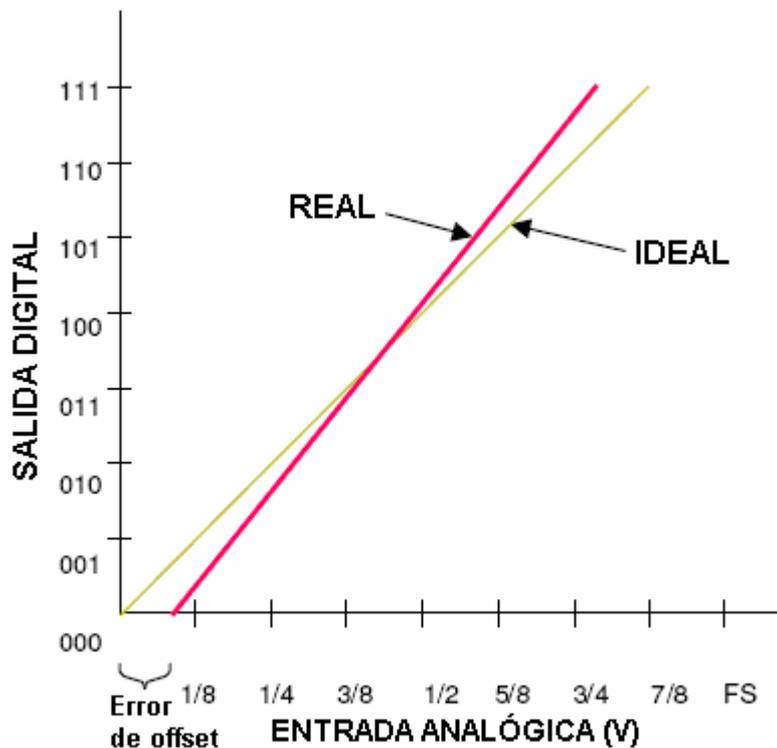


Figura 2-20: En un convertidor afectado por error de offset la primera transición de código se produce para un voltaje de entrada diferente al caso ideal.

Este error puede ser positivo o negativo dependiendo de si la primera transición es mayor o menor que la ideal y se expresa en porcentaje del rango de valores de entrada (%FSR), en voltios o en LSB.

El error de offset se mantiene constante con el tiempo, aunque puede depender de condiciones externas al convertidor, tales como la temperatura del mismo, y puede ser fácilmente corregido (factorizado o calibrado) por medio de software.

2.4.2.4. Error de ganancia

El error de ganancia es una indicación de cómo la pendiente de la función de transferencia de un convertidor A/D real se ajusta a la pendiente ideal (ver figura 2.21).

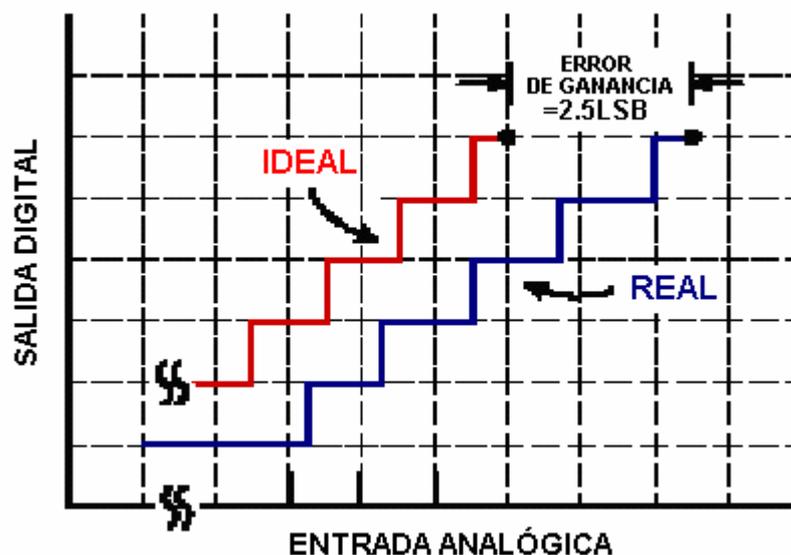


Figura 2-21: Ejemplo de la función de transferencia de un convertidor A/D afectado por error de ganancia.

Es expresado en LSB o en porcentaje del rango de valores de entrada (%FSR) y puede ser corregido mediante calibrado en el hardware o en el software del sistema.

2.4.2.5. Códigos desaparecidos

Cuando ningún valor analógico de entrada causa la aparición a la salida del convertidor de un determinado código digital, como es el caso del código 010 mostrado

en la figura 2.22, éste deja de estar presente en la función de transferencia y se denomina “código desaparecido”.

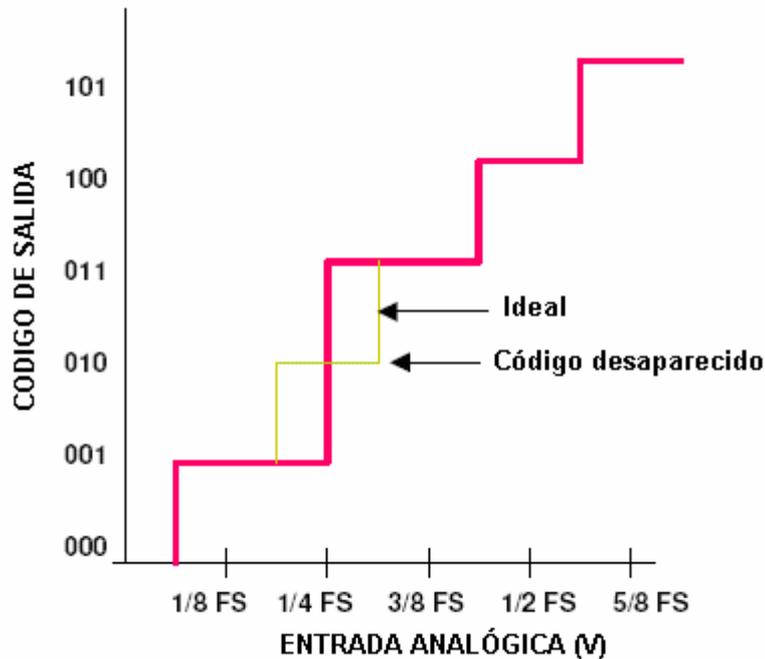


Figura 2-22: Función de transferencia de un ADC de 3-bits en el que el código 010 queda desaparecido.

La figura 2.22 muestra la función de transferencia de un ADC de 3-bits. La primera transición de código, de 000 a 001, se produce cuando el voltaje de entrada supera $1/2\text{LSB}$, que se corresponde con el caso ideal. La segunda transición ocurre cuando la entrada alcanza $1/4\text{FS}$, siendo por tanto el error lineal diferencial en éste punto de $+1/2\text{LSB}$. La tercera transición tiene un error lineal diferencial de 1LSB , lo que tiene como consecuencia que el código de salida salte de 001 a 011 sin pasar por 010 (código desaparecido).

Muchos convertidores A/D especifican que no tienen códigos desaparecidos, ya que ésta propiedad puede ser crítica en muchas aplicaciones.

2.4.3. Especificaciones dinámicas

El rendimiento dinámico de un ADC se especifica mediante parámetros obtenidos tras el análisis de los resultados en el dominio de la frecuencia. La herramienta más utilizada para este propósito es la transformada de Fourier (*FFT, Fast Fourier Transform*) de los códigos digitales de salida.

2.4.3.1. Relación señal-ruido (*SNR, Signal to noise ratio*)

SNR es el cociente, expresado en dB, entre el valor cuadrático medio (*rms, root mean square*) de la señal de entrada tras la conversión y el valor *rms* del resto de los componentes espectrales con frecuencia inferior a la mitad de la de muestreo, incluyendo los armónicos. Esto se puede simplificar diciendo que el SNR es la relación en dB entre el valor *rms* de la señal digital de salida y el valor *rms* de la señal de ruido en un cierto instante de tiempo.

En un convertidor ideal el único ruido presente es el de cuantización que, como ya se vio en el apartado 2.4.1, viene dado por $\Delta/\sqrt{12}$ ($\Delta=1\text{LSB}=\text{FS}/2^N$). El valor *rms* de una señal sinusoidal (señal utilizada para este tipo de análisis) es $\text{FS}/2\sqrt{2}$, por tanto en un convertidor ideal:

$$SNR_{ideal} = \frac{señal_{rms}}{ruido_{rms}} = \frac{\frac{FS}{2\sqrt{2}}}{\frac{FS}{2^N \sqrt{12}}} = \frac{2^N * \sqrt{3}}{\sqrt{2}} = 1.225 * 2^N \quad (2-21)$$

expresado en dB:

$$SNR_{ideal}(dB) = 20 \log(1.225 * 2^N) = 6.02N + 1.763 \quad (2-22)$$

En la práctica, en un convertidor real, existen diversas fuentes de ruido (no sólo el de cuantización) por lo que el SNR de un convertidor real se define como:

$$SNR_{dB} = 20 * \log_{10} \left(\frac{A_{señal[rms]}}{A_{ruido_total[rms]}} \right) \quad (2-23)$$

donde $A_{\text{señal[rms]}}$ representa la amplitud *rms* de la señal de entrada a la salida del convertidor, y $A_{\text{ruido_total[rms]}}$ es la suma *rms* de todas las señales de ruido (térmico, cuantización, etcétera), responsables de la disminución de la precisión de las conversiones.

2.4.3.2. Rango dinámico libre de espurios (SFDR, *Spurious free dynamic range*)

SFDR es la diferencia, expresada en dB, entre el valor *rms* de la señal de entrada a la salida del convertidor y el valor *rms* del mayor espurio (ver figura 2.23). Un espurio se define como cualquier señal presente en el espectro de salida no incluido en la señal de entrada al ADC.

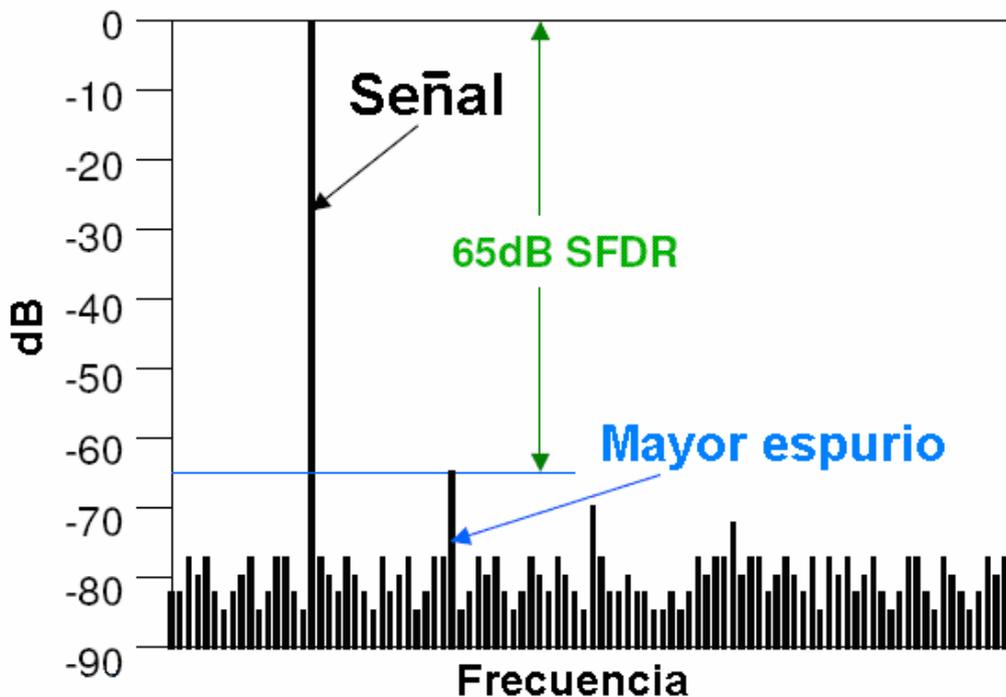


Figura 2-23: Gráfica de la FFT de una señal con un SFDR de 65dB

2.4.3.3. Distorsión armónica total (THD, *Total Harmonic Distortion*)

THD es el cociente, expresado en dB, de la suma *rms* de todos los armónicos presentes en el espectro de la señal de salida y el valor *rms* de la señal de entrada tras la conversión.

$$THD_{dB} = 20 \log_{10} \left(\frac{\sqrt{(A_{HD2[rms]}^2 + A_{HD3[rms]}^2 + \dots + A_{HDN[rms]}^2)}}{A[f_{in}]_{[rms]}} \right) \quad (2-24)$$

Donde $A[f_{in}]_{[rms]}$ representa el valor rms de la señal convertida y $A_{HDN[rms]}$ es el valor rms del armónico N.

Aunque por definición se incluyen todos los armónicos, en la práctica, los primeros seis de ellos representan la mayoría de la distorsión a la salida del convertidor, siendo suficientes para el cálculo del THD.

En un ADC muestreando una señal periódica, cualquier error dinámico así como las no-linealidades integrales (ver apartado 2.4.2.2) contribuyen a la distorsión armónica del convertidor. En señales sinusoidales puras, los componentes armónicos de distorsión a la salida del convertidor son múltiplos enteros de la frecuencia de la señal de entrada. Este hecho facilita en gran medida el algoritmo utilizado para el cálculo del SNR y THD (ver apartado 3.2 referente al análisis de la precisión de las conversiones) ya que restringe la búsqueda de los armónicos a determinadas áreas del espectro. Esta es una de las razones por la que las señales sinusoidales son las más frecuentes a la hora de evaluar el comportamiento dinámico de los sistemas ADC.

2.4.3.4. Relación señal-ruido plus distorsión (SINAD, *Signal to noise plus distortion*)

La relación señal-ruido plus distorsión (SINAD, SNDR o S/N+D) es una combinación de las especificaciones de SNR y THD del convertidor. Se puede definir como el cociente entre el valor *rms* de la señal de salida y el valor *rms* del resto de componentes espectrales por debajo de la mitad de la frecuencia de muestreo, incluyendo los armónicos pero excluyendo componentes DC. Su valor puede ser fácilmente obtenido a partir de los valores SNR y THD del convertidor:

$$SINAD = -20 * \log \sqrt{10^{-\frac{SNR}{10}} + 10^{-\frac{THD}{10}}} \quad (2-25)$$

Se trata de una medida general del comportamiento dinámico del ADC, ya que compara componentes en frecuencia indeseados con la frecuencia de entrada.

En el cálculo del SINAD se tiene en cuenta en igual medida tanto al SNR como al THD del convertidor. Por tanto, será máximo cuando SRN sea igual a -THD.

2.4.3.5. Número efectivo de bits (*ENOB*, *Effective number of bits*)

El número efectivo de bits es una de las especificaciones dinámicas más utilizadas para convertidores A/D reales, ya que es un indicador global de la resolución del sistema para una determinada frecuencia de la señal de entrada a una cierta velocidad de muestreo [6].

Se calcula en base a los datos digitales de salida del convertidor como [5]:

$$ENOB = N - \log_2 \left(\frac{A_{error_medido} [rms]}{A_{error_ideal} [rms]} \right) \quad (2-26)$$

Donde N es la resolución del convertidor, es decir, el número de bits del mismo, $A_{error_medido[rms]}$ es el valor *rms* medio del ruido medido y $A_{error_ideal[rms]}$ representa el error de cuantización que, como ya se vio en el apartado 2.4.1, puede ser expresado como:

$$A_{error_ideal[rms]} = \frac{LSB}{\sqrt{12}} = \frac{FS}{2^N \sqrt{12}} \quad (2-27)$$

y por tanto:

$$ENOB = \log_2 \left(\frac{A_{FS}}{A_{error_medido[rms]} * \sqrt{12}} \right) \quad (2-28)$$

También se puede expresar en función del SINAD como:

$$ENOB = \frac{(SINAD - 1.763)}{6.02} \quad (2-29)$$

En resumen se puede definir el ENOB como un método de especificación de la resolución del sistema e indica que el convertidor es equivalente a un ADC ideal de ese número (ENOB) de bits [35].

A pesar de ser una especificación dinámica (por ser calculada a partir del SINAD), en ella quedan reflejadas todas las imperfecciones del sistema, es decir, engloba la totalidad de fuentes de ruido, siendo así la mejor manera de comparar el rendimiento de diferentes conversiones. Es por ello que a lo largo de ésta tesis se usará exclusivamente el ENOB como medida de la precisión de los ADC.

2.5. Limitaciones

A la hora de diseñar un sistema ADC se suelen tener dos especificaciones fundamentales: la resolución del mismo y la frecuencia de muestreo de la señal analógica de entrada. Sea cual sea la arquitectura del convertidor todos tienen algo en común: la resolución es inversamente proporcional a su ancho de banda. Por tanto es muy importante tratar de encontrar un compromiso entre ambas características.

Sin embargo siempre se ha de tener en cuenta que la resolución final depende de muchos otros aspectos además de la propia precisión del convertidor. En un ADC ideal el único error presente es el causado por la cuantización. En la práctica, sin embargo, los errores presentes en las conversiones se deben a otros muchos factores tales como los códigos desaparecidos, no-linealidades, jitter en la señal de reloj, ruido en los voltajes de referencia, ruido procedente de otros sistemas, etcétera. De esta forma la resolución efectiva (ENOB) en un convertidor real siempre será inferior al número de bits del mismo.

Es importante resaltar la diferencia entre la resolución de un convertidor y su resolución efectiva. El primer término hace referencia al número de bits a la salida del dispositivo, es decir, la cantidad de bits utilizados en la representación digital de cada valor analógico de entrada muestreado. La resolución efectiva o ENOB es una especificación de la precisión alcanzada en las conversiones. Debido a las limitaciones reales anteriormente comentadas en un sistema ADC la resolución efectiva del mismo siempre es inferior al número de bits a la salida. Supongamos un valor analógico de entrada completamente constante. En teoría deberíamos obtener un único valor digital a

la salida. Sin embargo una mínima variación del voltaje de referencia utilizado provoca un cambio proporcional al resultado de las conversiones. Así, mientras que la resolución del convertidor (el número de bits) es una característica inalterable del mismo, su resolución efectiva (ENOB) dependerá de muchos factores externos al mismo que limitan la precisión final alcanzada.

Muchos diseñadores tratan de solventar el problema de una baja precisión en los sistemas ADC mediante la mera sustitución del convertidor por otro de un mayor número de bits. En la mayoría de los casos esto no aporta ninguna mejora ya que las principales limitaciones en el rendimiento del sistema vienen dadas por ruidos externos al ADC (voltajes de referencia, layout, señal de reloj, etcétera).

A lo largo de este proyecto se planteó como objetivo fundamental, no sólo la obtención de un sistema con una resolución efectiva de aproximadamente 16-bits para señales de entrada de frecuencia máxima 100KHz, sino además, la investigación de los factores que tienen mayor influencia en la precisión final del ADC. Esto último es lo que se expone a continuación (capítulo 3) donde se especifican cuáles son las fuentes principales en la limitación de la resolución efectiva de un ADC y como tratar de evitarlas o, al menos, reducir sus efectos.

3. ADC Systems

ADC Systems. In this chapter the main stages of an ADC-System are described. Each of the different blocks which make up the whole system, that is, the input stage, power supply, reference voltages, the signal clock, the digital process and the layout of the PCB are introduced. Moreover, it will be stated which limitations each of these stages have for the accuracy of the converter and how to reduce them. Lastly, the procedure used to analyze the precision of the conversion is introduced, describing the hardware and software utilized during such measurements.

3.1. Description of the main stages and the influence of each on the final precision of the complete system

An ADC-System is not just a converter. It is made up of several components and/or subsystems, all of them affecting differently the effective precision and therefore complicating the design of high resolution ADCs. To make it easier the system is divided into blocks (figure 3.1), which are studied separately [13].

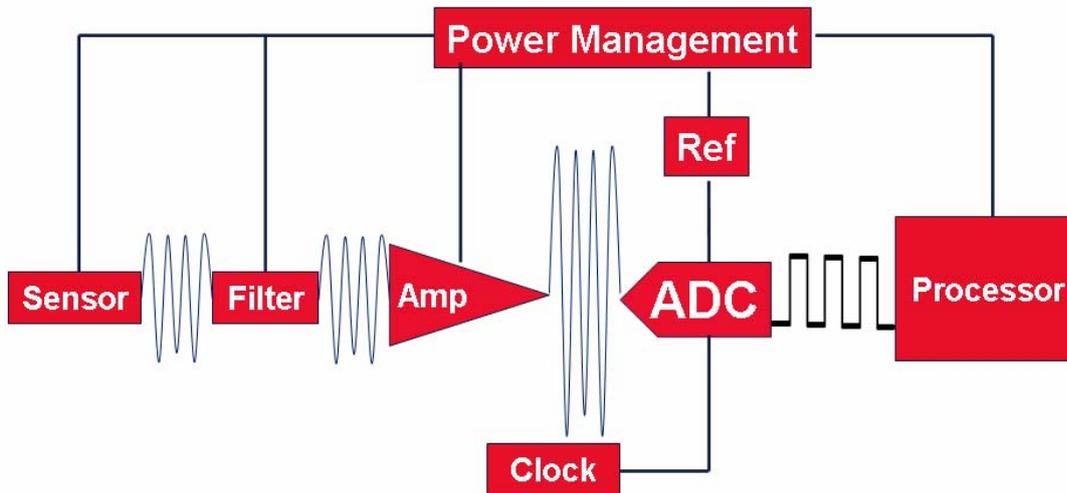


Figure 3-1: Block diagram for an ADC-System.

What follows is an explanation from the experiences collected during this thesis about which facts should be considered for each of these blocks when designing high resolution ADC systems.

3.1.1. Input stage: Adaptation and filtering of the input signal

In the real world the need for amplifiers is driven by the fact that the world is analogue and in general unfriendly to many data converter designs. Some signals, such as those from human body are so tiny, μV to mV , that they need to be greatly amplified [44]. In many cases these signals are differential in nature. Another real world situation is that the signal to be analyzed is in the presence of external noise or interferences. The signal might be “riding” on top of a common mode voltages that the data converter can not accommodate. Thus, the two main tasks of amplifiers in ADC systems are to adapt and to filter the analogue input signal [10].

Careful attention must be paid to the input drive requirements of high-resolution ADC’s systems to assure that they will not affect negatively the performance of the system [29]. There are many facts that must be taken into account when interfacing analogue-to-digital converters with operational amplifiers (OP) [23] [30]. By means of gained experience throughout this project, it was noticed that there are two of them which have a higher influence and which are next discussed:

- **Bandwidth:** the gain bandwidth product (GBP) specified for the OP must be higher than the frequency of the signal of interest and always taking into account that the value of former depends on the power supply of the amplifier.

A further consideration with respect to bandwidth is Slew Rate (SR), it is measured in V/ μ s and it refers to how the device reacts against changes in the input signals, that is, the SR is the rate of change in the output voltage caused by a step change at the input. The following figure (figure 3.2) shows SR graphically:

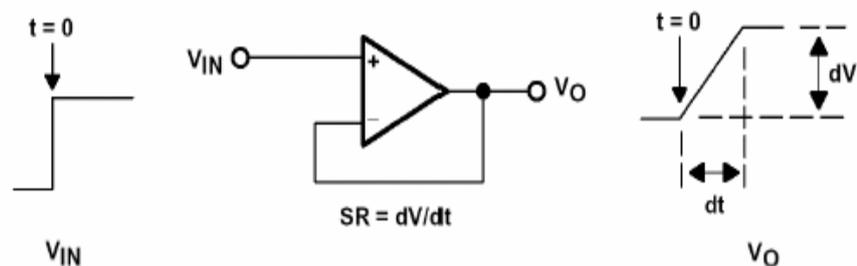


Figure 3-2: Representation of the slew rate in an OP.

In order for an amplifier to pass a signal without distortion due to insufficient SR, the amplifier must have at least the maximum SR of the signal. The maximum SR of a sine wave occurs as it crosses zero. The following equation defines this slew rate:

$$SR_{op} = 2 * \pi * f * V \quad (3-1)$$

where V means peak voltage and f is the frequency of the signal.

Let us suppose an OP with SR=120V/ μ s, which is a high value in current amplifiers. If the frequency of the input signal is up to 10MHz the maximum allowed input voltage will be just 1.9V. This example provides a clear idea about how the SR may limit the applications of the device.

- **Resolution:** In order to get the highest resolution from the system the signal-to-noise ratio (SNR) and total-harmonic distortion (THD) of the amplifiers must be

better than in the converter itself. In 16- and 18- bit systems, the performance of the driver becomes a considerable design challenge.

SNR (Signal to Noise Ratio) is the ratio, expressed in dB, of the rms value of the input signal at the output to the rms value of the sum of all other spectral components below one-half the sampling frequency, not including harmonics or dc.

$$SNR(dB) = 20 \cdot \log \frac{E_F}{E_N} \quad (3-2)$$

The net SNR degradation due to the amplifier will be equal to:

$$SNR_{LOSS} = 20 \cdot \log \left(\frac{N_{ADC}}{\sqrt{N^2_{ADC} + \frac{\pi}{2} f_{-3dB} \left(\frac{2.5Ne_N}{FSR} \right)^2}} \right) \quad (3-3)$$

Where N_{ADC} means rms noise of the ADC in microvolt, f_{-3dB} is the -3dB input bandwidth of the ADC in MHz (or the cut-off frequency of the ADC input filter, if used), N represents noise gain of the amplifier (1 if in buffer configuration), e_N is the equivalent input noise voltage of the OP in nV/\sqrt{Hz} and FSR means full-scale input span of the ADC

THD is the ratio of all other frequency components to the fundamental.

$$THD(dB) = 20 \cdot \log \frac{\sqrt{E_{H2}^2 + E_{H3}^2 + \dots + E_{HN}^2}}{E_F} \quad (3-4)$$

THD compares the frequency content of the output signal to the frequency content of the input. Ideally, if the input signal is a pure sine wave, the output signal is a pure sine wave. Due to nonlinearity and noise sources within the op amp, it is never possible to reach the ideal case.

Moreover, the THD characteristic of the system decreases with higher source impedances, that is, the maximum source impedance of the OPs will be determined by the desired THD for the ADC.

Both specifications (SNR and THD) are used to calculate the ENOB (Effective Number of Bits) as it was introduced before (see 2.4.3), which is the best indicator of the final resolution of the system.

Throughout the three different designs developed for this project (see section 4), it was deeply researched diverse kinds of OPs and configurations of the input stage. Although the specific results are exposed on section 4, here the main conclusions of these investigations are shown.

There are two main types of OPs: voltage feedback and current feedback. Table 3.1 shows schemes, advantages and disadvantages of both.

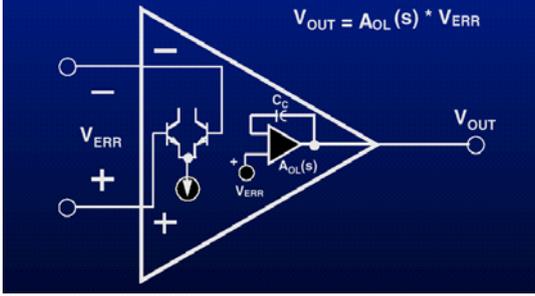
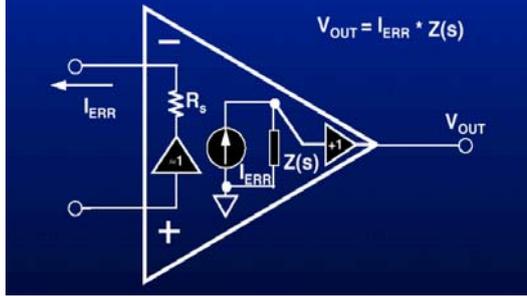
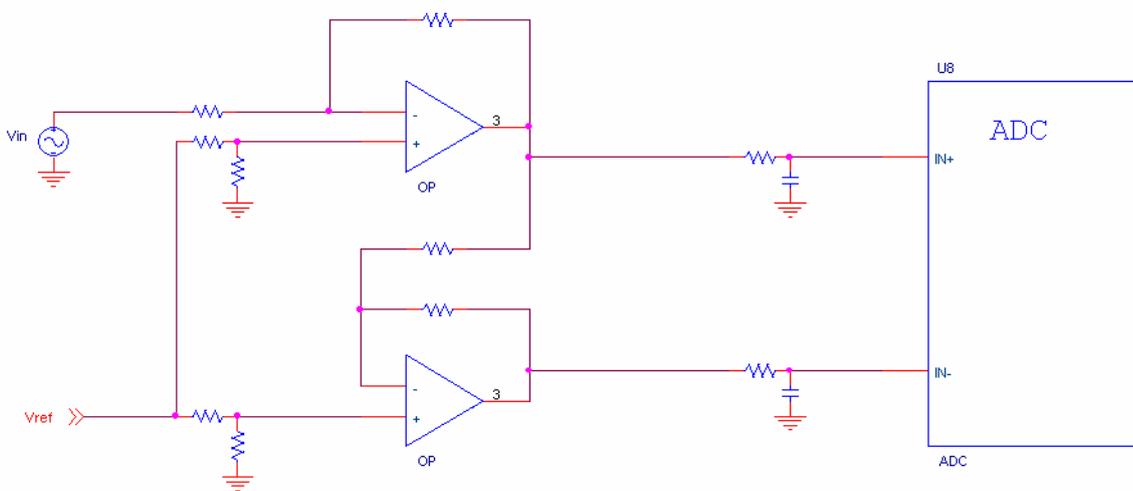
<p style="text-align: center;">Voltage Feedback Op-Amps</p>	<p style="text-align: center;">Current Feedback Op-Amps</p>
<p style="text-align: center;">VOLTAGE FEEDBACK AMPLIFIER BLOCK DIAGRAM</p> 	<p style="text-align: center;">CURRENT FEEDBACK AMPLIFIER BLOCK DIAGRAM</p> 
<p style="text-align: center;">Advantages:</p> <ul style="list-style-type: none"> • “Error” signal is a voltage • Input stage is matched or symmetric • High levels of DC accuracy 	<p style="text-align: center;">Advantages:</p> <ul style="list-style-type: none"> • “Error” signal is a current • Bandwidth is independent of closed loop gain • Higher speed • Always unity gain stable
<p style="text-align: center;">Disadvantages:</p> <ul style="list-style-type: none"> • Bandwidth is dependent on closed loop gain • Some are not stable in unity gain 	<p style="text-align: center;">Disadvantages:</p> <ul style="list-style-type: none"> • Input stage is not symmetric • Not as accurate • Higher bias current • More current noise

Tabla 3-1: Main characteristics of both types of operational amplifier (voltage and current feedback).

After numerous investigations the best exponent found for each kind of OP found are the AD8021 [20] (voltage feedback) and THS3001 [21] (current feedback). Although both of them provide similar results, the AD8021 was chosen for the final design as its SNR and THD characteristics offer higher accuracy.

As regards configuration of the input stage there are two main types: single ended input and differential input (figure 3.3) [25]

Single-Ended input configuration



Differential input configuration

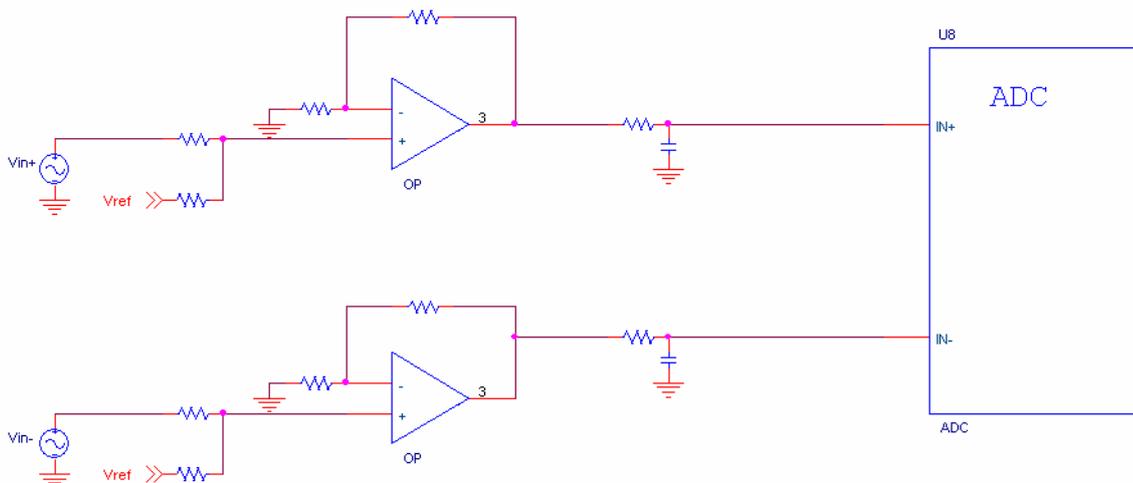


Figure 3-3: Single-ended (top) and differential (bottom) input configuration

The graph on figure 3.4 shows a comparison of the obtained results with both configurations.

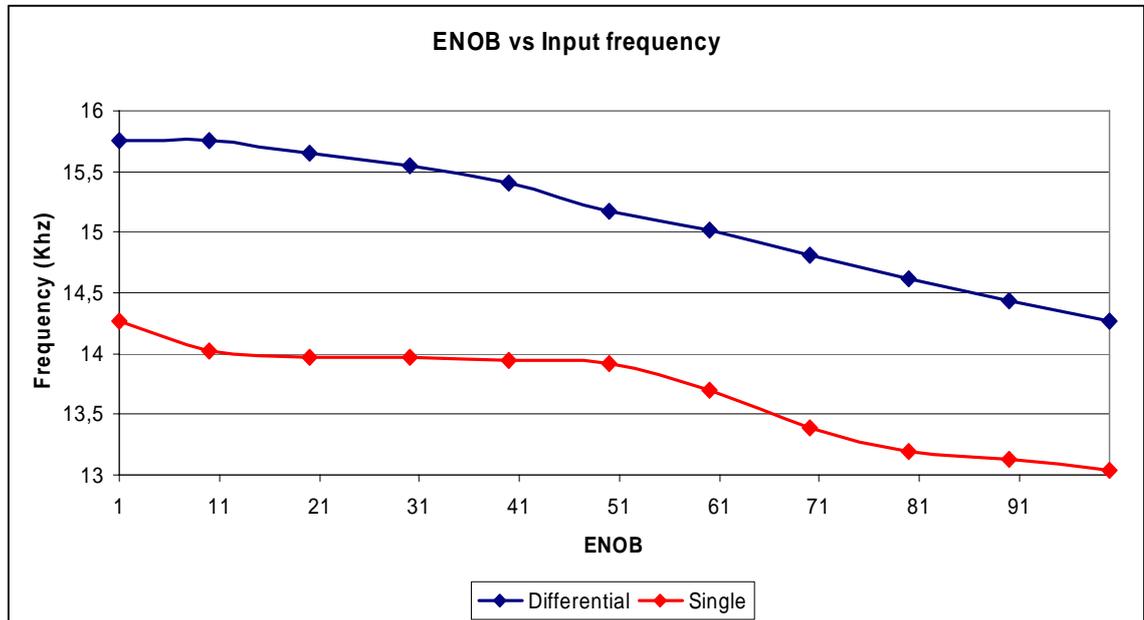
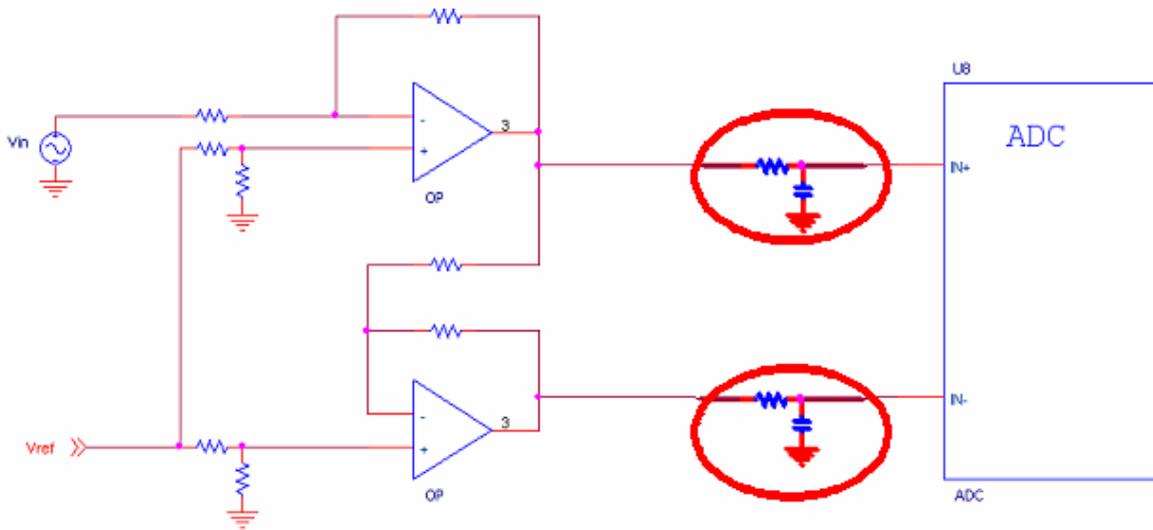


Figure 3-4: Comparison of results (ENOB, Effective Number of Bits) obtained with a differential and single-ended input configuration.

As it can be seen from the graph, a differential input stage offers better results. This is because, as it was explained before, even high resolutions OPs add some noise on the signal. In the single-ended input configuration the analogue input signal flowing to the minus pin of the ADC has to pass through two OPs and then being double diminished than in the differential input configuration.

Last but not least important for the input stage are the resistor and capacitor between OP and converter (figure 3.5).

Single-Ended input configuration



Differential input configuration

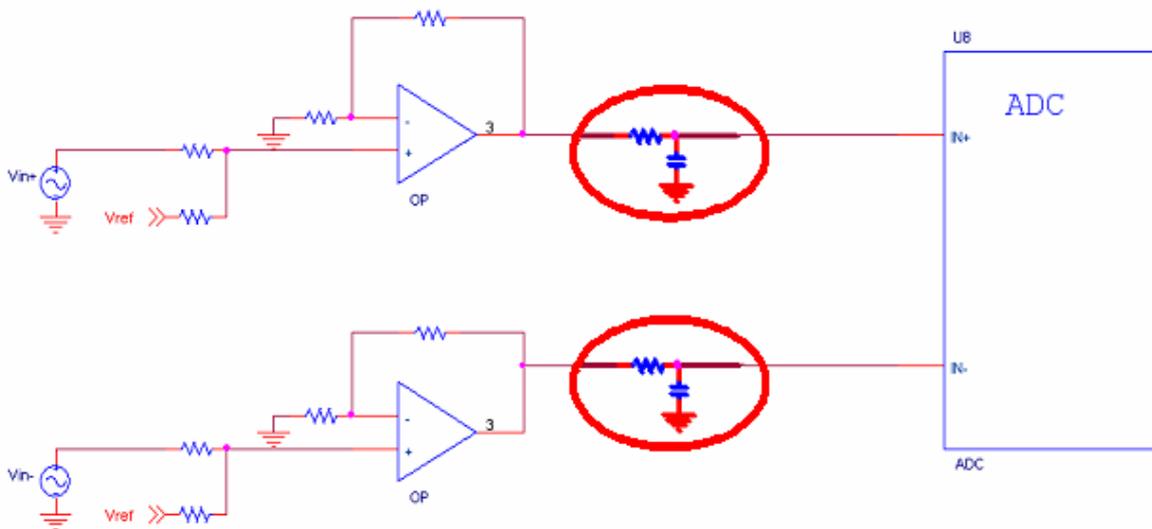


Figure 3-5: RC filter between the input stage and the converter.

The capacitor serves several purposes: to store energy to charge the internal sampling capacitor, to provide a place for the internal capacitor's charge injection to go, and to reduce noise at the input of the ADC. The best way to give a value for this capacitor is by calculating the charge needed to charge the internal sampling capacitor (C_{SH}) of the ADC to the reference voltage. The requirement for the external capacitor is

that it provides a less than 5% droop when supplying the charge. For example, the AD7674 has a $C_{SH}=60\text{pF}$ and $V_{REF}=5\text{V}$, that is,

$$Q_{SH} = C_{SH} * V_{REF} = 300\text{pC} = C_{EXT} * (0.05 * V_{REF}) \Rightarrow C_{EXT} = 1.2\text{nF}$$

This value is just a starting point and it will be necessary to optimize it by means of trying with different values around the calculated one and analyzing the results.

The external RC must settle within the acquisition time of the converter (t_{ACQ}), so the maximum RC time constant can be figured from the converter's t_{ACQ} . It is recommended to set the external RC settling (t_{settle}) a bit faster (around 70%), to allow some margin for the OP load transient and small signal settling time. Using this guideline, the required resistance can be calculated.

3.1.2. Power supplies

In order to obtain the best performance from a mixed-signal system, it is very important to understand the effects of PSRR (Power Supply Rejection Ratio) on the overall resolution, and thus, be able to compensate for them. The fact is that the PSRR of converter devices appears excellent at first glance but a look at the power supply rejection versus frequency of some amplifiers inside the converters tells the real story [27]. This is because in most of the devices, the PSRR indicates the change in full scale range (FSR) for a given change in the DC supply voltage, usually expressed in dB.

$$PSRR = 20 \cdot \log\left(\frac{\Delta GainError}{\Delta Supply}\right) \quad (3-5)$$

For example, the ADS1625 (18-bit converter) [15] specify a 65dB PSRR, that is, a variation of 100mV in the power supply voltage results in a change in the FSR of 0.056mV. With an analogue input signal range of 10V that means a minimal effect of 1.47 LSB. The difference in gain error is determined by taking two gain error measurements. One reading is taken with a stable, noise-free supply of ΩV and the other is with a stable, noise-free supply of $(\Omega\text{V}\pm 100\text{mV})$. This information only shows how this one specified parameter can be expected to change with individual power supply variations. However, other specifications may have more or less sensitivity to noise on the power supply, so the usefulness of such a specification is questionable.

Generally, the PSRR of an analogue device will be worse with an AC signal riding on its supply than it will with a change in the DC level of the power supply.

Any signal or noise on the supply lines will couple into the active circuitry through the stray capacitances and gain of the bias network and be amplified by the active circuitry on the die. These unwanted signals degrade the performance of the device. Current circuits use many techniques to improve PSRR, but no analogue circuit is totally immune to supply noise [46]. One source of power supply noise comes from the output switching of an ADC. The change of output states will cause supply current transients as the output drivers charge the capacitance on the output pins. Without adequate supply bypassing, these current transients will cause voltage fluctuations on the supply line. The resulting high frequency noise on the supply line causes noise in the bias circuitry, which further degrades the SNR of the ADC.

To minimize the effects of noise on the power supply, the analogue and digital supply pins should be separately decoupled for both high and low frequencies by means of bypass capacitors [49]. These should be kept close to the power pin it is decoupling. Via holes must be placed on the outboard side of the capacitor lead when feeding the power trace from an internal plane (figure 3.6). Putting via holes to the power plane between the capacitor and power pin can reduce the effectiveness of the capacitor. It is important as well to ensure that the capacitors have a short, low impedance ground return path.

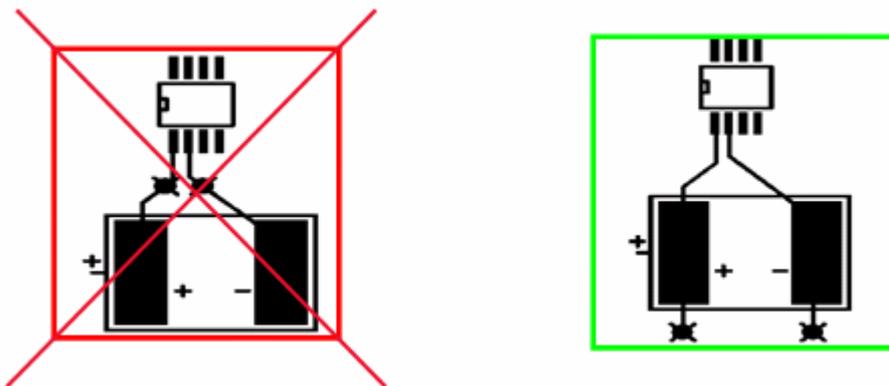


Figure 3-6: Vias holes must be placed on the outboard side of the capacitor lead in order to obtain the maximum capacitor's effectiveness.

Power supply noise can be further reduced by keeping the analogue power plane over the analogue ground plane, when a split ground plane is used, or by routing the power trace away from any digital components when a single ground plane is used.

3.1.3. Reference voltages

An ADC-System will be as accurate as the reference used. Analogue-to-digital converters do not measure the analogue input signal but compare it with a reference. The equation below shows the ideal transfer function for an ADC.

$$code = \frac{V_{in}}{V_{ref}} 2^N \quad (3-6)$$

From the equation, it follows that if the reference for the ADC is noisy, so too will the measurements. An interesting fact is that larger signals tend to be affected by the reference more than smaller signals. Thus, for example, using an ultra-precision and low-noise reference voltage with initial accuracy of 0.04% in an 18-bit ADC-System and a 2V-input signal, the variations in the reference will cause an error of 42 LSB.

The three main problems to defeat in a voltage reference circuit are noise, drift, and initial accuracy [41]. The simplest way to reduce voltage reference noise is by mean of filtering. This is easily done using large capacitors. Typically, the larger the capacitor, the better. However, there is a diminishing return associated with capacitance, so it is always best to start with a reference that has low noise. The easiest way to deal with drift is using a temperature sensor and compensate in software. Absolute reference inaccuracies must be calibrated out. In many small-signal measurement applications, this happens as part of the overall system calibration process [42].

3.1.4. Signal Clock and jitter

Ideally a clock signal would rise or fall consistently from one pulse to the next. In practice, there are a number of reasons why this does not happen [56]. This variation from the ideal timing is known as jitter and it may be caused by many different factors stated below [14]:

a) *Noise on the power supply (Vdd) or ground (GND).*

A noisy signal riding on Vdd or on GND changes the voltage levels of the signal clock, thus causing a shift in the timings the signal crosses a certain voltage value (jitter), which will be proportional to the slew rate (figure 3.7).

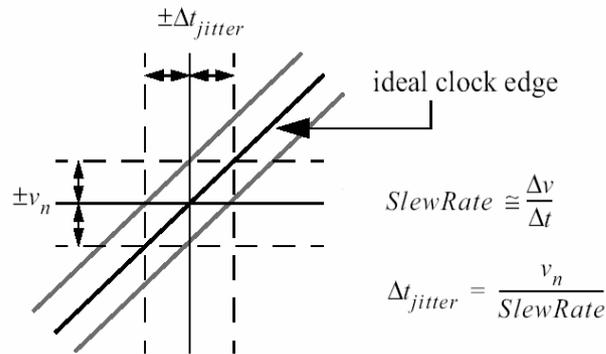


Figure 3-7: Jitter due to noise in the power supply signal or in the ground plane.

b) *Printed circuit board layout issues.*

Special attention needs to be given to power lines supplying jitter sensitive circuitry. On the Printed Circuit Board (PCB), these traces should be as wide as possible to minimize inductance, which leads to voltage ripple when the load current changes [55]. It is best to maintain a continuous ground plane under such circuits, with connections between the power supply pins and this ground plane as short and direct as possible.

c) *Jitter due to crosstalk.*

If two traces carrying logic signals run parallel to each other, capacitive or inductive coupling will place a component of each signal onto the neighbouring circuit. This effect is known as crosstalk. As it is shown in figure 3.8, if that happens on a signal clock, it will cause jitter.

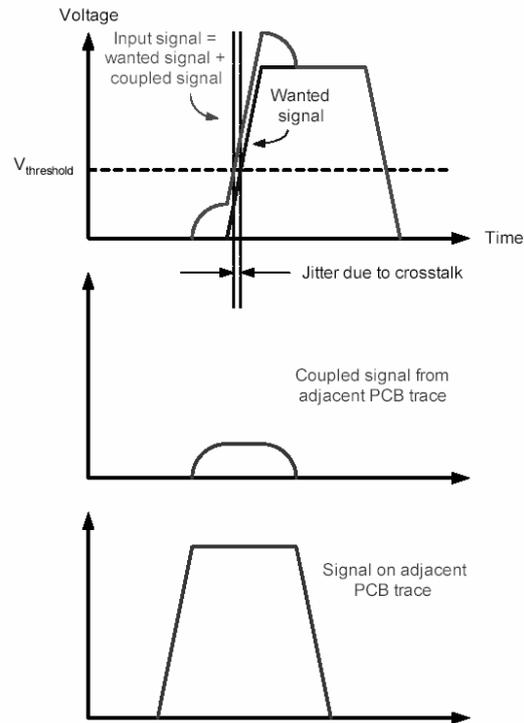


Figure 3-8: Jitter due to crosstalk.

3.1.4.1. How the resolution of an ADC-System is affected by jitter in the signal clock

Analogue-to-digital converters are one of the most sensitive devices to jitter and, in particular, those with a very high resolution. Unlike other errors in the system, such as offset in the input signal or in the reference voltages, which can be corrected by software, any kind of flaw on the signal clock will cause distortion and/or noise in the converter that it can not be removed in other stages.

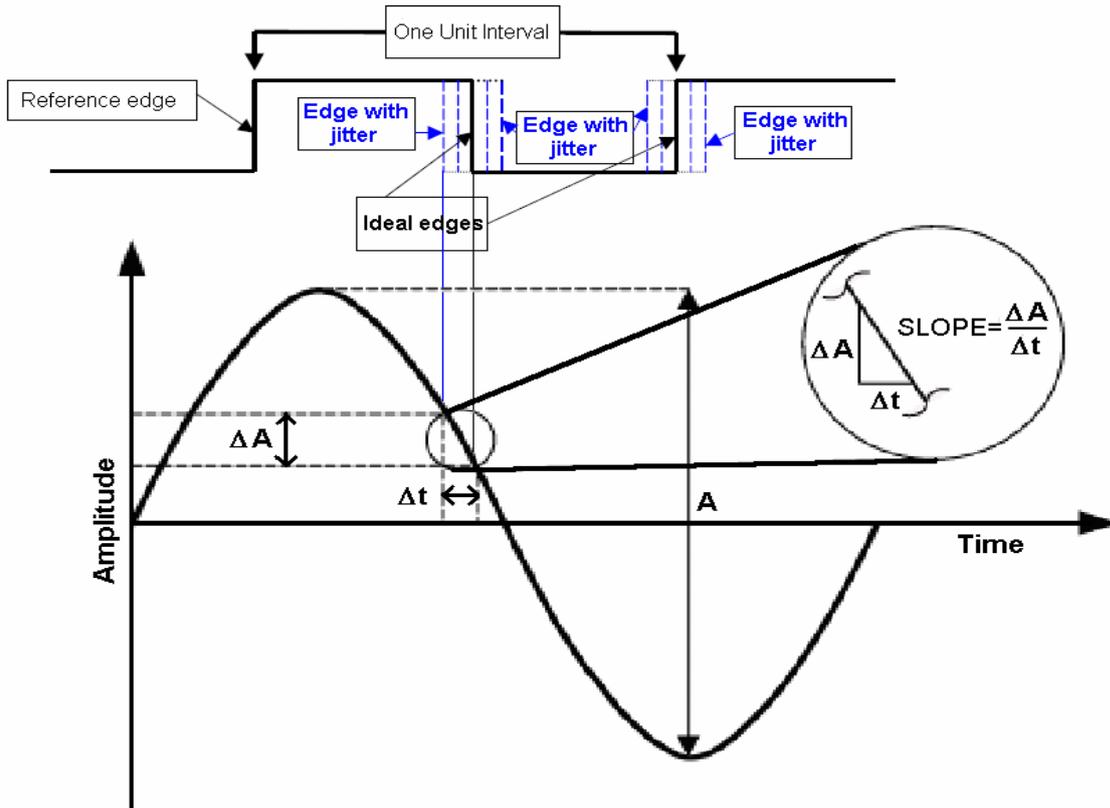


Figure 3-9: Jitter on the sampling signal causes the ADC to falsely trigger the input signal.

Figure 3.9 shows how jitter generated by a clock source can cause the ADC's internal circuitry to falsely trigger the sampling time. Uncertainty in sampling time Δt equates to uncertainty in amplitude ΔA . This results in false sampling of the analogue input amplitude, thus degrading the SNR of the ADC [31].

In an ideal case the sampled value is given by the expression:

$$V_{ideal}(n) = \frac{A}{2} \cdot \sin(2 \cdot \pi \cdot F_{in} \cdot t_n) \quad (3-7)$$

with

$$t_n = \frac{n}{F_{sampling}} \quad (3-8)$$

t_n representing the sampling instants of the analogue input signal and $n=0,1,2,\dots$ the order of the samples.

With jitter on the signal clock, the obtained value would be

$$V_{sampled}(n) = \frac{A}{2} \cdot \sin(2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \quad (3-9)$$

where Δt is the jitter value at each sampling instant.

The digital output code after the conversion is

$$code(n) = \frac{V(n)}{LSB} = \frac{V(n)}{A} \cdot 2^N \quad (3-10)$$

N being the resolution of the ADC.

When the analogue input signal is sampled with jitter, the variation suffered by the digital output code will be

$$\begin{aligned} \Delta code(n) &= \frac{\Delta V(n)}{A} \cdot 2^N \\ &= \frac{V_{ideal}(n) - V_{sampled}(n)}{A} \cdot 2^N \\ &= 2^{N-1} [\sin(2\pi F_{in} t_n) - \sin(2\pi F_{in} (t_n + \Delta t))] \end{aligned} \quad (3-11)$$

If the jitter is low then the next approximation may be done

$$\begin{aligned} &\sin(2 \cdot \pi \cdot F_{in} \cdot t_n) - \sin(2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \\ &\cong (2 \cdot \pi \cdot F_{in} \cdot t_n) - (2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \end{aligned} \quad (3-12)$$

and therefore

$$\Delta code(n) = \pm 2^N \cdot \pi \cdot F_{in} \cdot \Delta t \quad (3-13)$$

As it was previously shown, jitter caused by noise in the signal clock can be expressed as

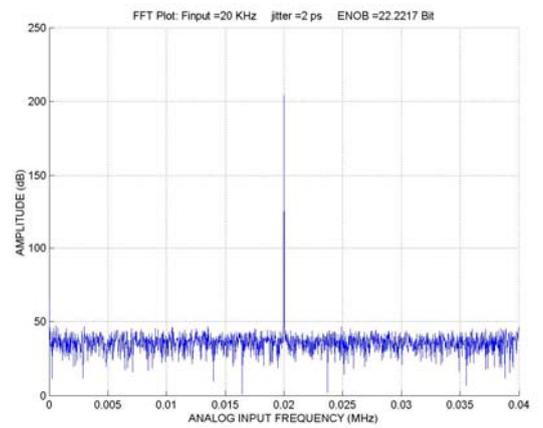
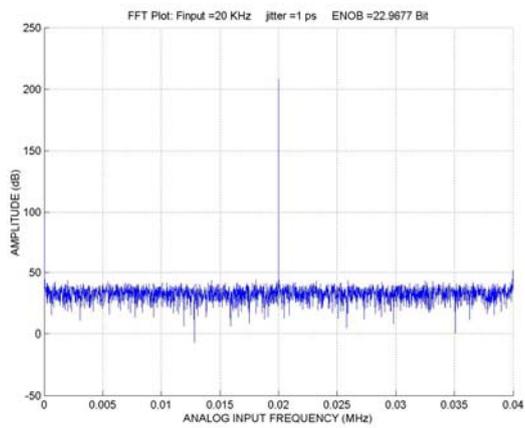
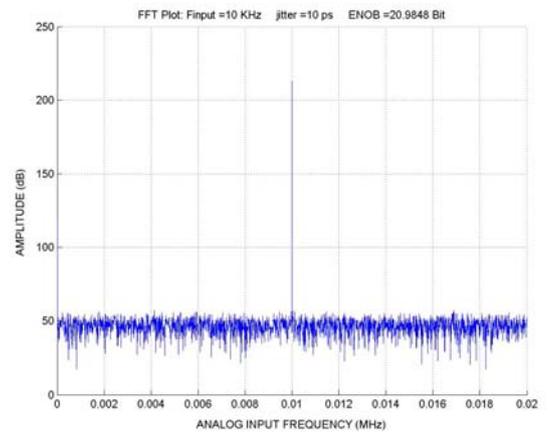
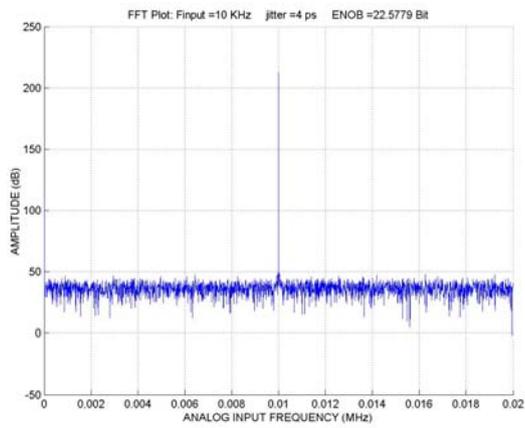
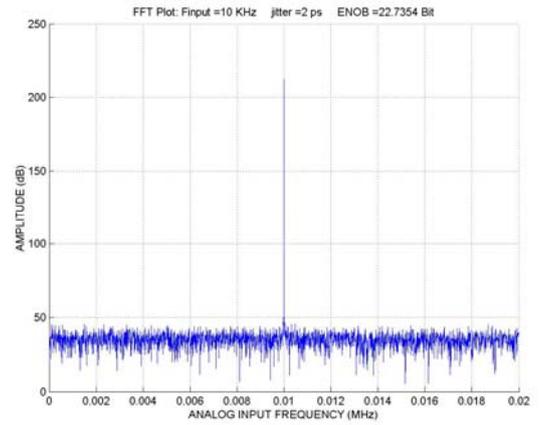
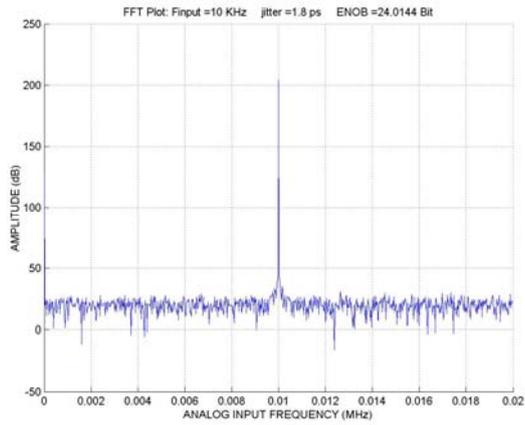
$$\Delta t = \frac{\Delta V_n}{Slewrate} \quad (3-14)$$

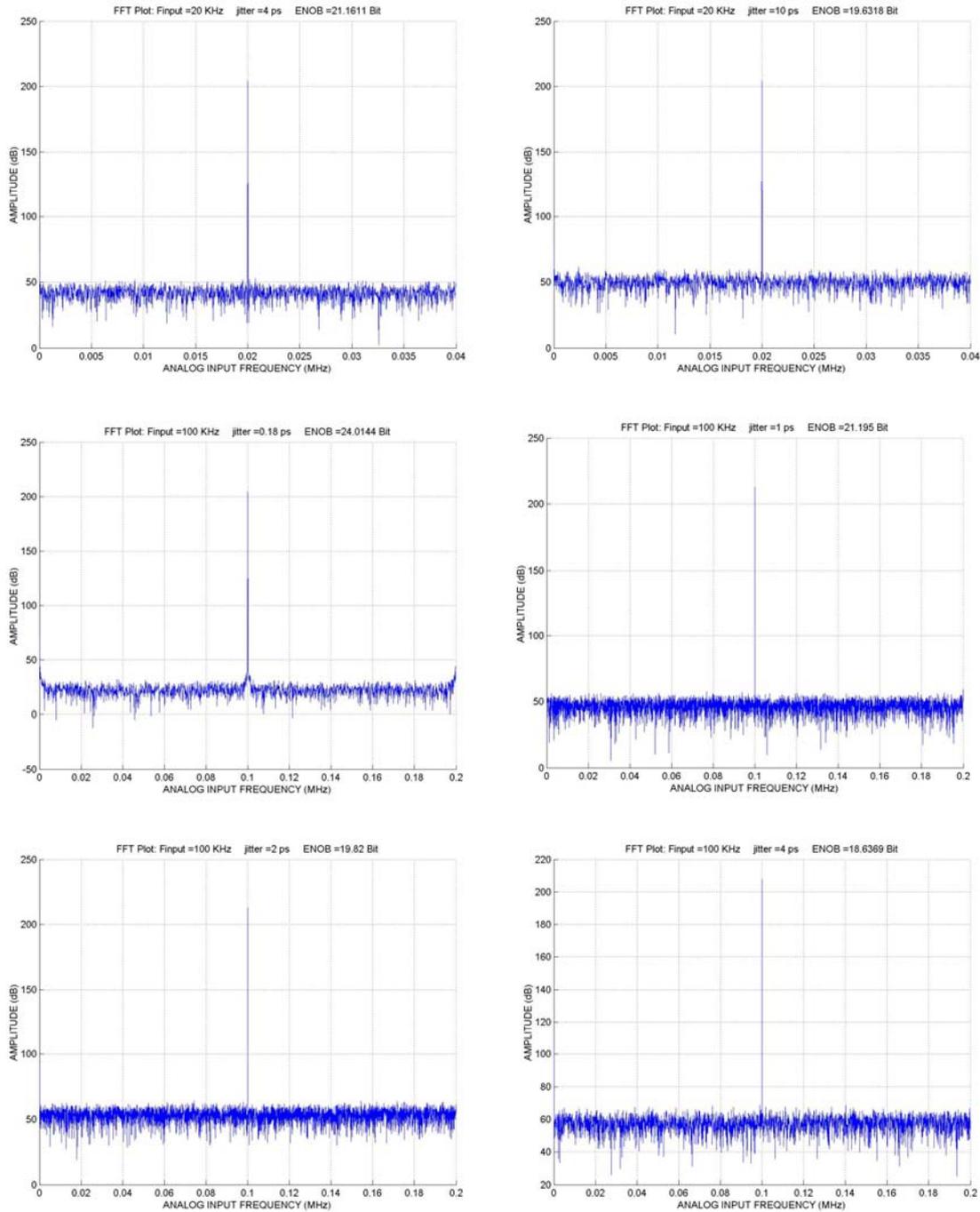
And thus the deviation in the output codes from the ideal values due to noise will be

$$\Delta code (n) = \pm 2^N \cdot \pi \cdot F_{in} \cdot \frac{\Delta V_n}{Slewrate} \quad (3-15)$$

As it can be deduced from the equation above, when designing the signal clock circuit of the system, it is not only important to do it with the lowest possible jitter but as well to prevent noise on the power supplies and ground and to have a high slope for the transitions. Furthermore, the requirements of the sampling signal can be found by means of the last shown equation and depending on the frequency of the analogue input signal and the converter's resolution. Let's suppose a 24-bit audio system. The maximum jitter which will not affect the output codes is 1ps. Current low jitter oscillators have about 5ps and therefore the effective resolution of these systems are in practice lower than 20-bit.

A MATLAB application was developed in order to analyze the effects of noise in the signal clock on the effective resolution of an ADC. It is possible to simulate input signals sampled with different levels of jitter. The following graphs show the results (ENOB) of such simulation carried out with a 24-bit converter.





As it can be seen from these graphs the jitter on the signal clock becomes more critical as the frequency of the input signal increases. Therefore it is very important to know the final application of the ADC-System and the minimal resolution allowed before designing the signal clock circuits for it.

3.1.5. Digital data processing

Once the performance/accuracy related decisions are made as to which converter to design in, the next step is to think about how to interface the converter to a processor. Serial converters typically have from 2 to 4 lines to route, which saves PCB real estate. Parallel converters take more board area, but generally have faster interfaces. The faster interface will generate large currents into the ground plane. Interfacing to a processor can be a little more complicated because processors do not all have the same memory and address bus architectures [45].

Reading the data out of an ADC with a parallel interface poses an interesting problem. When the parallel interface is enabled to read the digital data is put out on the bus, several digital drivers simultaneously switch. This can cause a large amount of current to flow in ground traces, and potentially disturbs the ground potential. If this is going on while attempting to acquire the next sample, this noise could corrupt the input signal. Therefore, the data should be read as soon as possible before next conversion.

3.1.6. Layout and ground concept

One of the most important factors which affect the performance of an ADC-System is the design of the analogue ground (AGND) and digital ground (DGND) planes [11]. Poor grounding technique may manifest itself in many different ways such as excessive noise, or signal crosstalk in the system.

As with any high precision analogue circuit it is essential to have a solid ground reference on the analogue side of the device. This includes the analogue power connections and reference connections, as well as the analogue inputs. This does not imply, however, that the digital section can be ignored. The high currents associated with digital signals can cause ground bounce or “switching noise” which adversely affects the analogue section of the data converter. A few millivolts of noise can correspond to hundreds of counts of error in an 18-bit system.

Designers argue as to whether a “split” analogue and digital ground or “solid” ground plane provides the best performance [52]. It is important to emphasize that “split” means independent AGND and DGND with a very small connection between the two under the ADC (Figure 3.10), so that the digital return currents from the ADC can

flow back to the analogue side since they are connected inside the ADC. If the split goes completely through the ADC, then those return paths have to flow all the way down the board, through the power supply, and back up through the analogue plane. This is what should be avoided, since now digital signals are on the analogue plane, having a much larger loop area and thus increasing the inductance and raising the potential for EMI. “Solid” refers to a unique plane as reference potential.

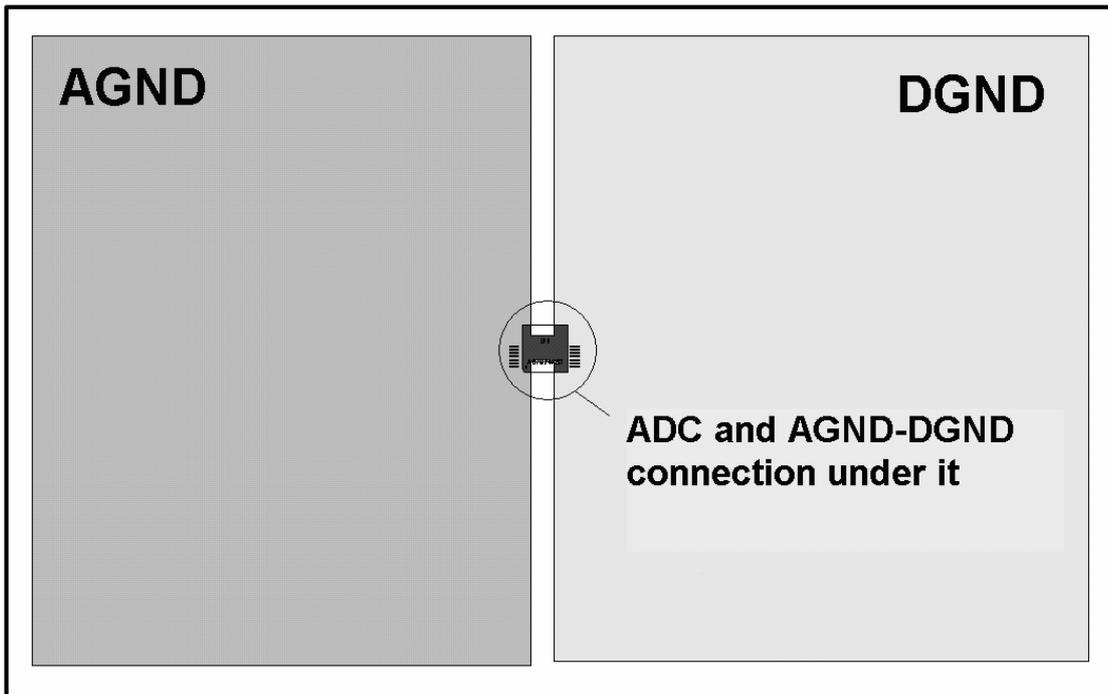


Figure 3-10: ADC System with a split ground configuration. DGND and AGND are generally separated but with a small connection under the ADC.

Those who tend to split the ground base their preference on a better isolation of the analogue side (the sensitive side) from the digital one (the noisy side). Those who incline towards a solid ground reason that it has the advantage of providing always a path for return currents directly underneath the signal trace, and so producing the smallest loop area. This is important because such a loop area creates a loop antenna which increases the noise on the system. Figure 3.11 shows this concept: in an ADC with a split ground configuration, the return current of a digital signal going from the digital side to the analogue one flows back under the ADC, which is the only possible path, producing a loop area (green area) and therefore creating a loop antenna. In a solid GND configuration currents return on a plane directly underneath the signal trace and therefore producing the smallest loop area, that is, no loop antenna.

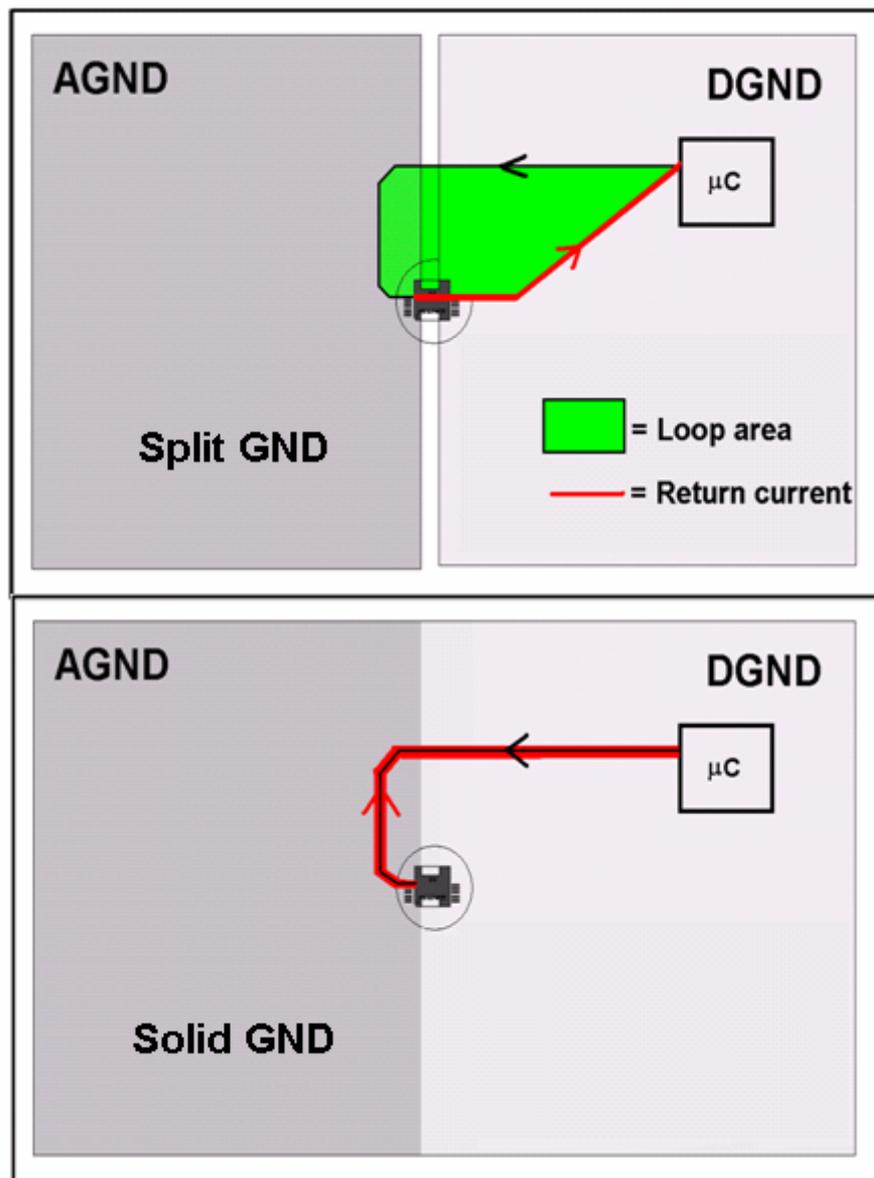


Figure 3-11: In an ADC with a split ground configuration (top), the return current of a digital signal going from the digital side to the analogue one flows back under the ADC, which is the only possible path, producing a loop area (green area) and therefore creating a loop antenna. In a solid GND configuration currents return on a plane directly underneath the signal trace and therefore producing the smallest loop area, that is, no loop antenna.

In order to try to clarify this topic a system (ADC_TEST_BOARD_V2.0) with two independent analogue-to-digital converters (ADS1625 [15] and AD7674 [16]) was designed (Figure 3.12). For both of them it is possible to choose between split and solid ground, which offers the possibility of comparing the results of these two configurations in order to know which offers better performance.

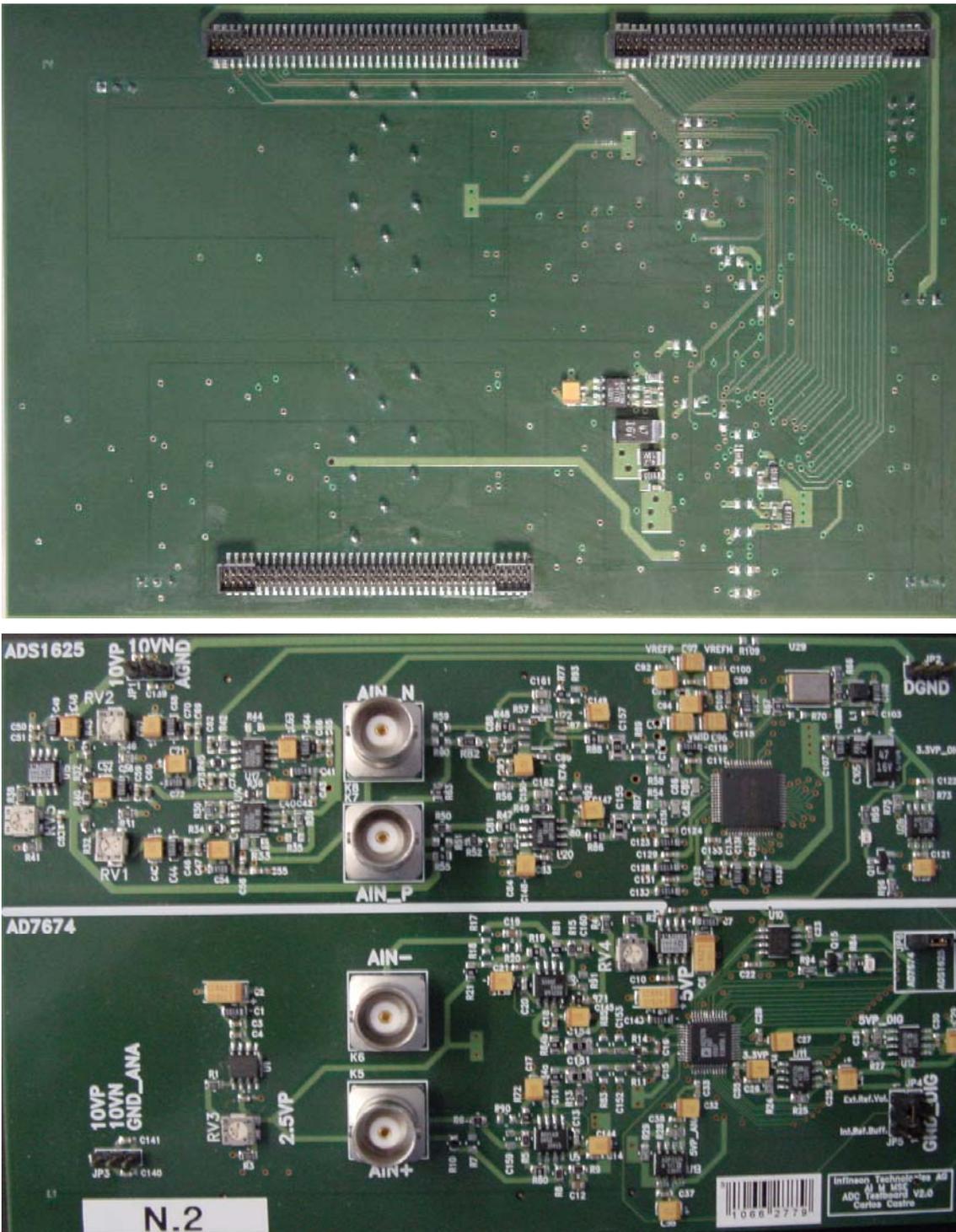


Figure 3-12: ADC_Test_Board_V2.0

A full description of the system can be found in section 4.3

The digital data obtained at the conversions are gathered by a microcontroller (TC1775 from Infineon Technologies [17]) and sent forward to a PC. In order to analyse the precision of the ADCs, a software application was developed, which evaluates the dynamic performance of the ADCs measuring SNR (Signal-to-Noise Ratio), the THD (Total Harmonic Distortion), SINAD (Signal-to-Noise and Distortion Ratio) and ENOB (Effective Number of bits) of the digital signal. Sinusoid signals with a frequency range (F_{in}) of 1 KHz 100 KHz were used as analogue input signal of the converter. The result of each conversion (ENOB) with the same test configuration varies due to the influence of the environment. Therefore, the measurements were repeated five times and the average was taken as the final value.

Figures 3.13 and 3.14 show the obtained ENOB with the two converters, with both GND configurations and for different input signal frequencies.

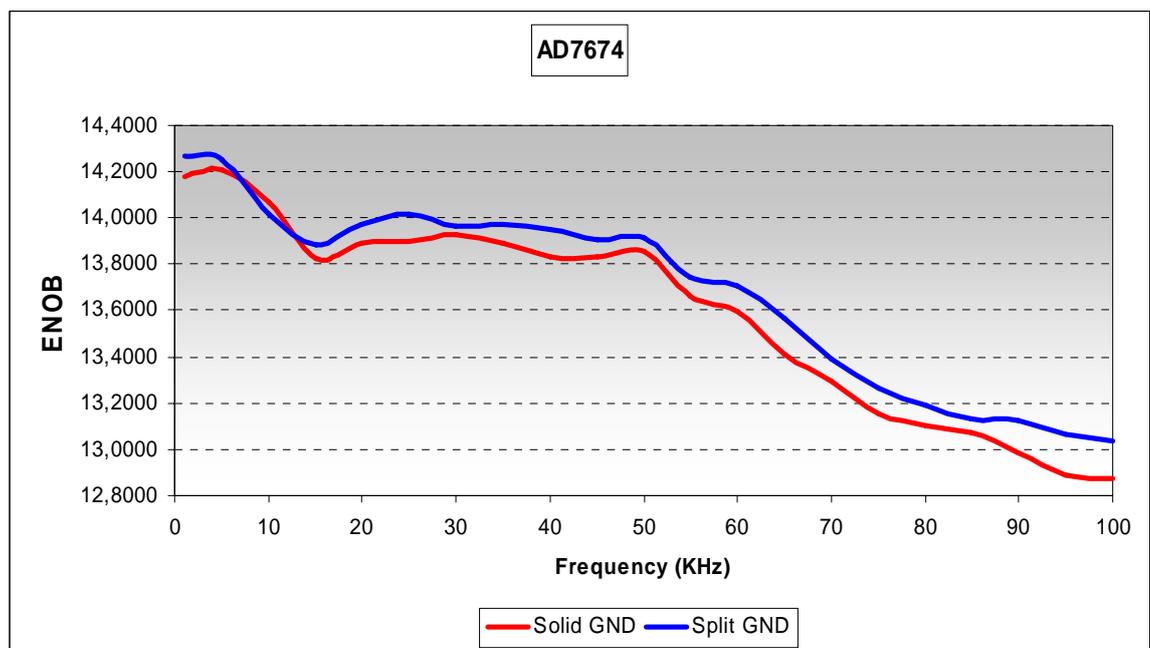


Figure 3-13: Obtained ENOB with the AD7674 converter with solid GND and with split GND planes.

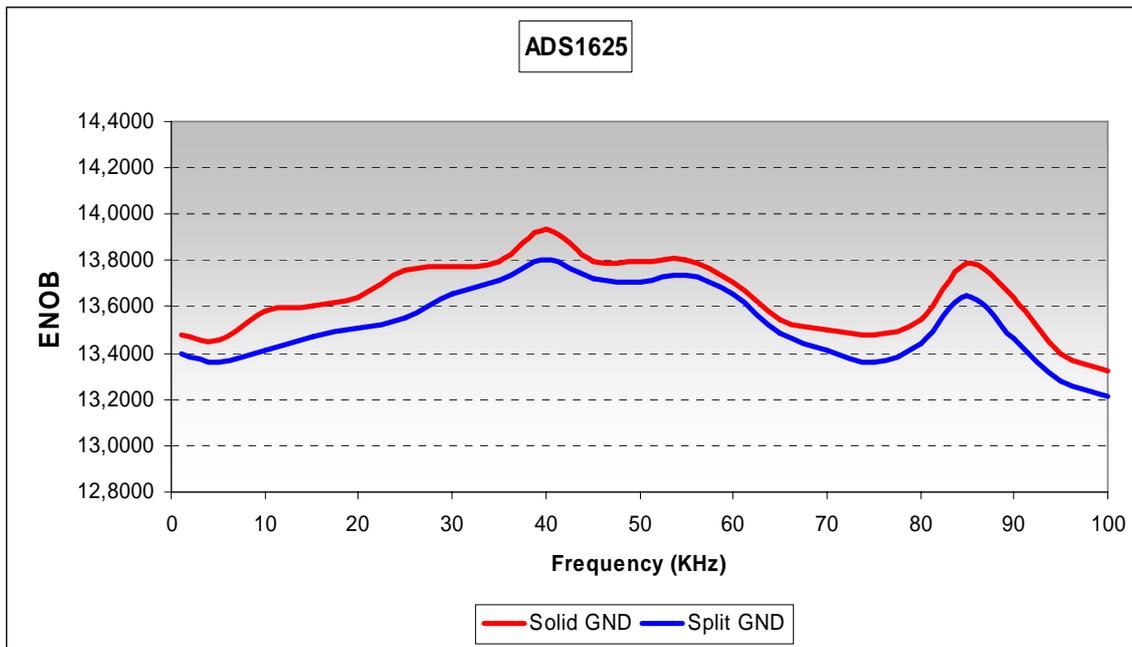


Figure 3-14: Obtained ENOB with the ADS1625 converter with solid GND and with split GND planes.

It is clear from both graphs that the curves are almost perfect parallel lines, that is, the behaviour of both converters with the frequency is similar in each GND configuration. The AD7674-based system accuracy decreases with higher frequencies of the input signal while the ADS1625-based system is relatively independent of the frequency. Both types of behaviour fit with the manufacturer specifications. Surprisingly the best results for the AD7674 are achieved with a split-GND while for the ADS1625 it is with a solid-GND, thus justifying the constant discussion about the best grounding technique. It was proved that there is no general best ground layout for ADC systems but it depends on the converter itself. Each device has a different internal layout which makes digital return currents (one of the main sources of noise to the system) flow differently, therefore having a great influence on which ground layout is most appropriate for each particular system.

When designing ADC circuits used in signal processing and/or multimedia systems where the accuracy of the conversions is a matter of vital importance for the performance, it is highly recommended to test which GND configuration provide better results.

3.2. Analyzing the precision of the conversions

When dealing with high resolution ADC systems to analyze the precision of the converter might be even more complicated than the design of the system itself [1]. Given an 18-bits ADC with a 5V input range, one LSB corresponds to just 19 μ V variation in the signal, that is, even the smallest noise in the system would affect the output codes. Moreover, it makes extremely difficult to find an analogue input signal with enough precision to test the resolution of the converter as any noise in it will affect negatively the performance of the whole system.

As it was seen in 2.4.2 y 2.4.3 there are different parameters, which can be used to evaluate the performance of an ADC and that are divided into two groups: static and dynamic. Depending on the final application, it will be more important to specify either one group or the other. Thus, in systems where the signal is in the KHz range (audio application for instance), dynamic specifications are very important and typically done by analyzing the measured signal in the frequency domain. An FFT (Fast Fourier Transform) taken of a converter's output provides a useful estimate of its noisiness [9] [26]. However, in low-frequency measurement applications, the FFT is not nearly as useful, since the signals measured are near DC. What is wanted instead is a measure of how certain we are of the value reported by the converter. That is the case, for example, when measuring masses of objects with high resolution. In this case dynamic specifications are not critical as the mass does not change during the measurement [59].

For both kind of specifications (dynamic and static) it is a matter of vital importance to have a source for the input signal that meets the requirements of the system to be evaluate [47]. In the particular case of this project, where it is intended to obtain a final resolution of approximately 16bits, it is necessary using a signal with a precision beyond that value. Currently, there are not many signal generators fulfilling this condition. After a lot of tests it was decided to use for this thesis the "System-two" generator from the company Audio Precision. Figure 3.15 shows the specifications of the "System-two" signal generator.

ANALOG SIGNAL OUTPUTS	
Low Distortion Sine Wave Generator	
Frequency Range 10 Hz–204 kHz.
Frequency Accuracy	
High-accuracy mode	... $\pm 0.03\%$.
Fast mode $\pm 0.5\%$.
Frequency Resolution	
High-accuracy mode	... 0.005%.
Fast mode 0.025 Hz, 10 Hz–204.75 Hz, 0.25 Hz, 205 Hz–2.0475 kHz, 2.5 Hz, 2.05 kHz–20.475 kHz, 25 Hz, 20.5 kHz–204 kHz.
Amplitude Range	
Balanced $< 10 \mu\text{V}$ –26.66 Vrms [+30.7 dBu].
Unbalanced $< 10 \mu\text{V}$ –13.33 Vrms [+24.7 dBu].
Amplitude Accuracy $\pm 0.7\%$ [± 0.06 dB] at 1 kHz.
Amplitude Resolution 0.003 dB or 0.05 μVrms , whichever is larger.
Flatness (1 kHz ref)	
0 Hz–20 kHz ± 0.008 dB (typically < 0.003 dB).
20 kHz–60 kHz ± 0.03 dB.
50 kHz–120 kHz ± 0.10 dB.
120 kHz–200 kHz $+0.2 / -0.3$ dB.
Residual THD+N	
At 1 kHz $\leq (0.00025\% + 1.0 \mu\text{V})$ [–112 dB], 22 kHz BW (valid only for analyzer inputs ≤ 8.5 Vrms).
20 Hz–20 kHz $\leq (0.0003\% + 1.0 \mu\text{V})$ [–110.5 dB], 22 kHz BW, $\leq (0.0005\% + 2.0 \mu\text{V})$ [–106 dB], 80 kHz BW, $\leq (0.0010\% + 5.0 \mu\text{V})$ [–100 dB], 500 kHz BW.
10 Hz–100 kHz $\leq (0.0040\% + 5.0 \mu\text{V})$ [–88 dB], 500 kHz BW.

Figure 3-15: Specifications of the “System-two” signal generator.

Even being an extreme precise signal generator, its resolution is not much higher than 16-bits and it decreases in inverse proportion to the frequency, which is a limitation for the evaluation of the whole system. Unfortunately, there is no other commercial generator with higher resolution in the frequency range we are interested in (up to 100KHz), that is, it could happen that the obtained result could have been limited by the input signal and not because of defects on the operation of the system.

Figure 3.16 shows the scheme used to evaluate the performance of the ADC:

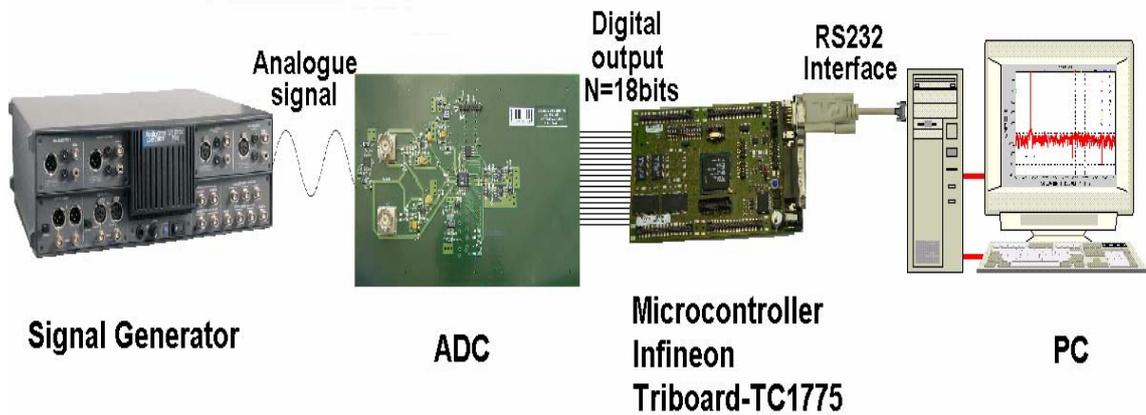


Figure 3-16: Scheme used for evaluating the ADC-System.

The ADC system receives the high resolution analogue signal from the generator and sends the digital output codes through a μC (Infineon TC1775, 32bit microcontroller) to a PC. These data are evaluated by a MATLAB application developed for it. To understand how the routine analyzes the dynamic performance of the system, it is useful to introduce some of the FFT and power-spectrum basics: FFT and power spectrum are powerful tools for analyzing data from ADCs [22]. They can capture time-domain signals, measure their frequency content, convert the results to convenient units, and display them [53].

Among the most basic and important computations in signal analysis are the use of the FFT in converting from a two-sided to a single-sided power spectrum, adjusting the frequency resolution, and displaying the spectrum [8]. A power spectrum returns a matrix containing the two-sided representation of the time-domain signal power in the frequency domain. The values in this matrix are proportional to the amplitude squared of each frequency component making up the time-domain signal. A plot of the two-sided power spectrum usually contains both negative and positive frequency components. Actual frequency-analysis tools, however, focus on the positive half of the frequency spectrum only, noting that the spectrum of a real signal is symmetrical around DC. Negative frequency information is therefore irrelevant. In a two-sided spectrum, half the energy resides in the positive frequencies and half in the negative frequencies. Therefore, to convert from a two-sided spectrum to a single-sided spectrum,

it is necessary to discard the second half of the matrix and multiply every point (except DC) by two [4].

The frequency range and the resolution on the x-axis of a spectrum plot depend on the sampling rate and the size of the data record (the number of acquisition points). The number of frequency points or lines in the power spectrum is $N/2$, where N is the number of signal points captured in the time domain. The first frequency line in the power spectrum always represents DC. The last frequency line can be found at $f_{\text{SAMPLE}}/2 - f_{\text{SAMPLE}}/N$. Frequency lines are spaced at even intervals of f_{SAMPLE}/N , commonly referred to as a frequency bin or a FFT bin. Bins can also be computed with reference to the ADC's sampling period:

$$Bin = \frac{f_{\text{sample}}}{N} = \frac{1}{N \bullet \Delta t_{\text{sample}}} \quad (3-16)$$

The calculations for the frequency axis (x-axis) are proof that the sampling frequency determines the range or the bandwidth of the frequency spectrum. For a given sampling frequency, the number of points acquired in the time domain determines the resolution frequency. To increase the resolution for a given frequency range, the depth of the data record can be increased at the same sampling frequency.

Other important functions used in FFT analysis are Window functions and their proper use is critical in FFT-based measurements [3]. It is critical to select an appropriate window function and scale it properly for a given application [32]. To accurately determine spectral leakage, however, it may not be enough to use adequate signal-acquisition techniques, convert a two-sided power spectrum into a single-sided one, and rescale the result. Spectral leakage is the result of an assumption in the FFT algorithm that the time record is precisely repeated throughout all time and that all signals contained in this time record are periodic at intervals corresponding to the length of the time record. However, a nonintegral number of cycles in the time record ($f_{\text{IN}}/f_{\text{SAMPLE}} \neq N_{\text{WINDOW}}/N_{\text{RECORD}}$) violates this condition and causes spectral leakage (Figure 3.17). Only two cases can guarantee the acquisition of an integral number of cycles:

- Synchronous sampling with respect to the input tone.
- The capture of a transient signal that fits entirely into the time record.

In most cases, however, the application deals with an unknown stationary input. This means there is no guarantee of sampling an integral number of cycles. Spectral leakage distorts the measurement by spreading the energy of a given frequency component over the adjacent frequency lines or bins. Selecting an appropriate window function can minimize the effects of this spectral leakage.

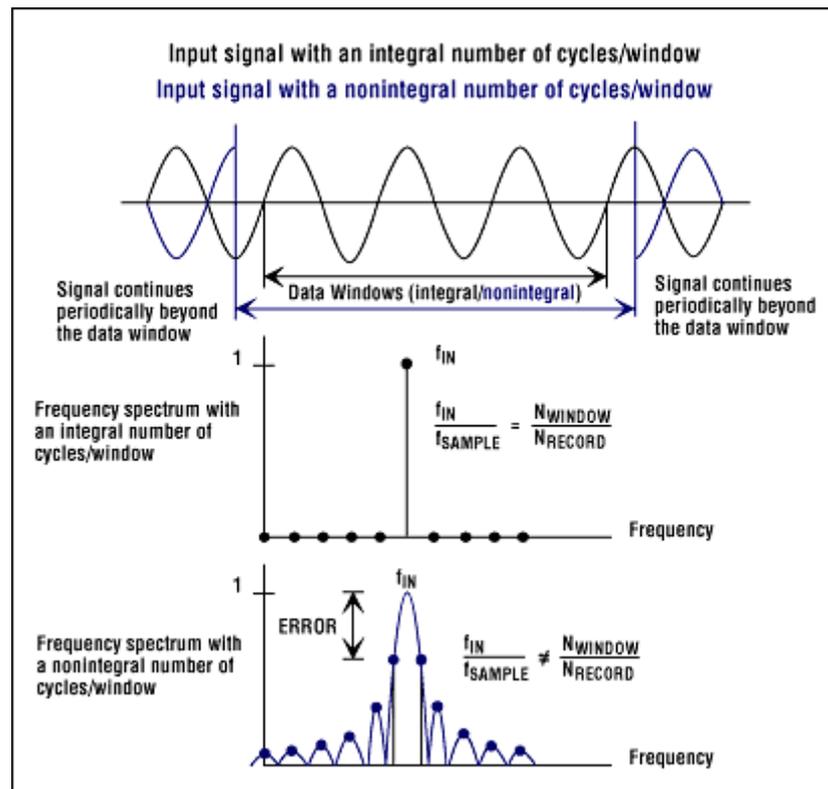


Figure 3-17: The effects of windows on spectral leakage.

To fully understand how given windows function affects the frequency spectrum, it is important to take a closer look at the frequency characteristics of windows. Windowing of the input data is equivalent to convolving the spectrum of the original signal with the spectrum of the window.

The real-frequency characteristic of a window is a continuous spectrum consisting of a main lobe and several side lobes. The main lobe is centred at each frequency component of the signal in the time domain. Side lobes approach zero at intervals on each side of the main lobe. An FFT, on the other hand, produces a discrete

frequency spectrum. The continuous, periodic spectrum of a window is sampled by the FFT, just as an ADC would sample an input signal in the time domain. What appears in each frequency line of the FFT is the value of the continuous, convolved spectrum at each FFT frequency line.

If the frequency components of the original signal match a frequency line exactly, as is the case when you acquire an integral number of cycles, you see only the main lobe of the spectrum. Side lobes do not appear, because the window spectrum approaches zero at bin-frequency intervals on either side of the main lobe. If a time record does not contain an integral number of cycles, the continuous spectrum of the window is shifted from the main lobe centre at a fraction of the frequency bin that corresponds to the difference between the frequency component and the FFT frequency lines. This shift causes side lobes to appear in the spectrum. Thus, the window's side-lobe characteristics directly affect the extent to which adjacent frequency components "leak into" the neighbouring frequency bins.

Before choosing an appropriate window, it is necessary to define the parameters and the characteristics that enable users to compare windows. Such characteristics include the -3dB main-lobe width, the -6dB main-lobe width, the maximum side-lobe level, and the side-lobe roll off rate (Table 3.2) [57].

Side lobes of the window are characterized by the maximum side-lobe level (defined as the maximum side-lobe level in dB with respect to the main lobe's peak gain) and the side-lobe roll off (defined as the asymptotic decay rate in dB/decade or dB/octave of frequency) of the side-lobe peaks [50].

Window Type	-3dB Main-Lobe Width	-6dB Main-Lobe Width	Maximum Side-Lobe Level	Side-Lobe Rolloff Rate
No Window (Uniform)	0.89 bins	1.21 bins	-13dB	20dB/decade, 6dB/octave
Hanning	1.44 bins	2.00 bins	-32dB	60dB/decade, 18dB/octave
Hamming	1.30 bins	1.81 bins	-43dB	20dB/decade, 6dB/octave
Flat Top	2.94 bins	3.56 bins	-44dB	20dB/decade, 6dB/octave

Table 3-2: Characteristics of Frequently Used Window Functions.

Different windows suit different applications [48]. To choose the right spectral window, one has to guess the signal frequency content. If the signal contains strong interfering frequency components distant from the frequency of interest, it is advisable to choose a window whose side lobes have a high-rolloff rate. If strong interfering signals are close to the frequency of interest, a window with low maximum levels of side lobe is more suitable.

If the frequency band of interest contains two or more signals close to each other, spectral resolution becomes important. In that case, a window with a narrow main lobe is better. For a single frequency component in which the focus is on amplitude accuracy rather than its precise location in the frequency bin, a window with a broad main lobe is recommended. Finally, coherent sampling (instead of a window) is recommended for a flat or broadband frequency spectrum.

The Hanning window function, which provides good frequency resolution and reduced spectral leakage, yields satisfactory results in most applications. The Flat Top window has good amplitude accuracy, but its wide main lobe provides poor frequency resolution and more spectral leakage. The Flat Top window has a lower maximum side-lobe level than does the Hanning window, but the Hanning window has a faster rolloff rate.

An application consisting of only transient signals should have no spectral windows at all, because they tend to attenuate important information at the beginning of the sample block. Selecting an appropriate window is not easy, but if the signal content is unknown one can start with the Hanning characteristic. It is also an excellent idea to compare the performance of multiple window functions to find the one most suitable for a given application.

Window Type	Signal Content	Window Characteristics
No Window (Uniform)	Broad-band random, closely spaced sine-wave signals	Narrow main lobe, slow rolloff rate, poor frequency resolution
Hanning	Narrow-band random signals, nature of content is unknown, sine-wave or combination of sine-wave signals	High maximum side-lobe level, good frequency resolution, reduced leakage, faster rolloff rate
Hamming	Closely spaced sine-wave signals	Good spectral resolution, narrow main lobe
Flat Top	Sine wave with need for amplitude accuracy	Good amplitude accuracy, wide main lobe, poor frequency resolution, more spectral leakage

Tabla 3-3: Signal content vs. Window selection and advantages.

Once the basics of the FFT and power spectrum have been introduced, the program-code used during this project to analyze the dynamic performance of ADC-Systems can be better understood (see Appendix D).

All specifications (SNR, THD, SFDR, SINAD and ENOB) are important to evaluate the performance of the ADC but as the ENOB is a combination of the SNR and THD giving information about the effective resolution of the converter, it will be mostly used to compare results between different systems and configurations. However, it does not mean other magnitudes obtained with the program-code above can be ignored. In

fact the FFT, representation (figure 3.18) provides a powerful tool to understand the source of noise and/or harmonics which distort the results.

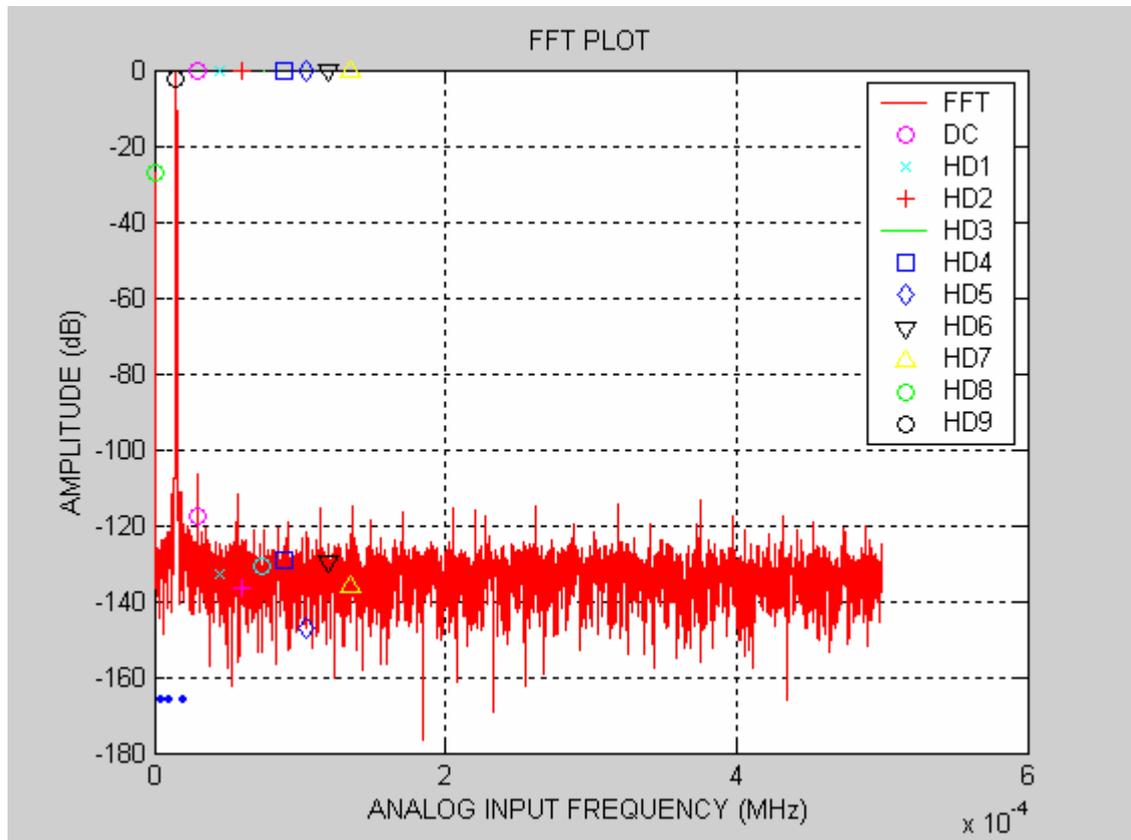


Figura 3-18: Example of an FFT representation obtained from a 100-KHz analogue signal converted with ENOB=15.65.

4. Implementación y evaluación del sistema diseñado

En este capítulo se describen las tres plataformas diseñadas a lo largo de la investigación (*ADC_Test_Board_V10*, *V20*, *V30*). Se resaltan las características y elementos más importantes en cada una de ellas y se analizan los resultados obtenidos. Las tres versiones fueron desarrolladas sucesivamente con el fin de aplicar las conclusiones obtenidas de las versiones previas. Así se presentarán las modificaciones llevadas a cabo y las razones de las mismas, siempre basadas en resultados anteriores. Igualmente se exponen los experimentos y mediciones particulares que se realizaron con cada uno de los diseños presentándose las conclusiones particulares.

El objetivo de este capítulo es presentar el desarrollo práctico de las investigaciones, los distintos experimentos llevados a cabo así como las principales conclusiones obtenidas de los mismos.

4.1. Condiciones generales del proyecto

Como ya se mencionó con anterioridad, el objetivo principal de esta investigación no es tan sólo el diseño de un sistema ADC con una resolución efectiva de 16-bits para señales de frecuencia máxima 100KHz, sino que se trató de averiguar que factores y en que grado influyen en la precisión de este tipo de sistemas. Para ello se diseñaron sucesivamente tres plataformas (*ADC_Test_Board_V10*, *V20* y *V30*, mostradas en la figura 4.1), cada una de ellas con un fin diferente, pero siempre aplicando las conclusiones obtenidas en las anteriores versiones, permitiéndonos obtener finalmente los resultados deseados (ver apartado 4.4).

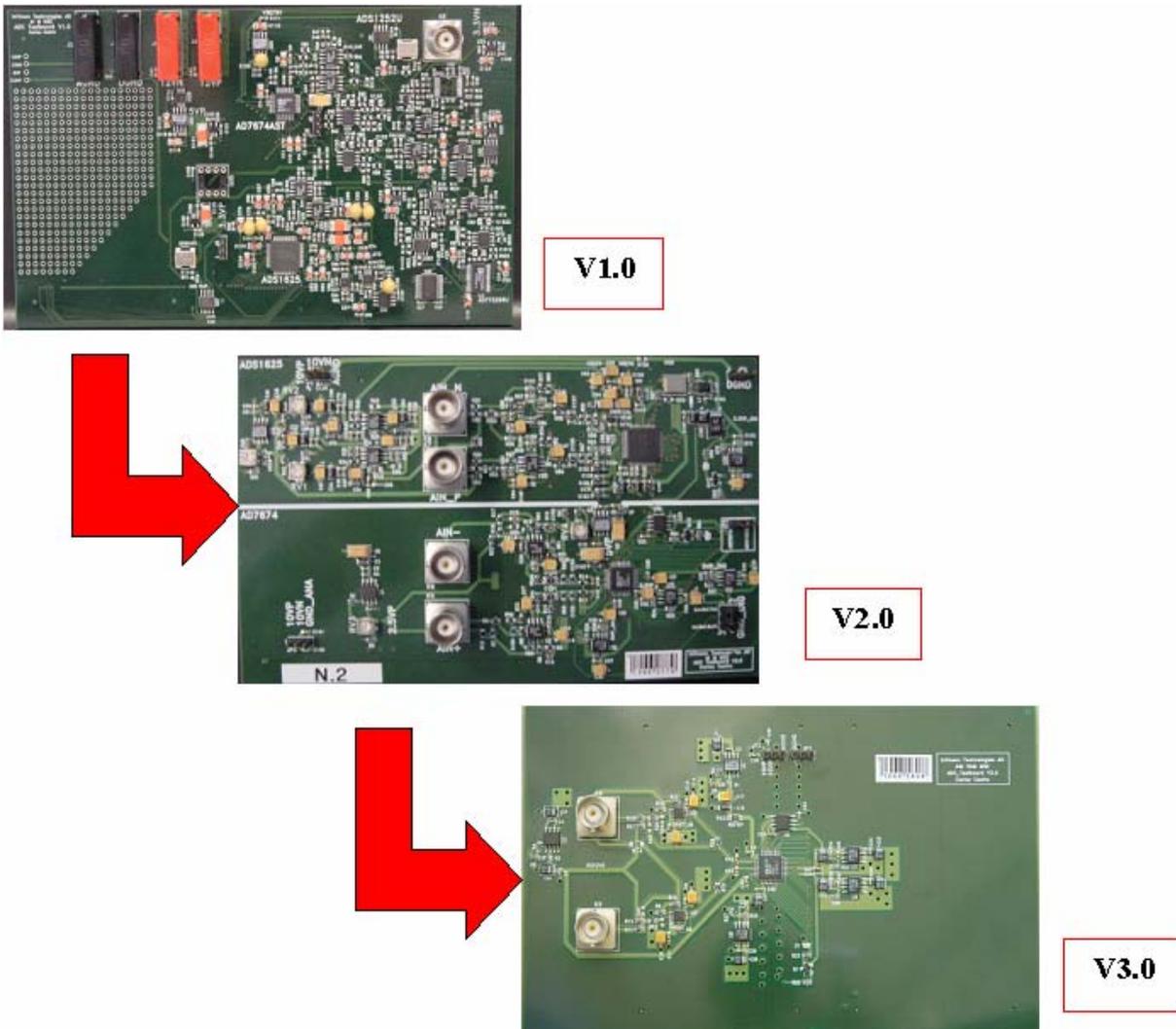


Figura 4-1: ADC_Test_Board_V1.0, V2.0 y V3.0

Común a todas ellas es, sin embargo, el procesamiento digital. Las tres versiones se conectaron a una “*TriCore Evaluation Board*”, la cual es responsable de la generación de las señales digitales requeridas para el funcionamiento de los convertidores. Igualmente juega el papel de interfase ADC-PC, es decir, recoge los datos digitales de salida del convertidor y los envía a una aplicación de MATLAB donde son analizados.

La “*TriCore Evaluation Board*” o “*TriBoard*” [17] es un sistema basado en el microcontrolador TC1775 (microcontrolador de 32-bits perteneciente a la familia “*TriCore*” de la empresa Infineon Technologies AG). Se trata de una herramienta muy versátil que provee un rápido acceso a las capacidades del *TriCore*, utilizada para el

desarrollo de aplicaciones con este procesador. En el sistema se incorporan numerosas memorias y periféricos para conexiones con el mundo exterior, lo que facilita su uso con otros sistemas sin tener que aumentar la complejidad de los mismos. La figura 4.2 muestra un esquema de bloques y la figura 4.3 uno de los componentes principales en la “TriBoard”.

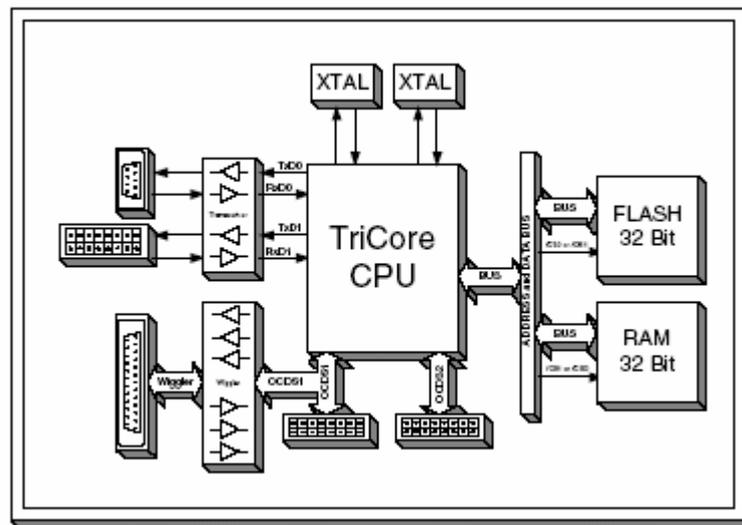


Figura 4-2: Esquema de bloques de la “TriBoard”.

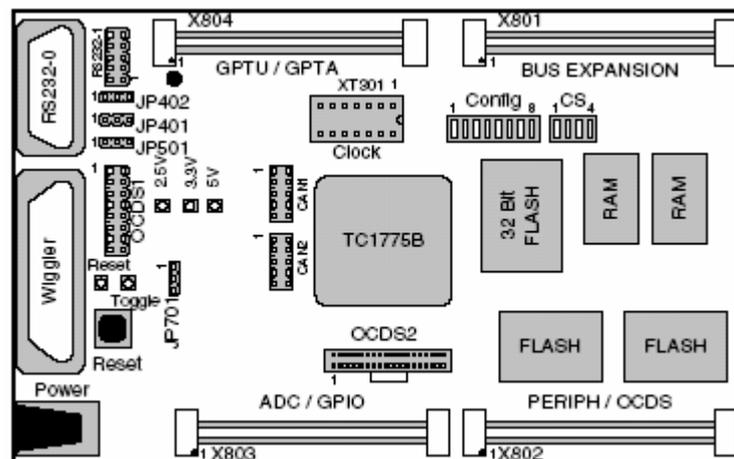


Figura 4-3: Esquema de los principales componentes de la “TriBoard”.

También común a las tres versiones es la evaluación de los componentes más críticos para la precisión de las conversiones, así como de sus configuraciones de uso. Tal y como se indicó en el apartado 3.1.1, para alcanzar la máxima resolución posible es necesario que los dispositivos a la entrada analógica del convertidor, responsables de la adaptación y filtrado de la señal analógica, produzcan la mínima distorsión. Para poder

comparar entre diferentes tipos de etapas se utiliza un analizador de señales. Midiendo la calidad de las mismas a la entrada y a la salida, se puede conocer el grado de distorsión así como el rendimiento de dichas etapas. Otros componentes críticos para los sistemas ADC, también evaluados en las diferentes versiones, son los voltajes de referencia (ver apartado 3.1.3). Aquí el análisis se reduce a la medida del desvío máximo (tanto positivo como negativo) del valor central deseado.

A continuación se expone una descripción detallada de cada una de las plataformas diseñadas y de los resultados obtenidos.

4.2. ADC_TEST_BOARD_V1.0

4.2.1. Descripción del sistema

Esta primera versión mostrada en la figura 4.4 y cuyos esquemáticos completos se encuentran en el apéndice A, se compone de 4 convertidores A/D cuyas características fundamentales se hallan en la tabla 4.1.

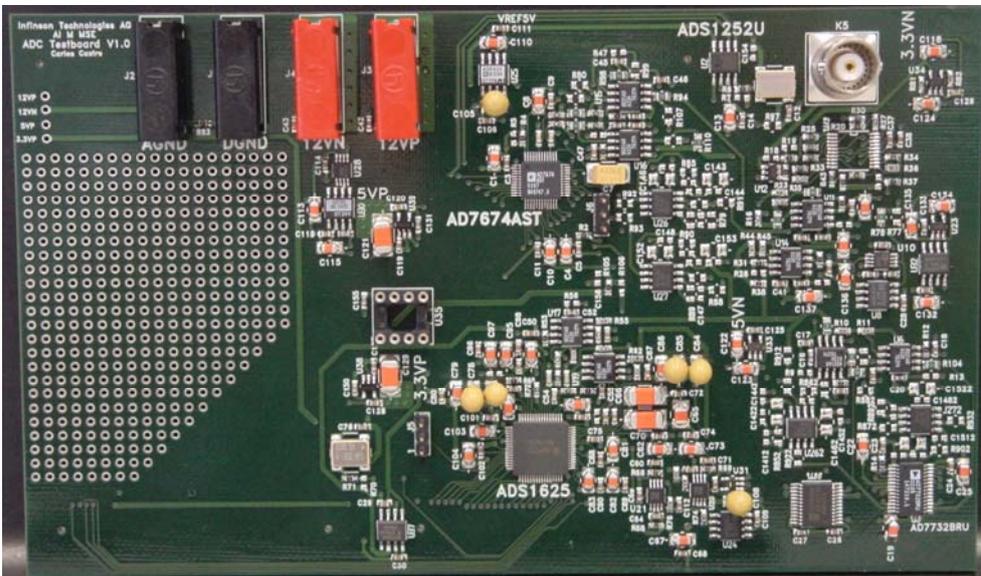


Figura 4-4: ADC_Test_Board_V1.0

	AD7674	ADS1625	AD7732	ADS1252
Fabricante	Analog Devices	Burr-Brown	Analog Devices	Burr-Brown
Tipo convertidor	Aproximaciones sucesivas	Sigma-delta	Sigma-delta	Sigma-delta
Interfase	Paralela	Paralela	Serie	Serie
Cadencia de datos	800 KSPS	1.25 MSPS	15.4 KSPS	40 KSPS
THD ($f_{in}=10\text{KHz}$)	-113 dB	-101 dB	- 114 dB	- 116 dB
SNR ($f_{in}=10\text{KHz}$)	98 dB	93 dB	110 dB	111 dB
Ancho de banda	800 KHz	615 KHz	14 KHz	9 KHz

Tabla 4-1: Características principales de los 4 convertidores que componen la *ADC_Test_Board_V1.0*.

Las investigaciones se centraron en los convertidores AD7674 [16] y ADS1625 [15] ya que los dos restantes (AD7732 [18] y ADS1252 [19]) no cumplen con las especificaciones requeridas (aunque poseen una resolución mayor que los dos primero, fueron diseñados para señales de baja frecuencia) y se incorporaron para futuros estudios con otras señales, así como para otro tipo de proyectos.

El sistema fue diseñado principalmente como banco de pruebas para el desarrollo del software necesario para la adquisición y evaluación (ver apartado 3.2) de los datos.

4.2.2. Resultados

Como se ha mencionado previamente, ésta primera versión fue creada como plataforma de desarrollo de software. En su diseño, debido principalmente a la complejidad del mismo (4 convertidores ADCs compartiendo una única entrada analógica y una interfase con el mundo exterior) pero también a la falta de experiencia, no se cumplieron algunos de los requisitos más importantes para este tipo de sistemas. Es por ello que los resultados obtenidos no se aproximan a los esperados. La figura 4.5 muestra la precisión de las conversiones (ENOB) frente a la frecuencia de la señal de entrada. Es obvio que se está lejos del objetivo del proyecto de obtener precisiones efectivas (ENOB) cercanas a los 16-bits.

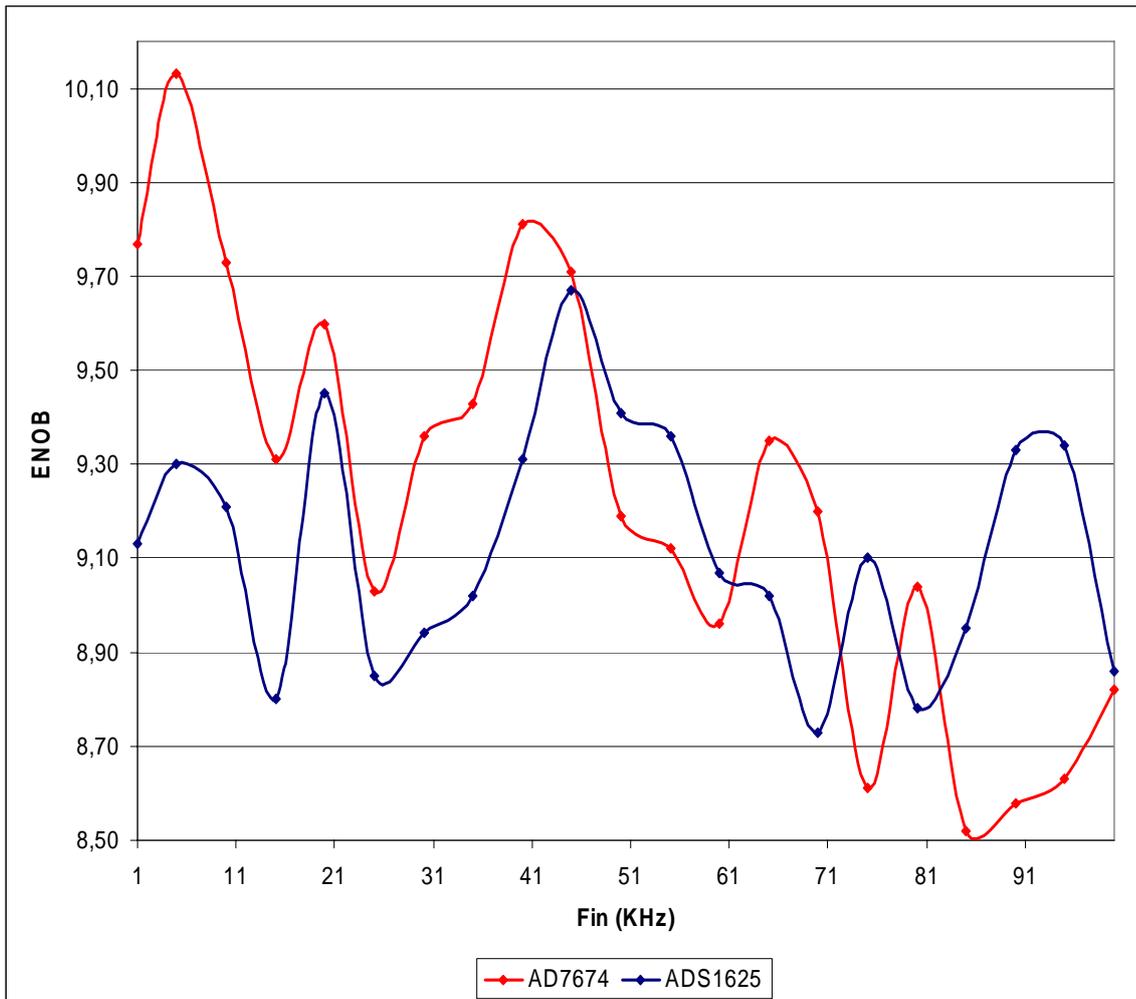


Figura 4-5: Resultados obtenidos con la ADC_Test_Board_V1.0. En la gráfica se muestra el ENOB de los convertidores AD7674 y ADS1625 en función de la frecuencia de la señal analógica de entrada.

Sin embargo, a pesar de los problemas de diseño arriba mencionados, si que fue posible llevar a cabo numerosas investigaciones y obtener algunas importantes conclusiones utilizadas en las versiones sucesivas. A continuación se destacan las más importantes:

- Filtros analógicos: con el fin de evitar el “*aliasing*”, la entrada al ADC debe ser filtrada para eliminar todos los componentes en frecuencia por encima de la mitad de la frecuencia de muestreo. En teoría, cuanto mayor sea el orden del filtro mejor será su respuesta. En la práctica se comprobó que a medida que éste aumenta, también lo hace la distorsión en la señal. Esto se debe a que el orden del filtro es proporcional al número de amplificadores operacionales necesarios para su implementación y, como ya se indicó en el apartado 3.1.1, cada OP adicional supone un aumento del ruido. Es por ello

que los mejores resultados se obtienen con un filtro de segundo orden a la entrada del ADC, implementado con los mismos operacionales usados en la adaptación de los niveles de la señal de entrada. Así, en sistemas ADC de menor resolución (10-12-bits), con menor sensibilidad al ruido, la incorporación de filtros de alto orden será siempre positiva, ya que eliminarán más distorsión de la que aportan. Pero cuando la precisión de los convertidores es mayor (18-bits) su sensibilidad a ruido es sumamente alta, lo que hace recomendable una mínima utilización de componentes adicionales.

- Señal de reloj: el sistema dispone de dos fuentes diferentes para la señal de reloj. Por un lado es posible hacer uso de un oscilador externo de gran precisión (S1613 o S1615 de la empresa *SaRonix*) o de una señal de reloj generada por el microcontrolador.

La baja exactitud final obtenida con esta versión no permite una comparación directa entre ambas fuentes en términos de resolución efectiva. Sin embargo, si que es posible medir el jitter máximo de dichas señales en el sistema, siendo de 7 ps para el S1613 y de 14 ps para el μC . Esto podría hacer pensar en una mayor precisión efectiva en las conversiones con el oscilador externo. Sin embargo, como se verá posteriormente, 14ps es un jitter suficientemente bajo como para no afectar el rendimiento del ADC. Tal y como se vio en el apartado 3.1.4, el máximo jitter permitido para que no afecte los códigos digitales de salida será:

$$jitter \leq \frac{1}{2^N \Pi F_{in}} \quad (4-1)$$

En nuestro caso con $N=18$ y una frecuencia máxima de 100KHz en la señal de entrada el máximo jitter sería de 12 ps. El jitter de la señal proveniente del μC supera mínimamente este valor (2ps en el peor caso). Otras imperfecciones en el sistema provocan mayores variaciones en los códigos de salida (variaciones en los voltajes de referencia, interferencia de otros sistemas, etcétera.), haciendo imperceptibles los errores causados por un jitter tan reducido.

- Amplificadores operacionales: al igual que con los filtros analógicos de entrada, se llevaron a cabo análisis de la distorsión inducida por estos dispositivos, investigándose diversos tipos de operacionales y de configuraciones para los mismos. Como mejor componente se encontró el AD8021 de la empresa *Analog Devices* y como mejores

configuraciones para la etapa de entrada las expuestas en la figura 4.6, que serán utilizadas en las sucesivas versiones [43].

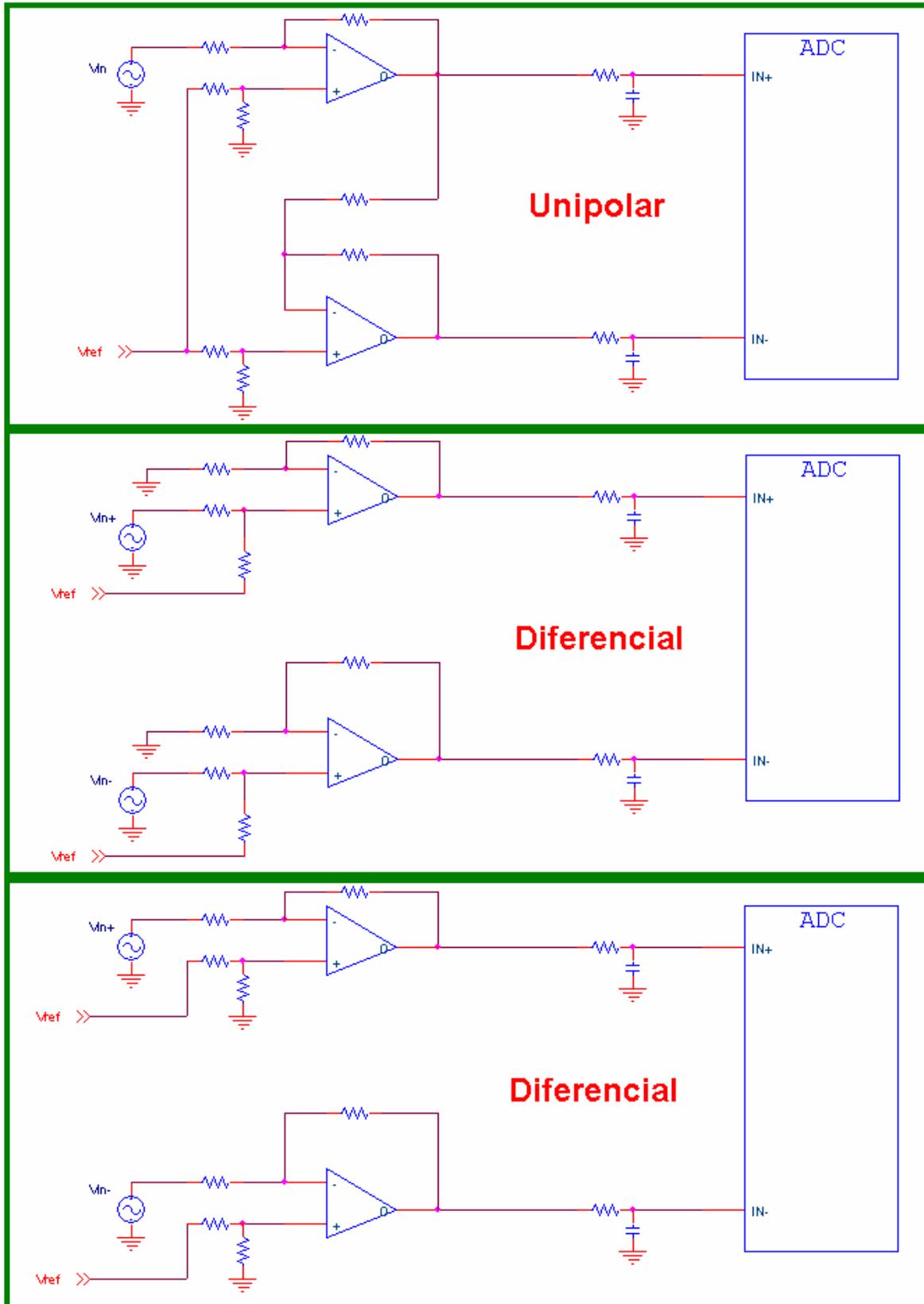


Figura 4-6: Configuraciones para la etapa de entrada usadas a lo largo del proyecto.

4.3. ADC_TEST_BOARD_V2.0

4.3.1. Descripción del sistema. Modificaciones vs. V1.0

La *ADC_Test_Board_V2.0*, cuyos esquemáticos completos se encuentran en el apéndice B, se compone de dos sistemas ADCs completamente independientes entre ellos, es decir, cada uno posee su propia etapa analógica de entrada, voltajes de referencia, señal de reloj, etcétera, siendo el procesado digital lo único común para ambos.

La figura 4.7 muestra el *ADC_Test_Board_V2.0* donde se pueden distinguir claramente los dos subsistemas, el primero de ellos basado en el ADS1625 y el segundo en el AD7674 (ver apartado 4.2 para una detallada exposición de sus características).

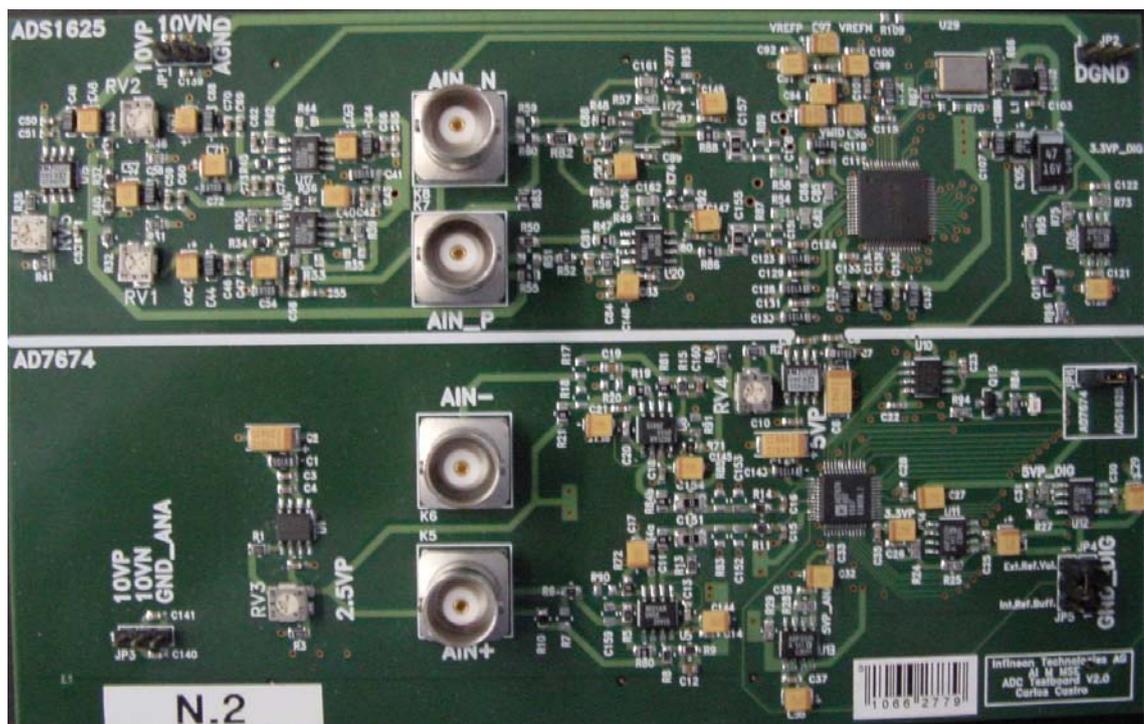


Figura 4-7: ADC_Test_Board_V2.0.

En esta segunda versión, una vez desarrollado todo el software necesario para la adquisición y evaluación de los datos, se trata de alcanzar la máxima resolución posible así como llevar a cabo investigaciones complementarias.

La principal diferencia con la V1.0 se encuentra en el diseño del layout del sistema. En esta segunda versión se prestó especial interés al mismo para poder llevar a cabo el experimento detallado en el apartado 3.1.6 (comparación entre un único plano de masa y dos planos independientes para AGND y DGND). Así mismo se hizo una clara separación entre los componentes digitales y los analógicos (ver figura 4.8) tratando de evitar el ruido introducido por los primeros en las señales analógicas.

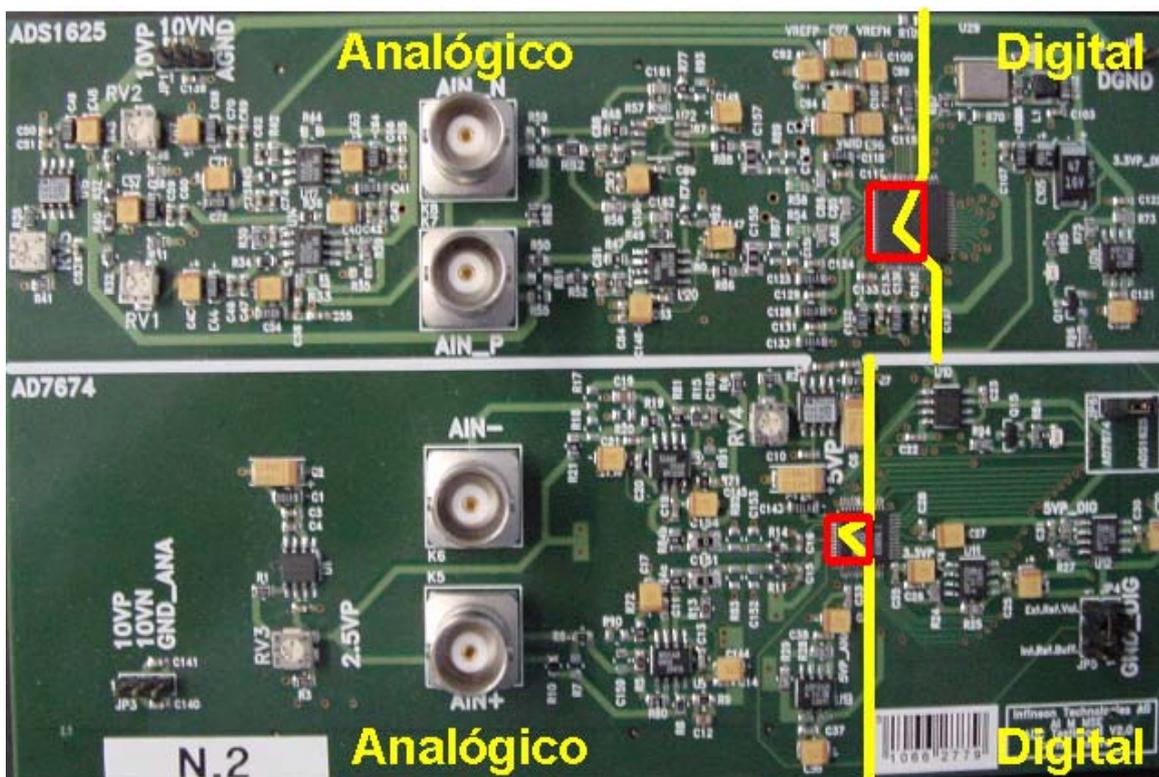


Figura 4-8: El diseño del sistema se hizo de forma que los componentes digitales y los analógicos se encuentran claramente separados evitando así que los primeros afecten la resolución de los últimos.

Común a la versión previa es el sistema de adquisición de los datos digitales (mediante el microcontrolador TC1775 incorporado en el sistema “*TriCore Evaluation Board*”) y la posibilidad de utilizar diferentes configuraciones para la etapa de entrada, con el fin de obtener aquella que provea los mejores resultados.

4.3.2. Resultados

Lo primero que se debe resaltar, en lo que a precisión se refiere, es que los resultados obtenidos con esta versión mejoraron notablemente a la anterior, aproximándose, como se verá más adelante, a los valores deseados. Sin embargo, se observó un fenómeno ya comentado anteriormente: la fuerte influencia de otros sistemas en la resolución de este tipo de convertidores [39]. El circuito utilizado en la “TriBoard” para la obtención de los distintos voltajes de alimentación es el que se muestra en la figura 4.9.

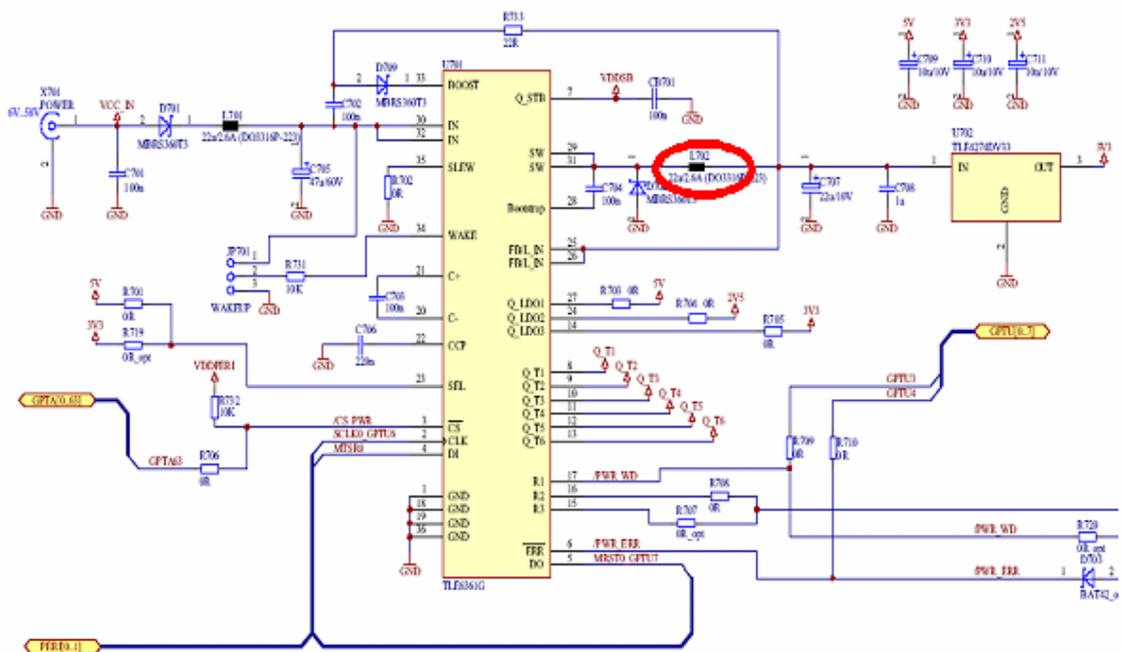


Figura 4-9: Circuito utilizado en la “TriBoard” para la generación de los voltajes de alimentación.

Sin entrar en los detalles del funcionamiento del mismo, importante para el caso que nos concierne, es la bobina L702 (marcada con círculo rojo en la figura) y la señal que transmite, la cual se muestra en la figura 4.10.

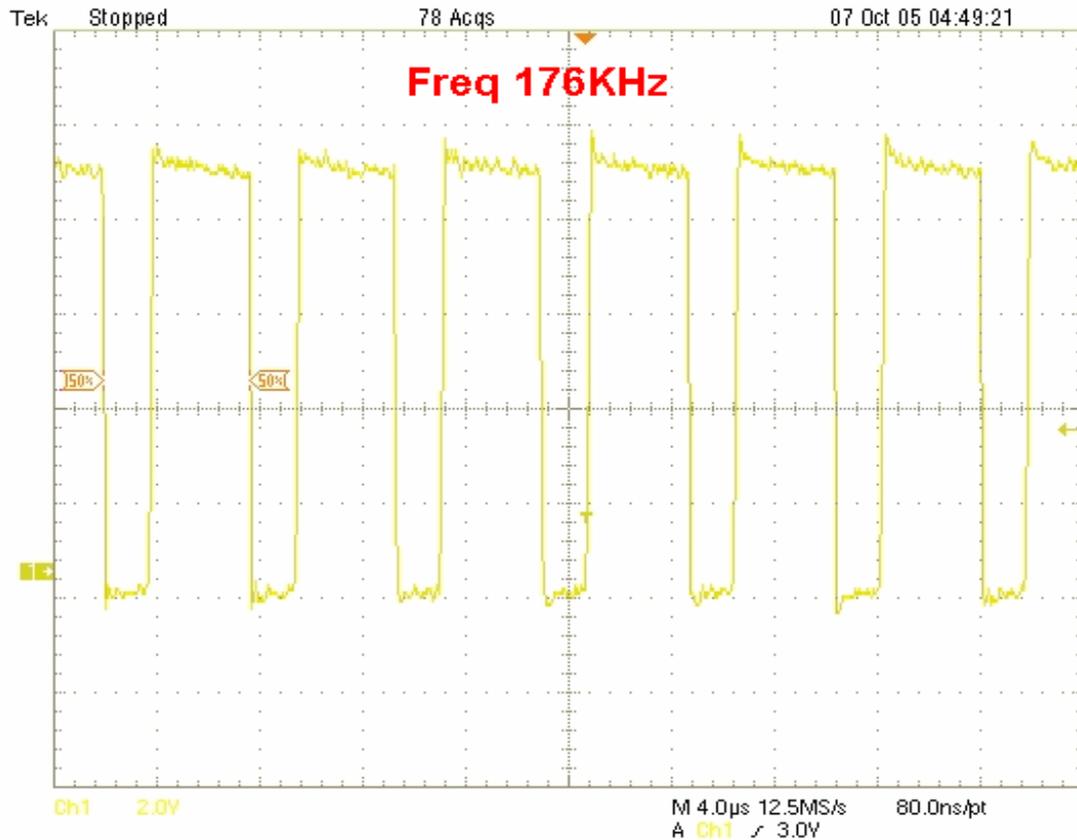


Figura 4-10: Señal transmitida por la bobina L702 (marcada en la figura 4.10 con círculo rojo).

La bobina funciona como una antena transmitiendo esta señal al *ADC_Test_Board_V20*. Al acoplar los dos sistemas la etapa de entrada analógica del ADS1625 queda exactamente por debajo de dicho inductor, siendo este convertidor el que sufra las consecuencias. En la figura 4.11 se muestra la FFT (*Fast Fourier Transform*) para una señal digital de salida del ADS1625 correspondiente a una señal analógica de entrada de 9.9KHz.

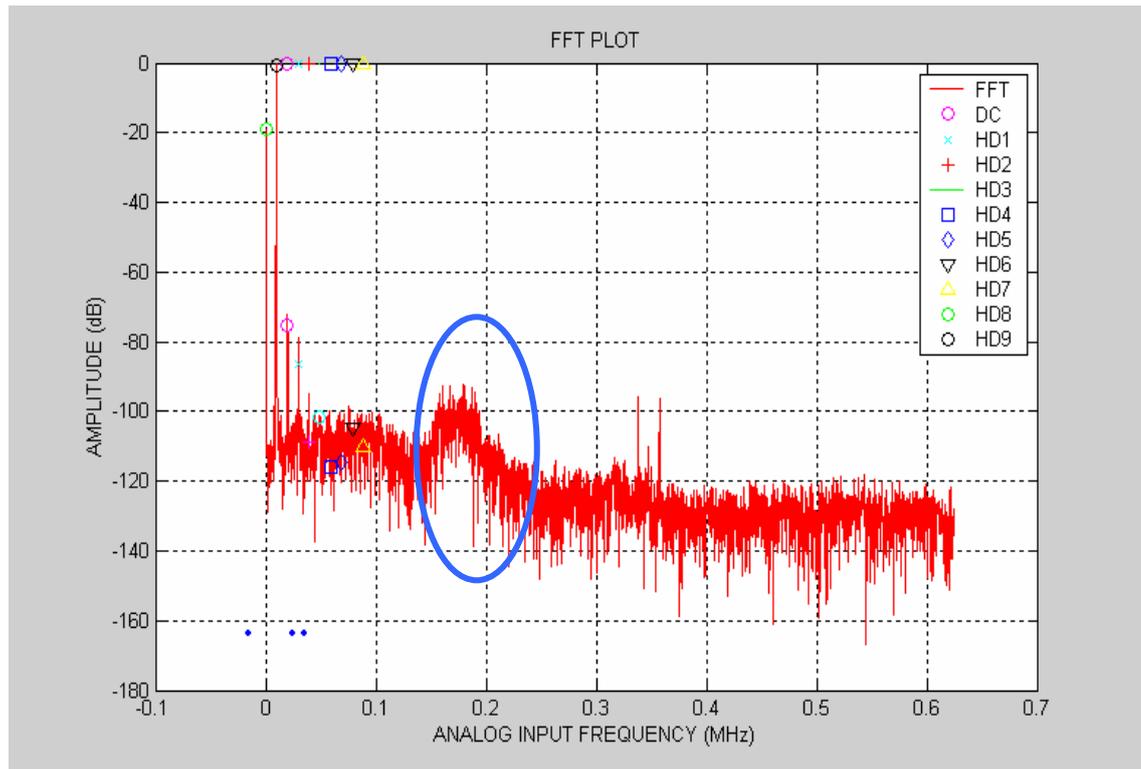


Figura 4-11: FFT correspondiente a la señal de salida del ADS1625 ante una señal analógica de entrada de 9.9KHz. Marcado en azul se muestra la distorsión causada por el inductor.

En ella se puede ver claramente la distorsión causada por la “*TriBoard*”, haciendo que los componentes en frecuencia próximos a 176KHz tengan una mayor amplitud (marcados con círculo azul). Esto hace que la relación señal -ruido (SNR) del sistema empeore considerablemente y con ella la resolución efectiva del ADC (ENOB). El fenómeno aquí expuesto pone de manifiesto la importancia de conocer el ambiente de operación de éste tipo de sistemas ya que cualquier influencia externa puede hacerlo inservible.

Mediante un aislamiento electromagnético entre la “*TriBoard*” y la *ADC_Test_Board_V20* se consiguió reducir este efecto pero sin eliminarlo del todo, por lo que los resultados obtenidos con el ADS1625 se mantuvieron por debajo del AD7674 en lo que a precisión se refiere.

Al igual que con la V1.0, y con el fin de alcanzar la mayor resolución posible, se investigaron diversos factores que afectan el rendimiento del sistema. Éstos se detallan a continuación:

- *Configuración de la etapa de entrada*: Las configuraciones diferenciales son las que ofrecen mejor rendimiento (ver apartado 3.1.1). Por ello nos centraremos en las dos de este tipo que mejores resultados dieron en los análisis de calidad de la señal expuestos en el apartado anterior (ver 4.2) y a las que denominaremos configuración diferencial inversora y sumadora respectivamente en relación a la función desarrollada por los operacionales en cada una de ellas (ver figura 4.12).

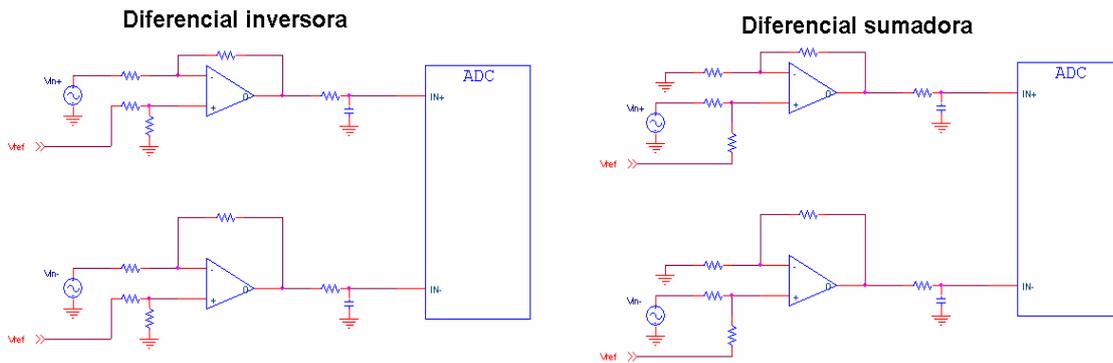


Figura 4-12: Configuraciones diferenciales de entrada estudiadas en la *ADC_Test_Board_V2.0*.

La figura 4.13 muestra la precisión en las conversiones para los dos ADCs con las dos configuraciones de entrada (sumadora e inversora) y con las dos configuraciones de tierra (“*solid*” y “*split*”). En todos los casos la configuración sumadora de la etapa de entrada ofrece mejores resultados. Esto se debe a que proporciona una mayor impedancia de entrada al sistema lo que preserva la calidad de la señal analógica de entrada.

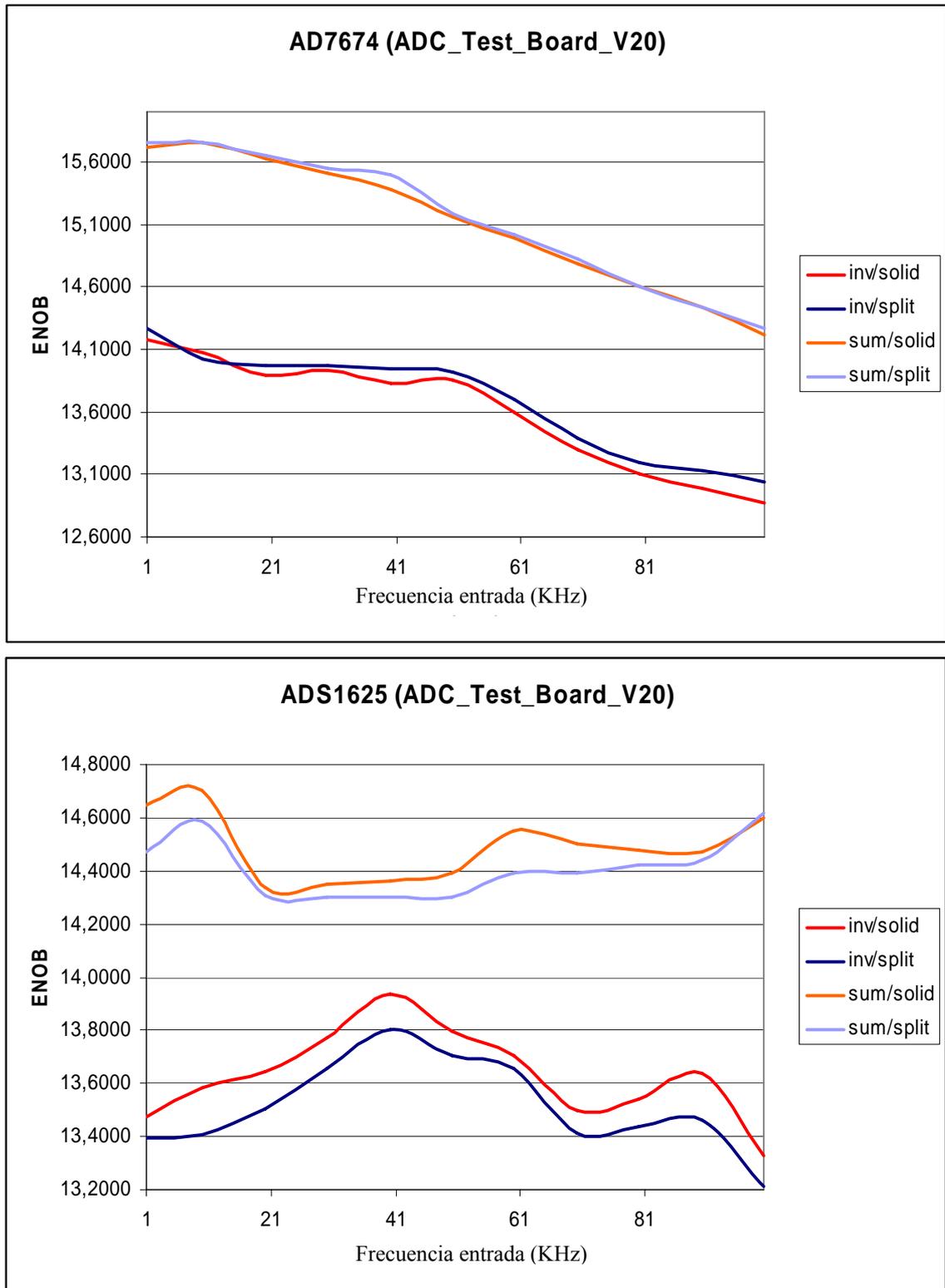


Figura 4-13: Resultados obtenidos con la *ADC_Test_Board_V2.0*.

- *Filtro RC y filtro RLC opcional:* La última etapa analógica antes del convertidor la constituye un filtro pasivo de primer orden. Como ya se mencionó en el apartado 3.1.1, éste sirve por un lado para reducir el ruido y por otro para almacenar la energía necesaria para cargar el condensador interno de muestreo y retención en el convertidor. Para encontrar los valores óptimos (mostrados en los esquemáticos del apéndice B) se procedió siguiendo el procedimiento descrito en 3.1.1.

Algunos estudios [58] afirman que para convertidores ADC de alta resolución este esquema es insuficiente y que para estos casos sería necesario la inclusión de un filtro pasivo RLC de 2° orden. Con el fin de analizar este asunto, el layout del sistema se diseñó de tal manera que para ambos convertidores es posible utilizar un filtro pasivo de 2° orden RLC a la entrada del mismo (ver figura 4.14).

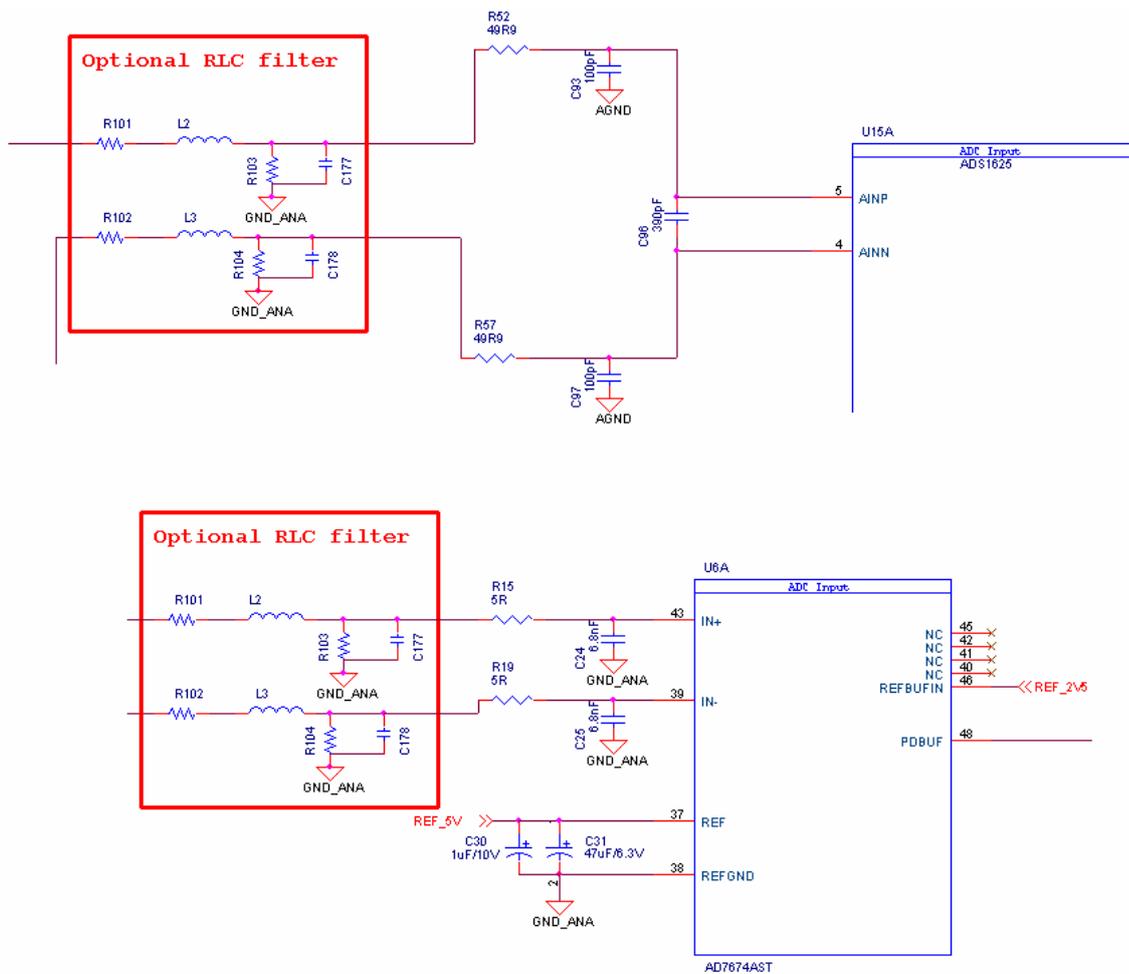


Figura 4-14: Filtro RLC a la entrada de ambos convertidores.

Tras calcular los valores adecuados para el filtro siguiendo las recomendaciones de algunos autores [84] se analizó la precisión en las conversiones con y sin filtro y se comprobó que la presencia de éste empeora la resolución del ADC. Si bien los niveles de ruido para frecuencias por encima de la de entrada disminuyen, la distorsión causada en la señal hace que la relación señal-ruido empeore, disminuyendo el número efectivo de bits (ENOB). Así pues no se recomienda la utilización de estos filtros en ADCs de alta resolución salvo que el ambiente de operación sea extremadamente ruidoso.

-*Voltajes de referencia*: La gran mayoría de los convertidores A/D permiten elegir entre el uso de una referencia externa al dispositivo o una referencia interna. Ésta última reduce la complejidad del sistema pero también la resolución del mismo. Aunque el diseño interno del convertidor para la generación de señales de referencia alcance gran precisión nunca podrá ser tan optimizado como en el caso de componentes con la única función de producir un voltaje. Por otro lado el uso de las referencias internas aumenta el consumo del chip, incrementando la temperatura interna lo que reduce la precisión.

- *Layout para los planos de masa (“solid” o “split”)*: Como ya se describió en el apartado 3.1.6, el sistema *ADC_Test_Board_V2.0* fue utilizado como sistema de test para analizar los efectos del diseño de los planos de tierra (analógico y digital) sobre la precisión de las conversiones. En él se pudieron comparar las dos configuraciones más utilizadas (“solid” y “split”, ver apartado 3.1.6 para una descripción detallada) en ambos convertidores.

El diseño original del sistema es una configuración “split”, tal y como se muestra en la representación del plano de masa en la figura 4.15.

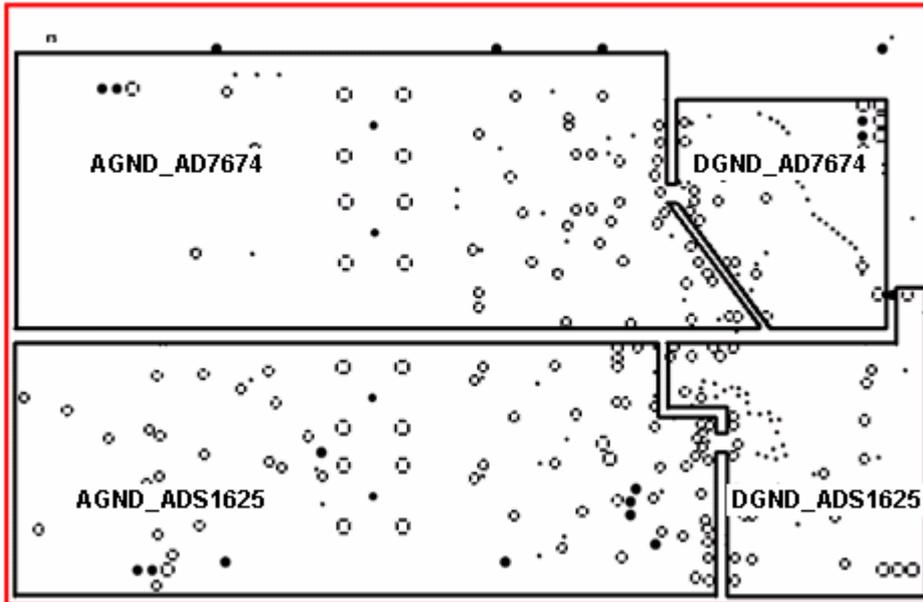


Figura 4-15: Plano de masa de la *ADC_Test_Board_V2.0*. AGND y DGND son independientes entre sí con una pequeña unión por debajo del convertidor (configuración “*split*”).

Por medio de una serie de uniones opcionales, señaladas en la figura 4.16 con círculo amarillo, es posible conectar AGND y DGND en numerosos puntos, obteniéndose algo muy similar a una configuración “*solid*” para ambos convertidores.

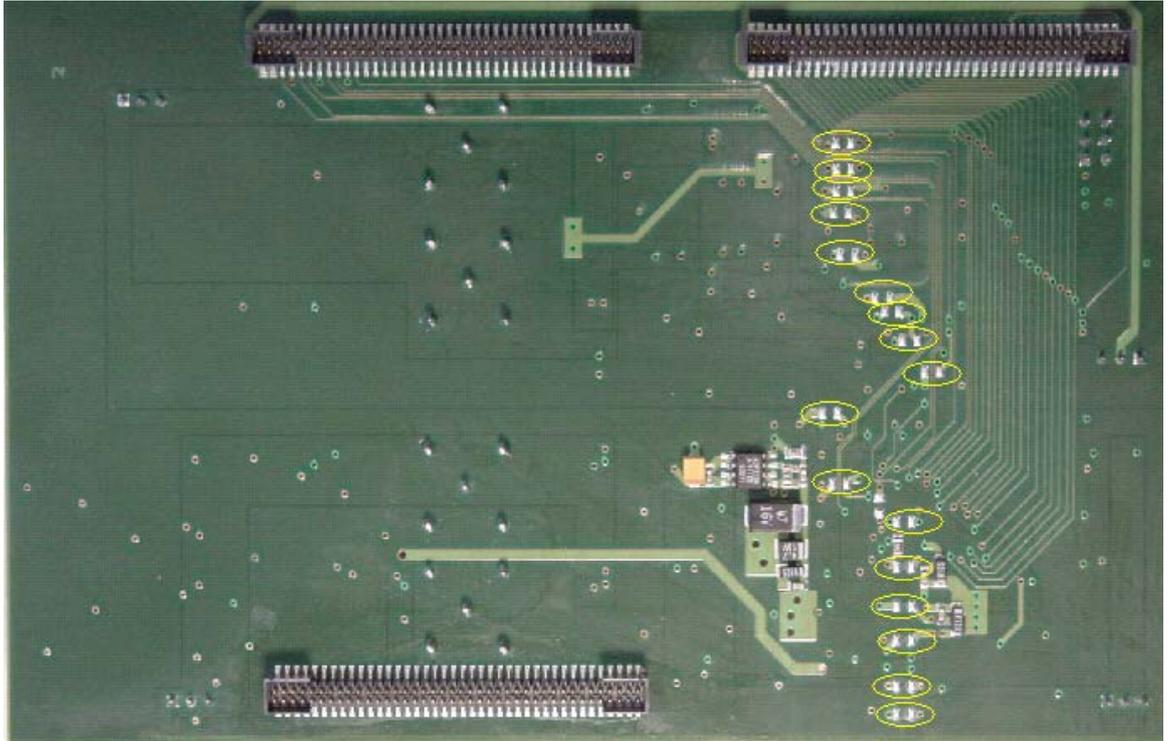


Figura 4-16; Uniones opcionales entre AGND y DGND que permiten obtener una configuración “solid”.

La figura 4.17 muestra los resultados del experimento. En ella se representa el número efectivo de bits para ambos convertidores con las dos configuraciones de masa frente a la frecuencia de la señal de entrada.

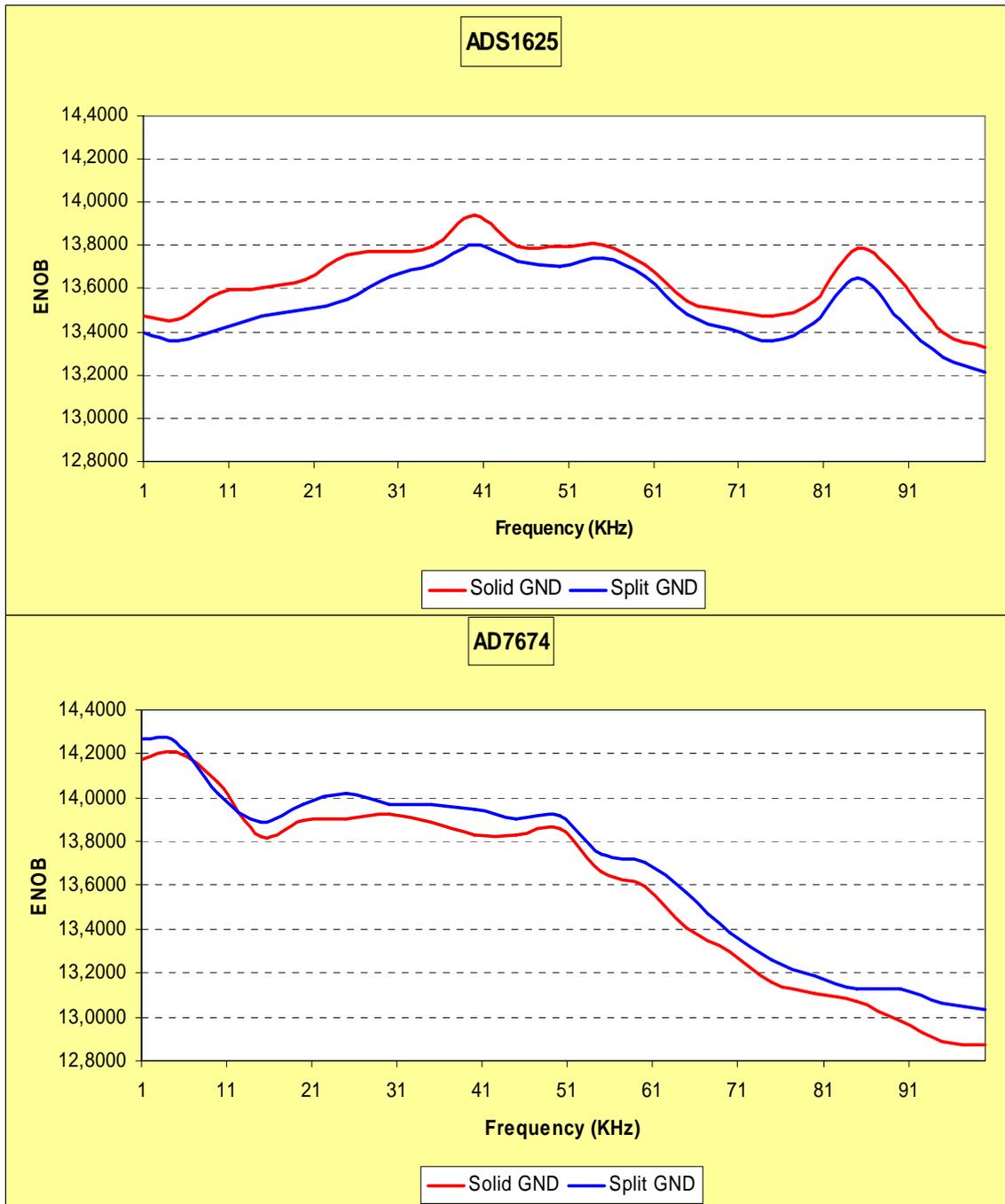


Figura 4-17: Resultados obtenidos con ambos convertidores para las dos configuraciones del plano de masa (“solid” y “split”).

De la gráfica se pueden extraer 3 conclusiones fundamentales:

1. Las curvas para ambos convertidores son líneas paralelas casi perfectas, lo que indica un comportamiento de los convertidores respecto a la frecuencia de entrada independiente de la configuración de masa.

2. La resolución del convertidor AD7674 disminuye con la frecuencia mientras que en el ADS1625 permanece constante. Ambos comportamientos coinciden con las especificaciones del fabricante, dando validez a estos resultados.
3. Los mejores resultados se obtuvieron con una configuración “*solid*” para el convertidor ADS1625 y con una “*split*” para el AD7674. Esto justifica las continuas discusiones sobre cual de las dos ofrece mejores prestaciones en sistemas ADC de alta resolución.

Como conclusión general se puede afirmar que no existe una configuración ideal para los planos de masa del sistema y que ésta depende del convertidor en cuestión. Por ello es recomendable, cuando se trata de alcanzar la mayor resolución posible con un sistema convertidor A/D, analizar que configuración de los planos de masa ofrece mejores prestaciones para el convertidor en cuestión.

- *Señal de reloj del sistema:* Al igual que se hizo en la versión anterior (*ADC_TestBoard_V1.0*) en este nuevo diseño es posible elegir entre dos fuentes para la señal de reloj del sistema: un oscilador externo y una señal generada por el microcontrolador. Tal y como se esperaba, ambas señales tienen una característica de jitter suficientemente bajo (ver apartado 4.2.2) como para no causar ninguna distorsión en las conversiones. Por ello para el diseño final (*ADC_TestBoard_V3.0*, ver apartado 4.4) se optó por la señal procedente del procesador, lo que simplifica el sistema.

4.4. ADC_TEST_BOARD_V3.0

4.4.1. Descripción del sistema. Modificaciones vs. V2.0

En éste ultimo diseño, *ADC_TestBoard_V3.0* (esquemáticos completos en el apéndice C), se aplicaron todas las conclusiones obtenidas en las investigaciones previas. El sistema (figura 4.18) se simplificó a un solo convertidor con el objetivo de concentrarse en obtener los mejores resultados posibles. Se eligió el AD7674 por sus mejores prestaciones en el rango de frecuencias que nos interesa. Pese a que se trata de alcanzar la mayor precisión posible dentro del rango 0-100Khz, son las frecuencias más bajas las de mayor interés en el caso práctico de un sistema de registro de datos en un vehículo de Fórmula-1. La mayor parte de las medidas realizadas por los sensores se corresponden con magnitudes cuyas variaciones no superan los 40 Khz (como es el caso

de mediciones de temperatura). Es por ello que se escogió el AD7674 para el diseño final ya que, como se ve en las gráficas de la figura 4.18, su rendimiento es claramente superior para señales de entrada de baja frecuencia.

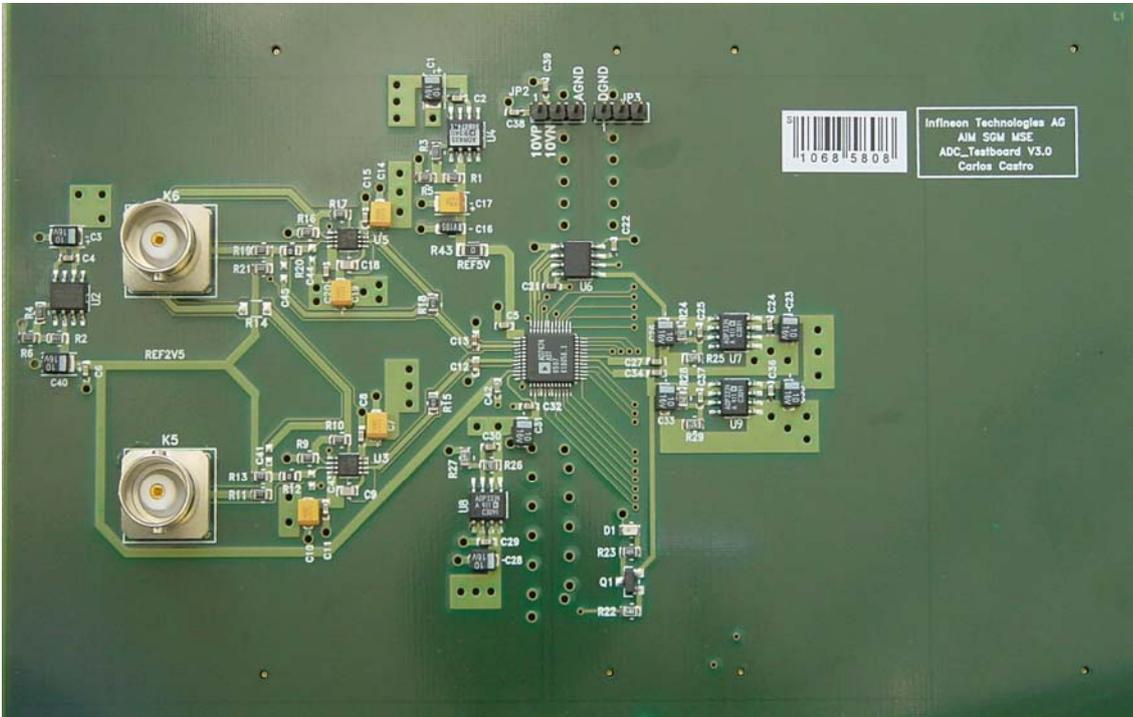


Figura 4-18: ADC_Test_Board_V3.0.

Las principales diferencias con respecto a la versión previa se encuentran en la eliminación de componentes con la misma funcionalidad. Así, por ejemplo, la generación de la señal de reloj sólo es posible en este diseño mediante el microcontrolador ya que, como se comprobó anteriormente, el jitter presente no afecta la resolución del convertidor. Por tanto no es necesario añadir un oscilador externo.

También se encuentran similitudes con la V20. La etapa de entrada es la misma (diferencial sumadora, ver figura 4.12) puesto que se verificó que la distorsión causada por esta configuración en la señal analógica de entrada es mínima. Así mismo, y al igual que en el anterior diseño, el layout del plano de masa puede variarse entre una configuración “*solid*” y “*split*” permitiendo continuar las investigaciones sobre su influencia en la resolución de las conversiones.

Para evitar o, al menos, reducir los efectos de otras señales y/o sistemas sobre la entrada analógica al convertidor se aplicaron “blindajes” alrededor de las líneas más sensibles a ruido de la placa. Este método consiste en utilizar pistas conectadas a tierra paralelas a la señal que se quiere proteger, tal y como se muestra en la figura 4.19 [51]. Las flechas rojas indican las líneas “protectoras” y las amarillas las “protegidas”.

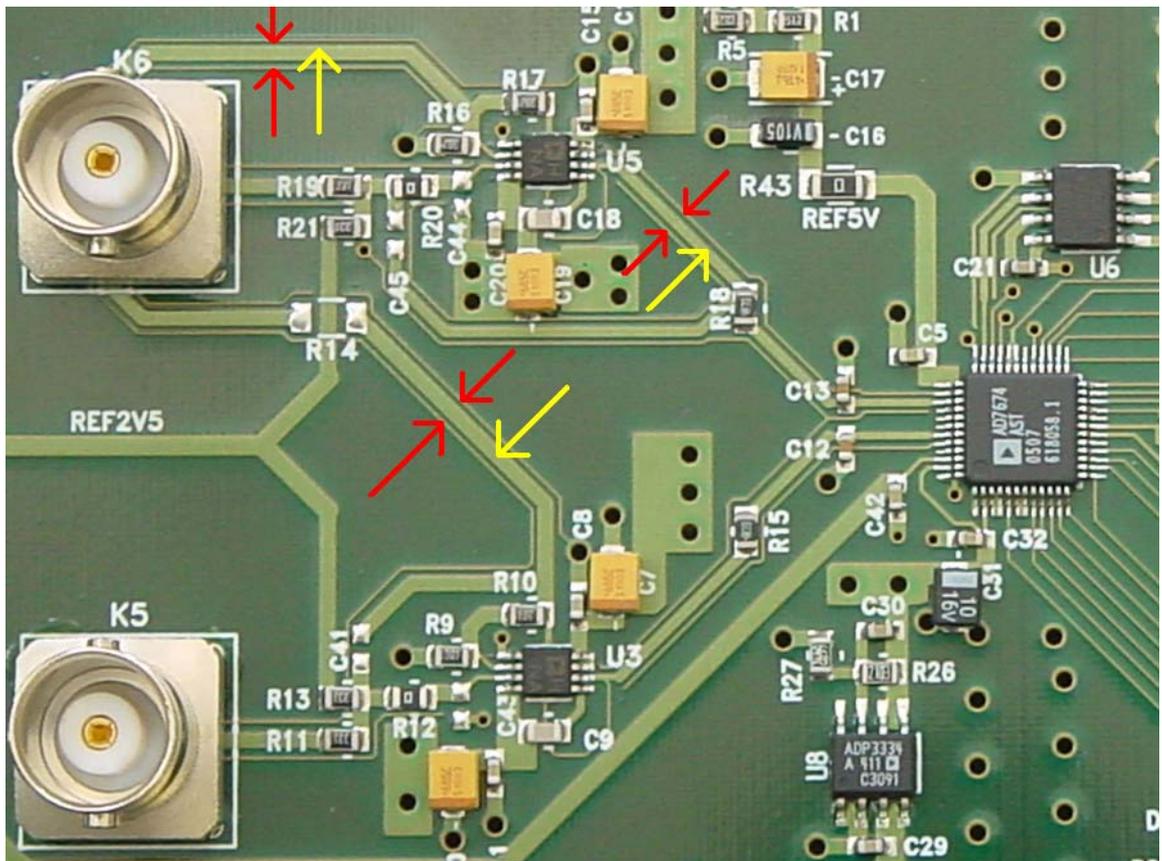


Figura 4-19: Señales analógicas “blindadas”. En rojo se señalan las líneas dedicadas al blindaje y en amarillo las blindadas.

Las pistas conectadas a tierra absorben las interferencias evitando que éstas distorsionen las señales.

4.4.2. Resultados

Una vez encontrada la configuración más apropiada en lo que a resolución del sistema se refiere (aplicada en la versión V30 y mostrada en el apéndice C), se llevaron a cabo dos nuevas investigaciones:

- *Influencia de sistemas externos en la precisión del convertidor.*

Al igual que ocurrió con la versión previa (V20) se observó que la presencia de un sistema próximo al ADC (“*TriCore Board*”) degrada la calidad de las conversiones. En especial las bobinas ya mencionadas en el apartado anterior causan una gran distorsión. Esto se puede ver claramente en la figura 4.20. La gráfica de la izquierda muestra la FFT de una señal digital de salida (una senoide de 10KHz) con ningún tipo de protección del sistema ADC en contra de la influencia de las bobinas. Entorno a 176KHz, frecuencia de la señal de éstas últimas, el nivel de ruido aumenta notablemente, disminuyendo el número efectivo de bits. En la gráfica de la derecha las bobinas han sido “blindadas”, es decir, se aislaron electromagnéticamente mediante una lámina de aluminio, eliminando el ruido y aumentando la resolución final de las conversiones.

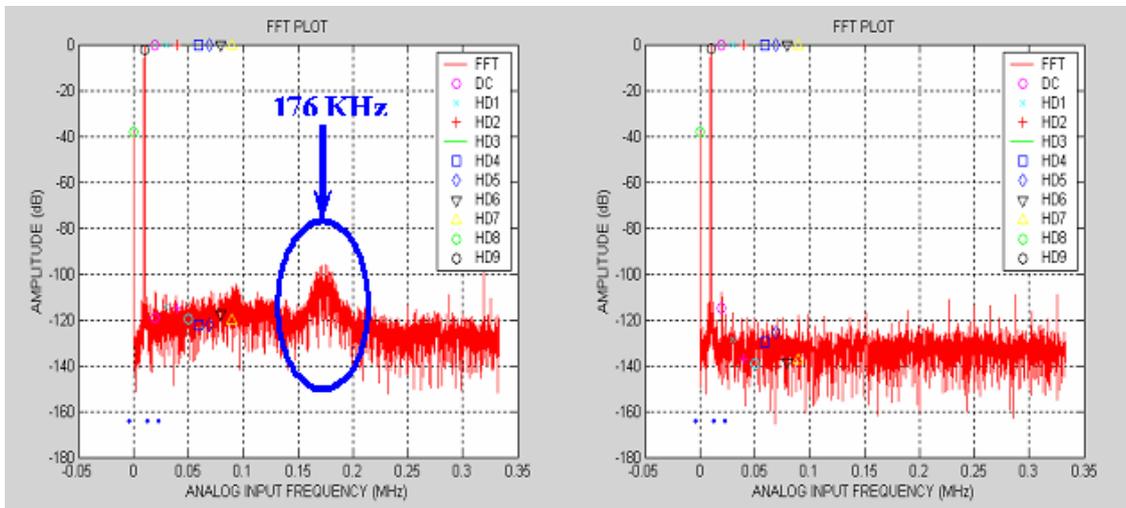


Figura 4-20: FFT de la señal digital de salida del convertidor sin protección electromagnética (izquierda) y con protección (derecha).

La gráfica de la figura 4.21 muestra los resultados de un experimento llevado a cabo para comprobar la influencia de distintos métodos de blindaje, es decir, diferentes formas de aislar al convertidor de la influencia de sistemas externos al mismo. En la tabla 4.2 se detallan cada uno de los procedimientos usados:

1	Bobinas no blindadas
2	Bobinas blindadas
3	2 + pequeña placa de metal sobre las bobinas
4	2 + fina lámina de aluminio separando las dos placas (<i>ADC_TestBoard_V3.0</i> y “ <i>TriBoard</i> ”)
5	3+4
6	5+Recinto metálico aislando por completo la <i>ADC_TestBoard_V3.0</i>

Tabla 4-2: Descripción de los métodos utilizados para el aislamiento electromagnético del sistema.

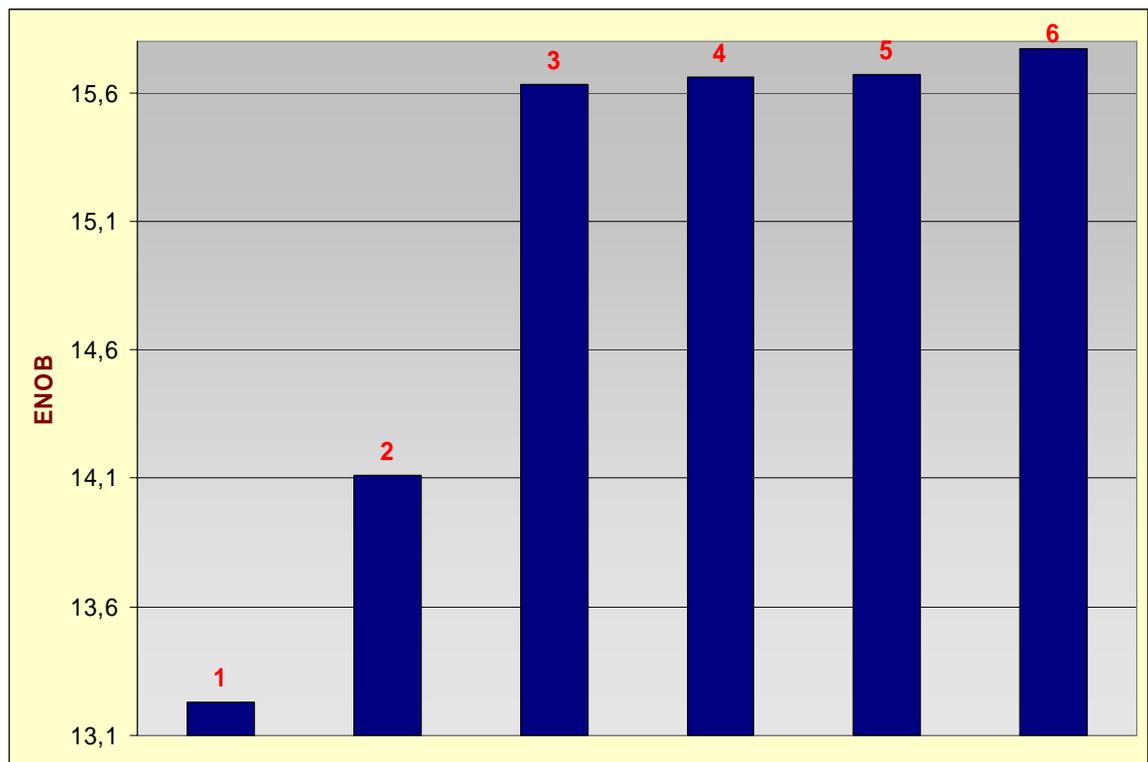


Figura 4-21: ENOB obtenido con diferentes métodos de aislamiento electromagnético (ver tabla 4.2.2-1).

De los resultados mostrados se pueden obtener dos claras conclusiones:

- ❖ Cuanto mayor sea la protección del sistema contra interferencias externas, mayor será la precisión (ENOB) de las conversiones.
- ❖ Cercar al sistema, es decir, aislar por completo al convertidor mediante un recinto metálico (método 6), no conlleva una mejora en los resultados. Esto se debe a que las interferencias causadas por el ADC quedan atrapadas en dicho recinto influyendo en las propias señales del sistema.

- *Configuración de los planos de masa analógico y digital.*

Con el fin de confirmar los resultados obtenidos en el estudio de las configuraciones de masa (mostrados en el apartado 4.3), el sistema fue diseñado de forma similar a como se hizo en la versión V20, es decir, originalmente se dispone de una configuración “*split*” (AGND y DGND independientes entre si) pero por medio de conexiones opcionales se obtiene una configuración “*solid*” (un solo plano para AGND y DGND). De esta forma se puede comparar directamente sobre un único ADC los efectos de ambos esquemas de masa. La gráfica de la figura 4.22 muestra el ENOB de las conversiones frente a la frecuencia de la señal de entrada para “*solid-GND*” (línea roja) y para “*split-GND*” (línea azul).

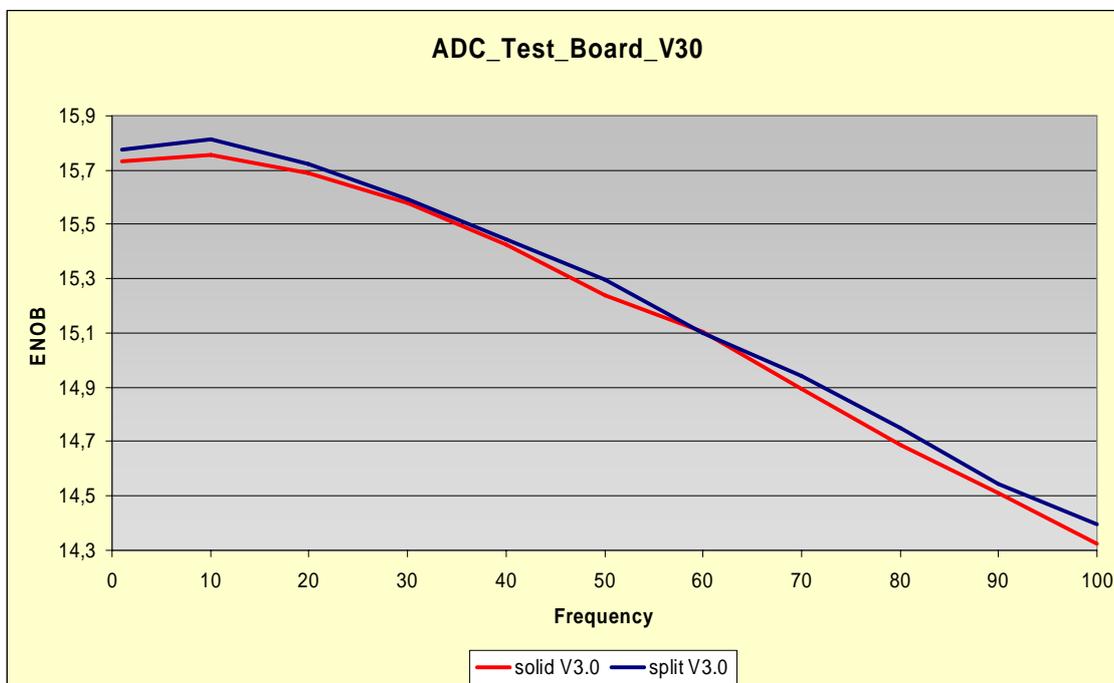


Figura 4-22: Resultados obtenidos con la ADC_Test_Board_V3.0 con las dos posibles configuraciones de masa (“*split*” y “*solid*”).

Estos resultados confirman los obtenidos en el experimento expuesto en el apartado 4.3. Al igual que entonces, la precisión del convertidor AD7674, el ENOB, es mayor utilizando planos AGND y DGND independientes entre sí (*split-GND*). También es muy similar el comportamiento del ADC con respecto a la frecuencia de la señal de entrada.

Como consecuencia de aplicar todas las conclusiones de investigaciones previas se ha logrado una muy elevada resolución para el sistema. Así por ejemplo, con una señal analógica de entrada de 10KHz se tiene un ENOB de 15.81 bits. Para una señal de entrada de 5V de amplitud esto equivale a una precisión efectiva de $87\mu\text{V}$, lo que ofrece una clara idea de la extrema exactitud de las conversiones.

4.5. Aplicación de filtros digitales

A lo largo de todo el proyecto todos los esfuerzos se centraron en una optimización del hardware. Una vez que la placa ha sido producida no queda margen de mejora mediante modificaciones de los circuitos. Como en todo sistema electrónico de procesado digital, las únicas alteraciones posibles se reducen a variaciones en el software. En nuestro caso se buscó la mayor resolución posible sin acudir a ningún tipo de aplicación software, las cuales dependen en gran medida de la finalidad del ADC, es decir, se trató de obtener una unidad convertidora A/D de alta resolución, cuyo rendimiento pueda aumentarse mediante software, en mayor o menor medida, dependiendo del sistema en el que sea integrado.

Un ejemplo de aplicación software ampliamente utilizado en convertidores A/D son los filtros digitales. Sin embargo sus características quedan muy limitadas por la velocidad de operación del procesador y las del sistema en su conjunto. Cuanto mayor sea el orden del filtro mayor será la mejora obtenida en la precisión de las conversiones, pero por otro lado también es mayor el número de operaciones a realizar. Por ello, la implementación del filtro dependerá del procesador incorporado.

En un sistema de registro de datos (*Data Logger*) un mismo microcontrolador se encarga de muy diversas tareas. En el caso concreto del sistema para el que realizó esta investigación (DAQ, ver apartado 1), el procesador es responsable de 16 canales con una frecuencia de muestreo de 1Ksample/s y de otros 16 canales a 50Ksamples/s, además de otras muchas actividades (almacenamiento, transmisión y procesado de las informaciones adquiridas). Su capacidad de operación se utiliza casi al límite, por lo que sólo se pueden aplicar filtros digitales de órdenes bajos. Sin embargo, incluso cuando la complejidad del filtro no es elevada se puede obtener una considerable mejora en la precisión. La figura 4.23 muestra los resultados tras aplicar un filtro digital muy sencillo

(*Butterworth*, paso baja, segundo orden con frecuencia de corte 250KHz) a los códigos digitales de salida de la *ADC_Test_Board_V3.0*.

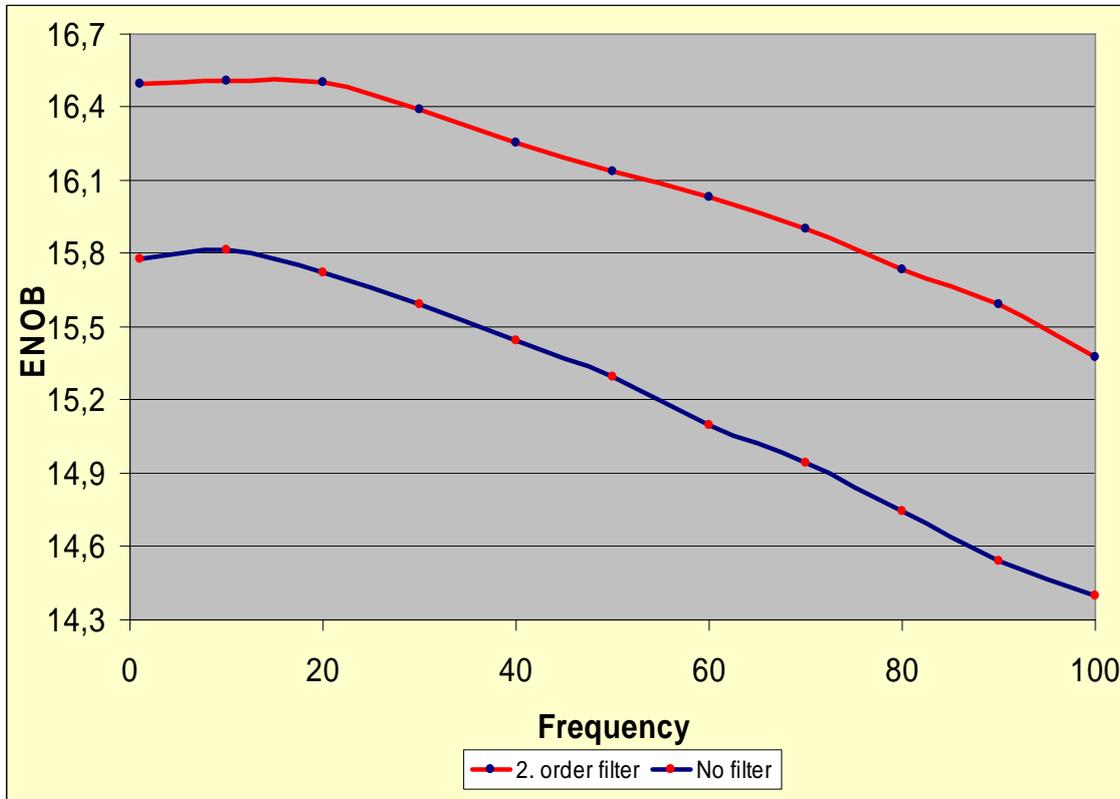


Figura 4-23: Resultados obtenidos con la *ADC_Test_Board_V3.0* antes y después de aplicar un filtro digital a los códigos de salida del convertidor.

El aumento conseguido en el ENOB del sistema es significativo, ganándose casi 1-bit de resolución. El número de operaciones para implantar este filtro es muy bajo, haciéndolo aplicable a casi todo tipo de sistemas independientemente de la carga operativa del procesador. En los casos en los que ésta última sea relativamente baja, se puede recurrir a filtros de respuesta más abrupta y cuyas características se adapten en mayor grado a las de la señal de entrada, obteniéndose así un aumento del rendimiento del convertidor considerablemente superior.

Un interesante tema de investigación para posibles futuros diseños lo constituyen los filtros adaptables digitales. El término “filtro adaptable” implica que los parámetros que caracterizan al filtro, tales como ancho de banda o frecuencias de los ceros cambian con el tiempo, esto es, en contraposición a los coeficientes de los filtros

fijos que son invariantes con el tiempo. El tener los coeficientes del filtro no fijos, sino variables, es necesario cuando no se conocen a priori las características estadísticas de la señal a filtrar, o cuando se conocen y se sabe que son cambiantes con el tiempo.

Los filtros adaptables basan su funcionamiento en algoritmos recursivos que hacen posible un rendimiento muy satisfactorio en ambientes donde no se dispone de una completa información sobre el tipo de señal [33]. El algoritmo comienza a partir de un conjunto de condiciones iniciales predeterminadas, representando un total desconocimiento del ambiente. En condiciones no estacionarias para el sistema, el algoritmo posee una elevada capacidad de adaptación.

Una consecuencia directa de la aplicación de un algoritmo recursivo es que los parámetros del mismo se actualizan en cada iteración, es decir, los parámetros se hacen dependientes de los datos. Esto significa que un filtro adaptable es un dispositivo no-lineal ya que no cumple el principio de superposición. Por otro lado, en ocasiones se definen los filtros adaptables como lineales en el sentido que la estimación de los valores se obtiene adaptablemente como una combinación lineal del conjunto de observaciones disponibles aplicado a la entrada del filtro.

Existen un gran número de algoritmos recursivos aplicables a filtros adaptable. La elección del algoritmo viene determinada por varios factores:

- a) Rango de convergencia: número de iteraciones necesarias para que el algoritmo converja a una solución óptima en condiciones estacionarias. Se considera una solución óptima aquella cuyos resultados se aproximen a los de una configuración “*Wiener*” (filtro digital lineal no-adaptable).
- b) Desajuste: diferencia entre el valor final del error cuadrático medio producido por el algoritmo estudiado y el producido por el filtro *Wiener*.
- c) Requerimientos computacionales: aquí se incluye el número de operaciones (multiplicaciones, divisiones y sumas) necesarias para completar una iteración del algoritmo y el tamaño de la memoria requerido para almacenar los datos y el programa.

La ecuación de entrada-salida de un filtro adaptable digital es:

$$y(n) = \sum_{i=0}^N a_i(n)x(n-i) - \sum_{j=1}^M b_j(n)y(n-j) \quad (4-2)$$

Donde $x(n)$ e $y(n)$ son las muestras de entrada y salida, respectivamente, en el instante n , $a_i(n)$ y $b_j(n)$ son los pesos del filtro i -ésimo y j -ésimo en el instante n , y $N+M+1$ es el número total de coeficientes del filtro. Si en lugar de usar $a_i(n)$ y $b_j(n)$ se utilizan a_i y b_j , los coeficientes ya no serían variantes con el tiempo, y nos encontraríamos ante un filtro fijo en lugar de ante un filtro adaptable. Si $b_j(n) = 0$ para $1 \leq j \leq M$, resulta un filtro adaptables FIR, esto es, de respuesta impulsional finita:

$$y(n) = \sum_{i=0}^N a_i(n)x(n-i) \quad (4-3)$$

El filtro digital adaptables podría perfectamente implementarse mediante un filtro IIR (respuesta impulsional infinita), pero los filtros FIR son mucho menos susceptibles que los IIR de ser inestables. Hay que recordar que los filtros IIR tienen tanto polos como ceros, y, sin más que observar directamente la ecuación de entrada-salida del filtro en el dominio del tiempo, no se sabe dónde están los polos ni los ceros, con lo que puede que los polos queden fuera de la circunferencia de radio unidad haciendo que el filtro sea inestable. Además, aunque se conocieran teóricamente los coeficientes a utilizar para tener los polos y ceros donde se necesitan, y consiguiendo siempre la estabilidad del filtro, dado que se trabaja con filtros digitales, también los coeficientes (pesos) del filtro están cuantificados y codificados en forma binaria, con lo que es posible que por problemas de cuantificación los polos queden desplazados respecto del lugar teórico donde debieran estar, pudiendo salirse de la circunferencia de radio unidad, haciendo el filtro inestable. Ello no quiere decir que los filtros FIR sean siempre estables, de hecho, su estabilidad depende del algoritmo que se use para ajustar sus coeficientes. Sin embargo, se utilizan generalmente filtros FIR porque su estabilidad/inestabilidad es más controlable que en los IIR.

Las atractivas características de los filtros digitales adaptables, es decir, su capacidad de adaptación a un medio desconocido, hacen de estos dispositivos una herramienta muy útil para el procesamiento de señales [54]. Su inclusión en sistemas ADC de alta resolución puede ayudar a aumentar las prestaciones de éstos componentes. Para ello sería necesario estudiar que clase de filtro adaptable ofrece un mejor rendimiento y

desarrollar una metodología para la evaluación de los resultados. La utilización de señales sinusoidales de frecuencia constante no sería válida ya que la propiedad fundamental de estos filtros es su capacidad de adaptación variaciones en el medio.

5. Conclusiones y principales aportaciones.

En este capítulo se presenta de forma esquemática las principales aportaciones y resultados obtenidos durante la realización de este proyecto. Así mismo se introducen posibles líneas de investigación futuras con el fin de mejorar la precisión final alcanzada o de llevar a cabo nuevas contribuciones al campo de los sistemas convertidores analógico-digital.

La continua mejora de los sistemas electrónicos en la industria automovilística en busca de mayor seguridad, fiabilidad y rendimiento del coche se convierte en una extrema necesidad en la Fórmula-1 debido a la gran competitividad existente.

Una de los principales unidades electrónicas en este tipo de vehículos es la de registro de datos, encargada de recibir, almacenar y transmitir toda la información recogida por los numerosos sensores (temperatura, presión, vibraciones, etcétera). Sus prestaciones finales dependen en gran medida de la precisión alcanzada por los sistemas convertidores analógico-digital encargados de transformar la señal analógica procedente de los sensores a formato digital para su posterior procesado, almacenamiento y/o transmisión.

El proyecto de investigación presentado en esta memoria de tesis doctoral estudió que factores afectan con mayor medida a la resolución efectiva de los ADCs y como reducir dicha influencia, centrándose en los siguientes aspectos:

- La descripción del fundamento de la conversión A/D y de distintos tipos de circuitos que realizan la misma así como de las especificaciones necesarias para la caracterización del comportamiento real de estos dispositivos (Capítulo 2).
- El establecimiento de criterios claros para el diseño de sistemas de conversión A/D de alta resolución (Capítulo 3).

- El diseño de las etapas principales de un sistema de conversión A/D, análisis de la influencia de cada una de las etapas en la precisión efectiva, y caracterización funcional y eléctrica de las mismas (Capítulo 3).
- Diseño y construcción de tres sistemas para la evaluación de diversas soluciones, tratando de aplicar las conclusiones obtenidas en capítulos precedentes (Capítulo 4).
- La evaluación y caracterización de prestaciones de los tres sistemas construidos (Capítulo 4). Esto ha permitido establecer con rigor las prestaciones del sistema e identificar los puntos débiles y fuertes de los distintos diseños.

Las principales conclusiones obtenidas a lo largo de las investigaciones son las siguientes:

- I. En la etapa de entrada del sistema se recomienda el uso de amplificadores operacionales con realimentación de voltaje por su mayor precisión y simetría con respecto a los de realimentación de corriente. La característica SNR debe ser siempre superior a la propia del convertidor.
- II. La configuración que ofrece un mayor rendimiento para la etapa de entrada es la denominada “diferencial sumadora” debido principalmente a su alta impedancia de entrada, lo que provoca mínimas variaciones en la señal analógica.
- III. Pese a existir fórmulas de cálculo para los valores del filtro RC a la entrada del convertidor, aquellos que ofrecen los mejores resultados en términos de resolución dependen del sistema particular diseñado. Por ello es siempre aconsejable, una vez calculados los valores teóricos realizar numerosas pruebas con pequeñas variaciones de los mismos, hasta encontrar los más adecuados.

- IV. Cualquier tipo de ruido en las líneas de alimentación de los dispositivos afectan a su rendimiento. Esto es crítico en componentes de alta precisión (convertidores A/D, amplificadores operacionales, fuentes de referencia), por ello es importante tomar todas las medidas necesarias para evitarlo. Fundamentalmente se deben mantener las alimentaciones digitales y analógicas independientes entre si y utilizar, siempre que sea posible, condensadores de *bypass*. En caso de planos internos de alimentación en la PCB, nunca localizar las vias entre los condensadores y los pins del chip, ya que esto reduce enormemente la efectividad de los primeros.
- V. Se demostró que los voltajes de referencia son uno de los bloques más importantes para las conversiones. Por ello es necesario evitar cualquier tipo de interferencia sobre los mismos. Se deben “blindar” las líneas en la PCB y mantener estos circuitos lo más alejados posibles de los componentes digitales, mayores causantes de ruidos.
- VI. Cualquier tipo de imperfección en la sincronización de la señal de reloj (jitter) provocará un muestreo erróneo de la entrada analógica, disminuyendo la resolución efectiva del convertidor. Es por tanto muy importante utilizar una señal de bajo jitter y evitar aquellos factores que lo pueden ocasionar o aumentar:
- No permitir que la señal de reloj sea una línea paralela a ninguna otra señal, para así evitar las interferencias entre ellas.
 - Si la señal de reloj cruza otras líneas situadas en distintos planos de la PCB debe hacerlo perpendicularmente, de forma que se evite al máximo las posibles interferencias entre ellas.
 - Blindar las líneas portadoras de la señal de reloj y siempre utilizar planos de tierra por debajo de la misma.

- Mantener las líneas portadoras de la señal de reloj lo más cortas posibles.

VII. A lo largo de las investigaciones se observó que el diseño de la PCB (*Printed Circuit Board*), conocido como layout, es un factor decisivo para la precisión del sistema. Los principales puntos a tener en cuenta son:

- Mantener los componentes digitales separados de los analógicos.
- Fuentes de alimentación lejanas a líneas sensibles a ruido (señal analógica de entrada, voltajes de referencia, etcétera.).
- Prestar especial interés al diseño de los planos de tierra analógico (AGND) y digital (DGND) utilizando una configuración “*split*” o “*solid*” dependiendo del convertidor.
- “Blindar” las líneas analógicas sensibles a interferencias.
- Mantener las líneas correspondientes a las señales analógicas de entrada simétricas y lo más cortas posibles.
- En caso de interacción con otros sistemas electrónicos utilizar métodos de aislamiento electromagnético para los componentes sensibles a interferencias electromagnéticas.

En definitiva, se puede afirmar que los dos principales objetivos planteados al comienzo de las investigaciones han sido cumplidos:

- ❖ El estudio de los principales factores en la resolución efectiva de un sistema convertidor analógico-digital y la búsqueda de soluciones para reducir sus efectos.
- ❖ La aplicación práctica de los resultados obtenidos en un sistema convertidor A/D cuya obteniendo una precisión final efectiva de 16-bits.

En la F-1 cualquier tipo de mejora en el rendimiento de los sistemas se hace en poco tiempo insuficiente. Es por ello que en un próximo futuro se buscarán mayores

precisiones en los sistemas ADC. Con este fin se proponen como inmediatas líneas de investigación las siguientes:

- a. *La utilización de filtros digitales adaptables.* Las atractivas características de los filtros digitales adaptables, es decir, su capacidad de adaptación a un medio desconocido, hacen de estos dispositivos una herramienta muy útil para el procesado de señales. Su inclusión en sistemas ADC de alta resolución puede ayudar a aumentar las prestaciones de éstos componentes. Para ello sería necesario estudiar que clase de filtro adaptable ofrece un mejor rendimiento y desarrollar una metodología para la evaluación de los resultados. La utilización de señales sinusoidales de frecuencia constante no sería válida ya que la propiedad fundamental de estos filtros es su capacidad de adaptación variaciones en el medio.
- b. *El estudio de los mejores aislamientos electromagnéticos para este tipo de sistemas.* Debido a la gran complejidad de otras unidades electrónicas incorporadas en los vehículos actuales, las interferencias que se producen entre ellas son cada vez más importantes, afectando seriamente la calidad de la señal.

Como conclusión, podemos afirmar que este trabajo de investigación contribuyó de manera muy importante al desarrollo del nuevo sistema de registro de datos utilizado por la escudería Ferrari de F-1, en lo que a la conversión analógica-digital de las señales se refiere. Así mismo se dejan abiertas posibles líneas de investigación futuras que permitirían mejorar aún más el rendimiento de estos sistemas.

6. Conclusions and main contributions

In this chapter the main contributions and results obtained throughout the project are schematically presented. Moreover, some suggestions about possible pieces of research for the future are introduced which could help to increase the final reached accuracy or to make new contributions to the field of analogue-to-digital converters.

The constant improvements carried out by the automobile industry in search of higher security, reliability and performance in a car becomes an extreme necessity in Formula-1 due to the great competitiveness of the sport.

One of the main electronic units in these kinds of vehicles is the Data Acquisition system (DAQ), which receives, saves and/or transmits all the information (e.g. temperature, pressure, vibration, etc.) collected by various sensors (up to 200) present in the car. The efficiency of this process largely depends on the precision achieved by the analogue-to-digital converter system, which is responsible for transforming the analogue signal from the sensors into a digital signal for its later processing, storage and transmission.

The investigations presented in this thesis studied which factors affect, to a greatest extent, the effective resolution of an ADC-System and how to reduce such influence.

The main conclusions obtained throughout the project are set out below:

- I. It is recommended to use voltage feedback operational amplifiers (OP) at the input stage of the system as they indicate a higher precision and symmetry than current feedback operational amplifiers. The SNR specification for the OPs must always be higher than the converter itself.

-
- II. The best input stage configuration in terms of performance is the so-called “differential sum” owing to its high input impedance and thus, adding a very low distortion on the analogue signals.

 - III. Despite the fact that there are equations available to calculate the values for the RC filters at the input of the converter, those offering best results in terms of resolution depend on the specific designed system. Therefore, it is always recommended, that once the theoretical values are obtained, to try with close values until the most suitable ones are found.

 - IV. Any kind of noise in the power supply of a system affects its performance. This is critical for high precision analogue devices such as A/D converters, operational amplifiers or voltage references and therefore special attention must be given to this issue. Principally, analogue power supplies must be kept away from digital lines and if possible using bypass capacitors on both. In case of using internal power supply layers in the PCB, do not put via holes between the bypass capacitors and the device as it reduces the effectiveness of the capacitors.

 - V. It was shown that reference voltages are one of the most important blocks for the conversions, and therefore, it is absolutely necessary to avoid all kind of interferences on them. Voltage Reference traces must be shielded in the PCB and voltage reference devices must be kept as far apart as possible from digital devices as they are the greatest source of noise.

 - VI. All kind of flaws on the timing of the signal clock (jitter) causes a sampling error in the analogue input signal thus, decreasing the effective resolution in the converter. Therefore, it is vital to design the system with a very low jitter signal clock and to avoid the factors which could increase it, that is:
 - Do not allow the signal clock trace on the PCB to be parallel to any other signal in order to avoid crosstalk.

- If the signal clock has to cross other tracks on different layers in the PCB, it should do so perpendicularly, thus preventing possible interferences.
- If possible, it is highly recommended shielding the signal clock traces on the PCB and to use ground planes directly underneath.
- Keep signal clock traces as short as possible.

VII. The high priority of the PCB layout for the resolution of the system was noted throughout the project. When designing a PCB the following factors must be taken into consideration:

- Keep analogue and digital devices as far apart from each other as possible.
- Keep power supply circuits as far apart from sensitive traces to noise (e.g. analogue input signals, references, etc) as possible.
- Pay special attention to the analogue (AGND) and digital (DGND) ground plane design choosing a “split” or “solid” configuration depending on the specific converter.
- Shield analogue signals sensitive to interferences.
- Keep analogue input traces symmetrical and as short as possible.
- Use electromagnetic insulation for devices sensitive to electromagnetic interferences in case of interaction with other electronic systems.

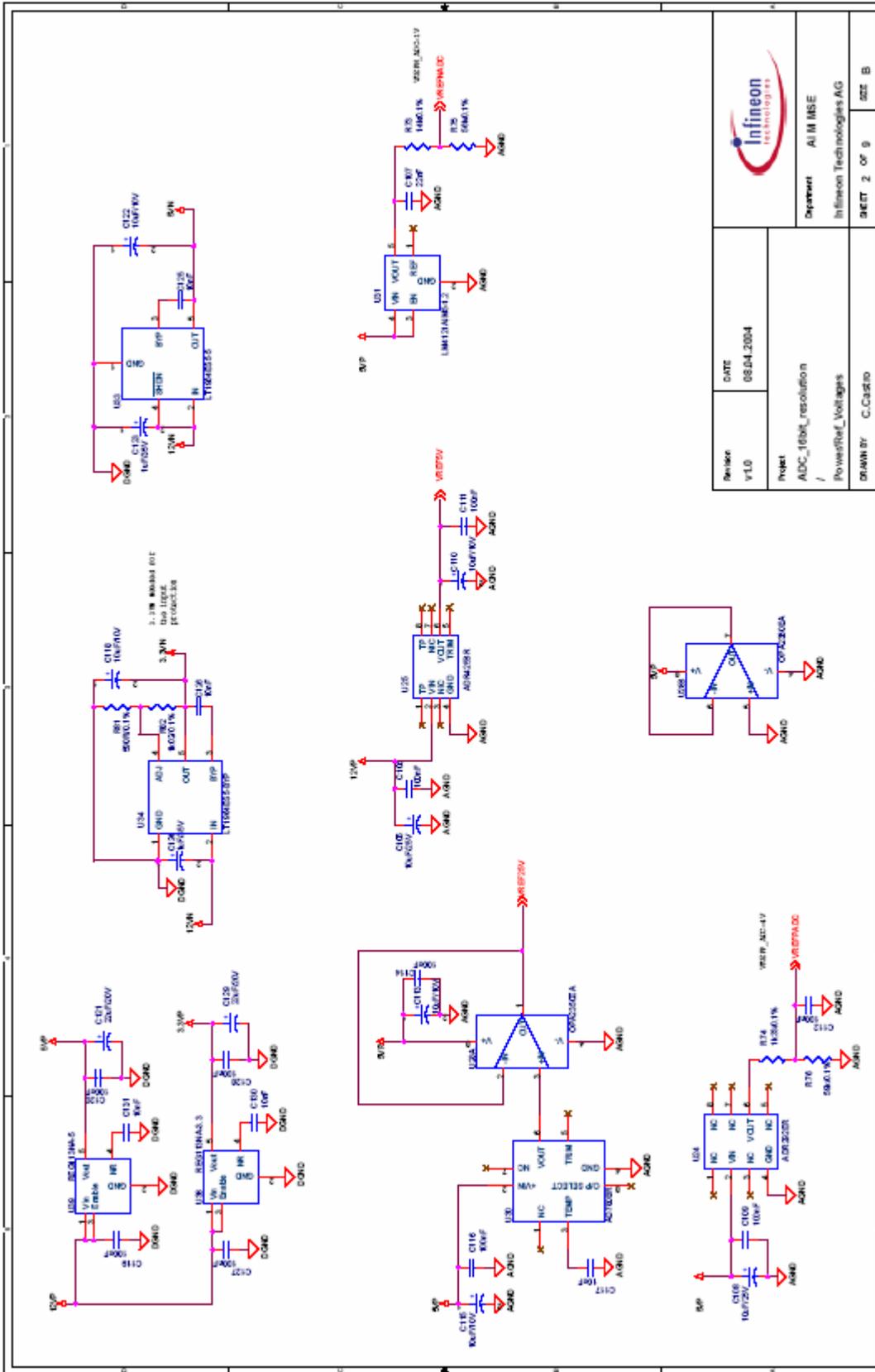
The two main targets of this piece of research have been successfully accomplished, that is:

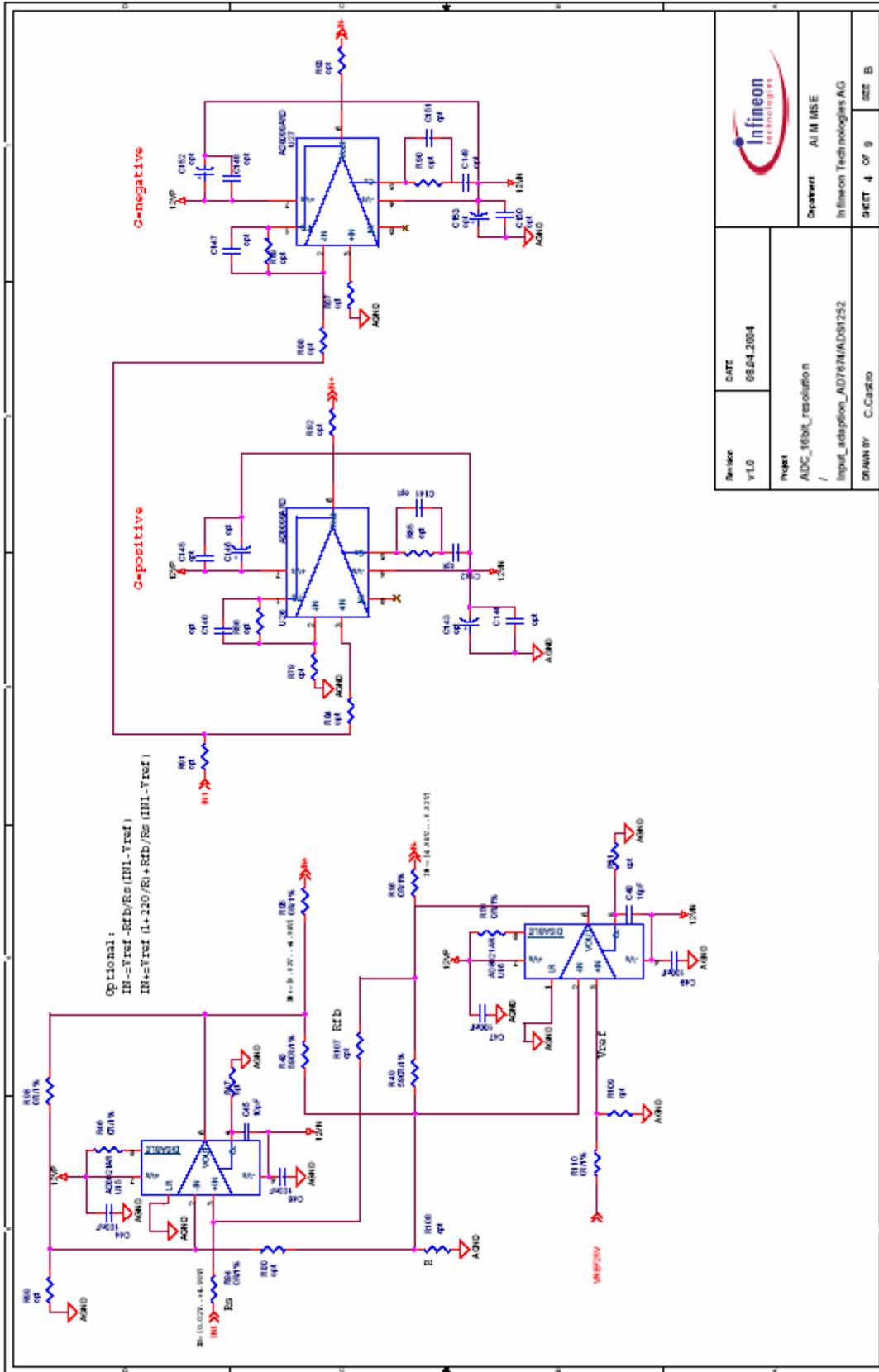
- ❖ To find out which factors have the highest influence on the effective resolution of an ADC-System and how to reduce their effects.
- ❖ The obtained results were put into practice on an ADC-System, making it possible to achieve an accurate 16 Effective Numbers of Bits.

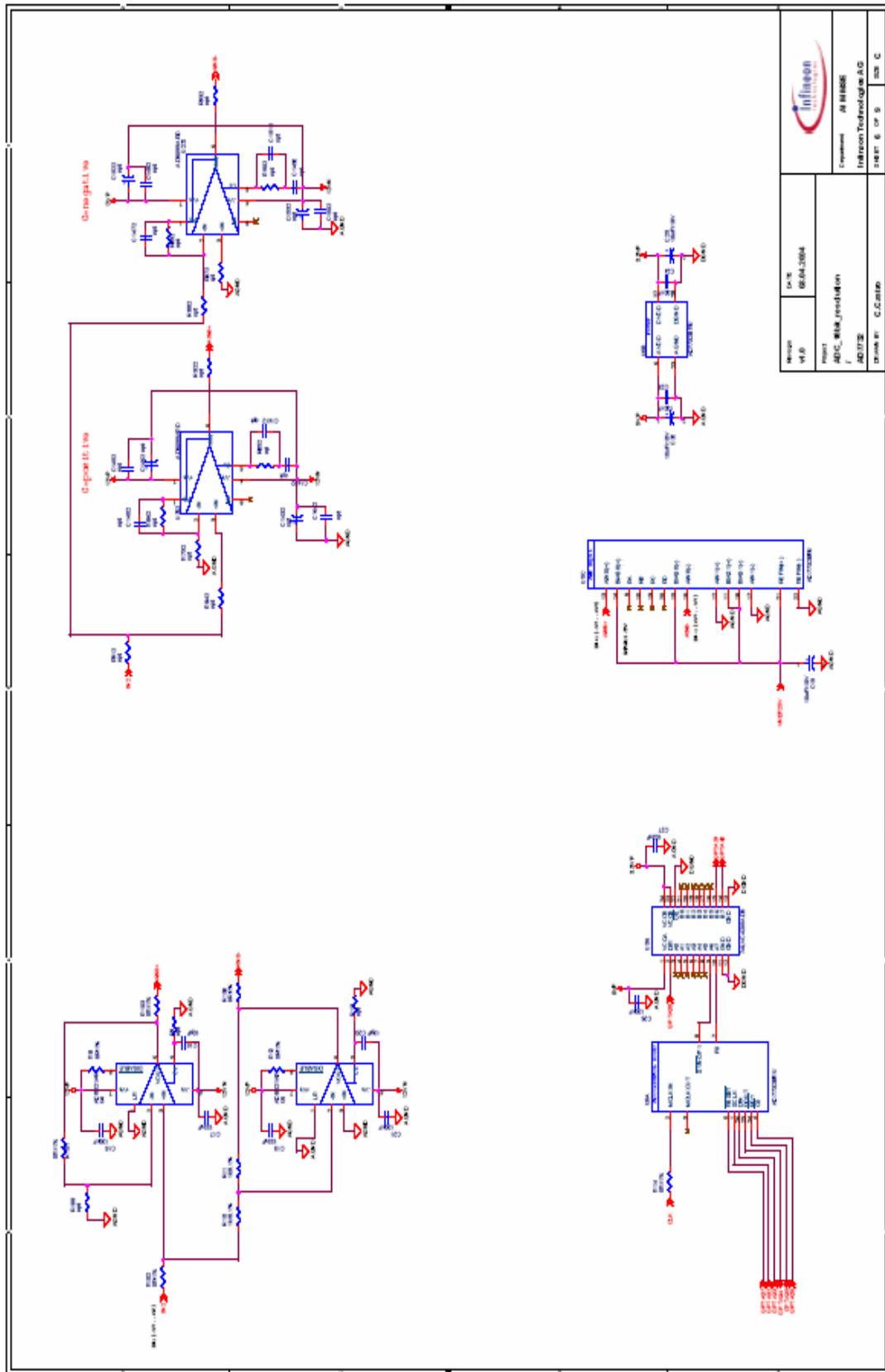
In Formula-1 any kind of improvements on the different systems becomes obsolete in a short period of time. Therefore we can already assume that higher performance for the ADC-Systems will be necessary in the near future. In order to achieve that, the investigations stated below are proposed as possible ideas to follow:

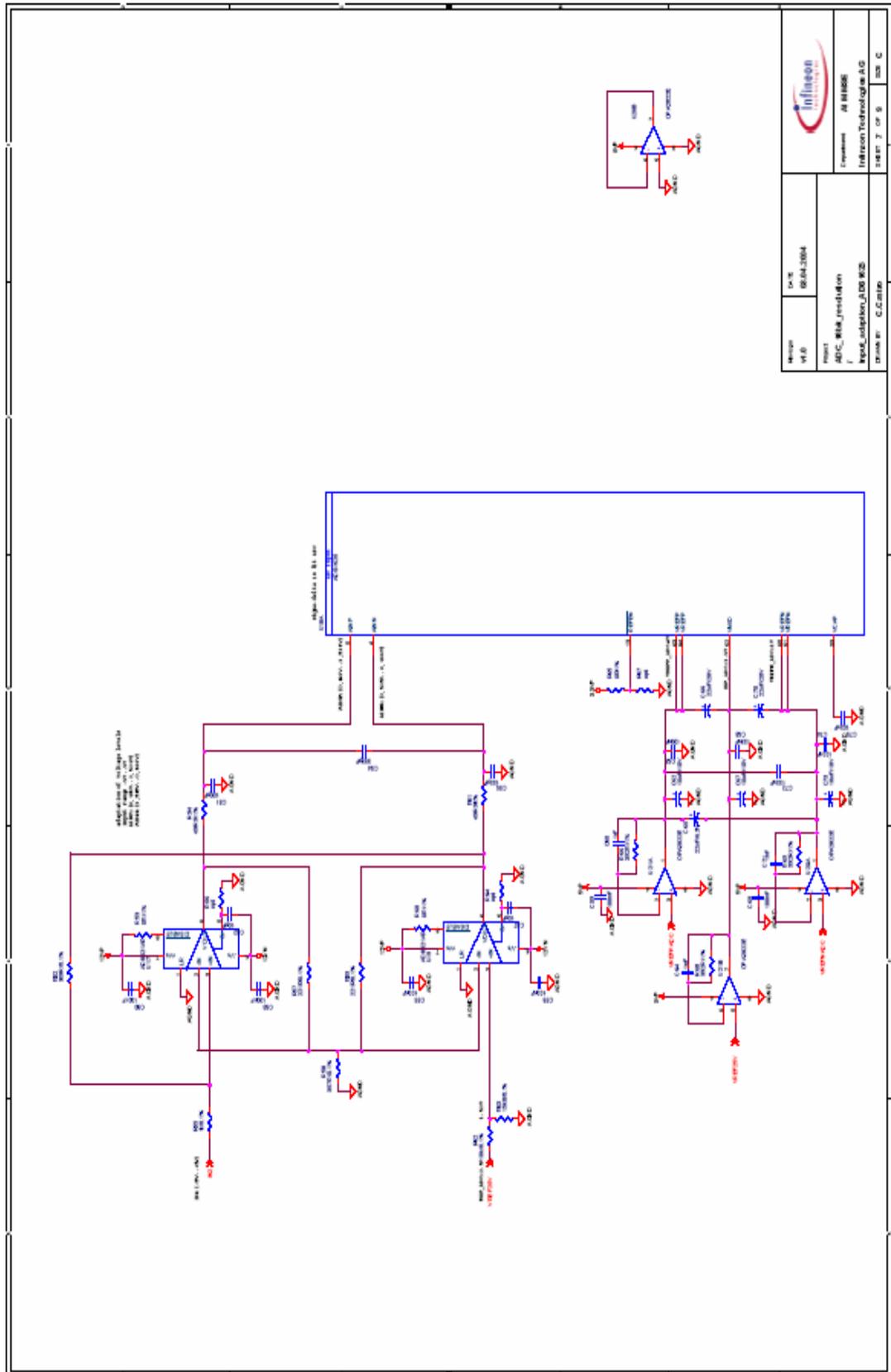
- a. To use adaptive digital filters. The special characteristics of adaptive digital filters, that is, their ability to adapt to different environments, make them a very useful tool for signal processing. Including these filters in high resolution ADC-Systems could help increase the performance of such devices. In order to achieve that, it would be necessary to find out which kind of adaptive filter would offer the best results. On the other hand, a new accuracy analysis method will be required. The one exposed in this thesis, which uses a sinusoidal signal with a constant frequency, would no longer be valid, since the main characteristic of these filters is their capability to adapt to variations in the environment.
- b. To investigate the most suitable electromagnetic isolation method for these kind of systems. Owing to the high complexity of the current electronic units in a car, the interferences between them have become increasingly important thus, affecting the quality of analogue signals.

To conclude, it can be stated that this piece of research highly contributed in the development of the new data acquisition unit used by “Scuderia Ferrari” referring to the analogue-to-digital conversions. Moreover, possible future investigations were proposed in order to improve the performance of such systems.

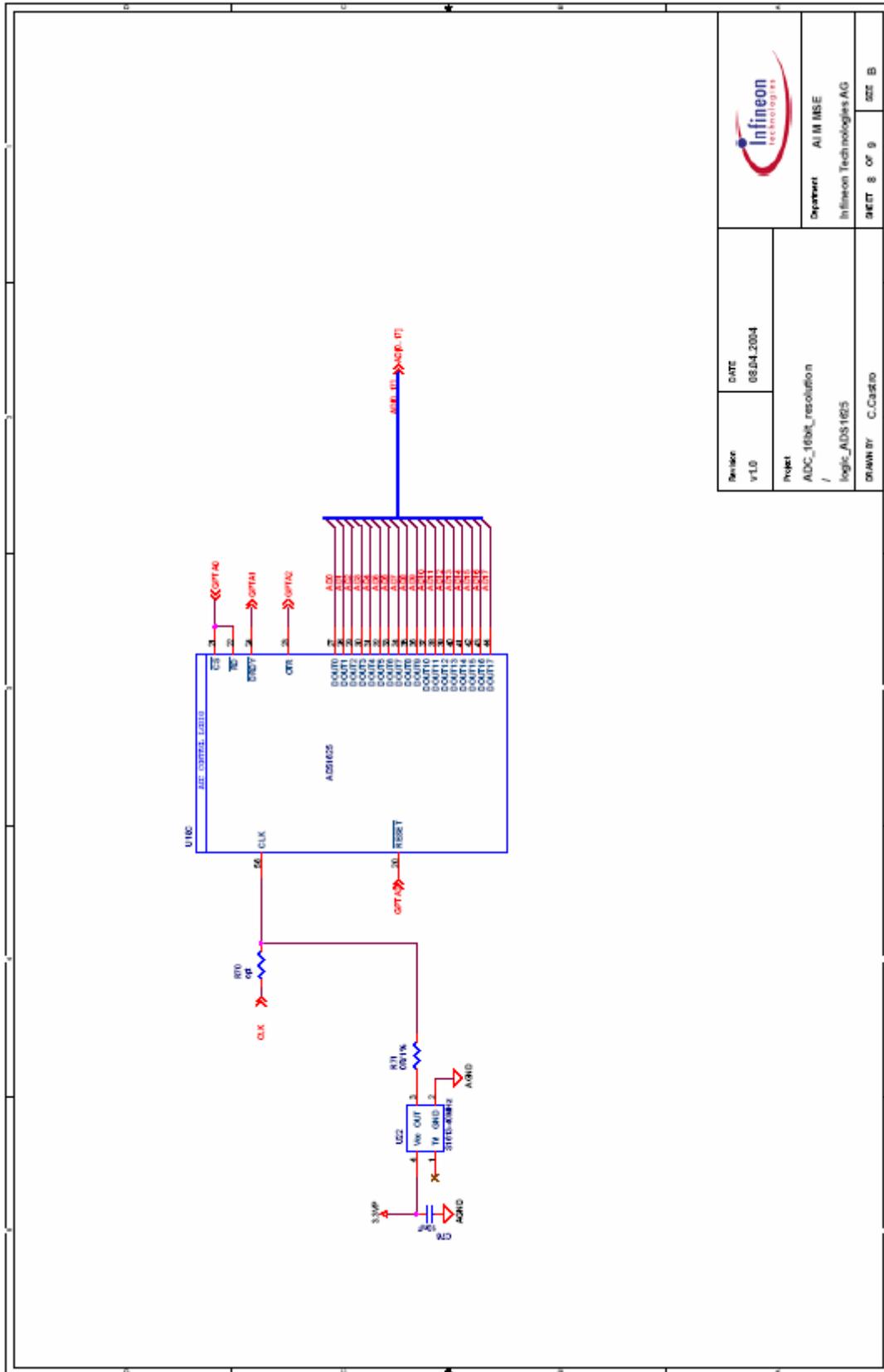




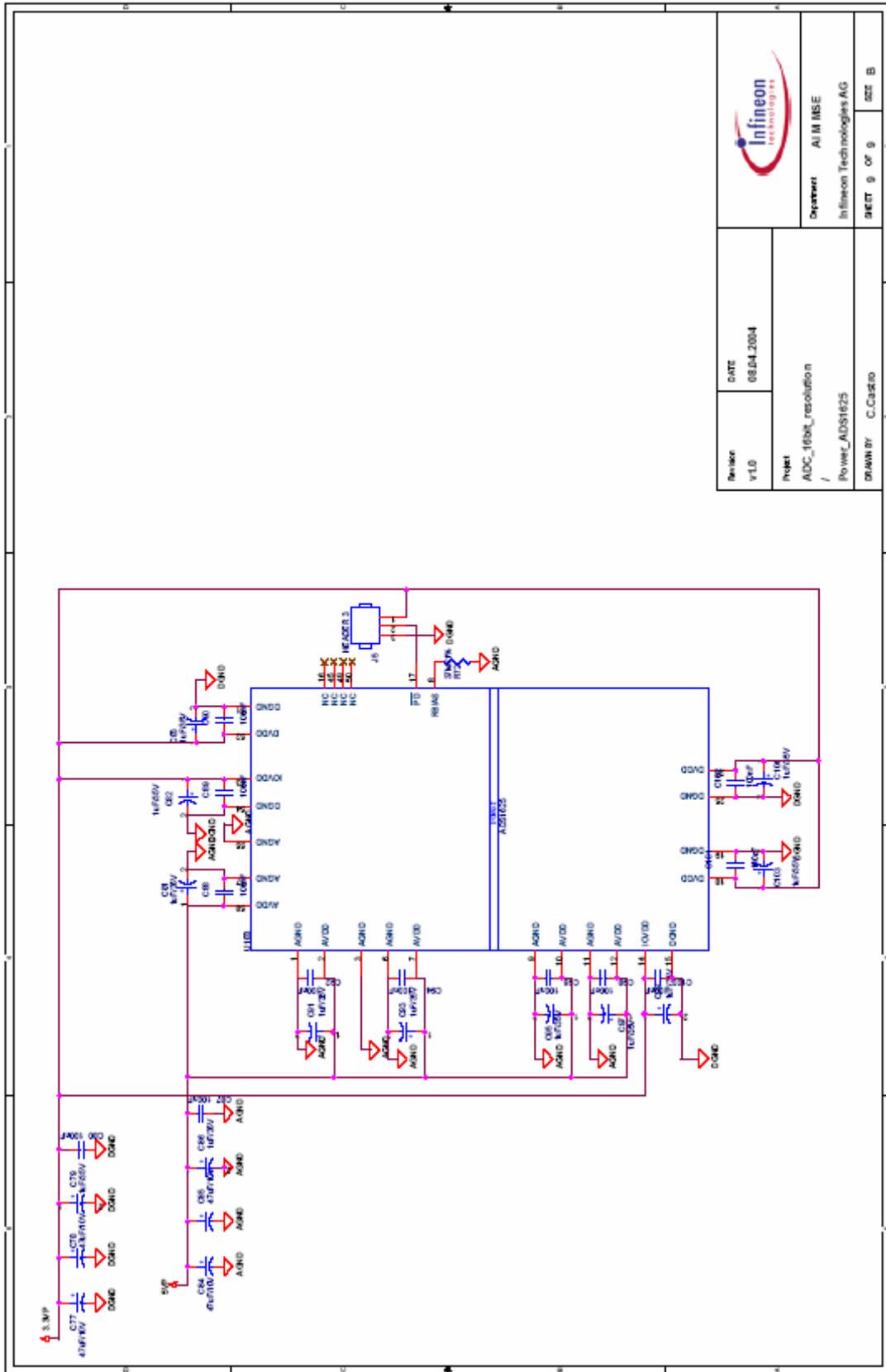




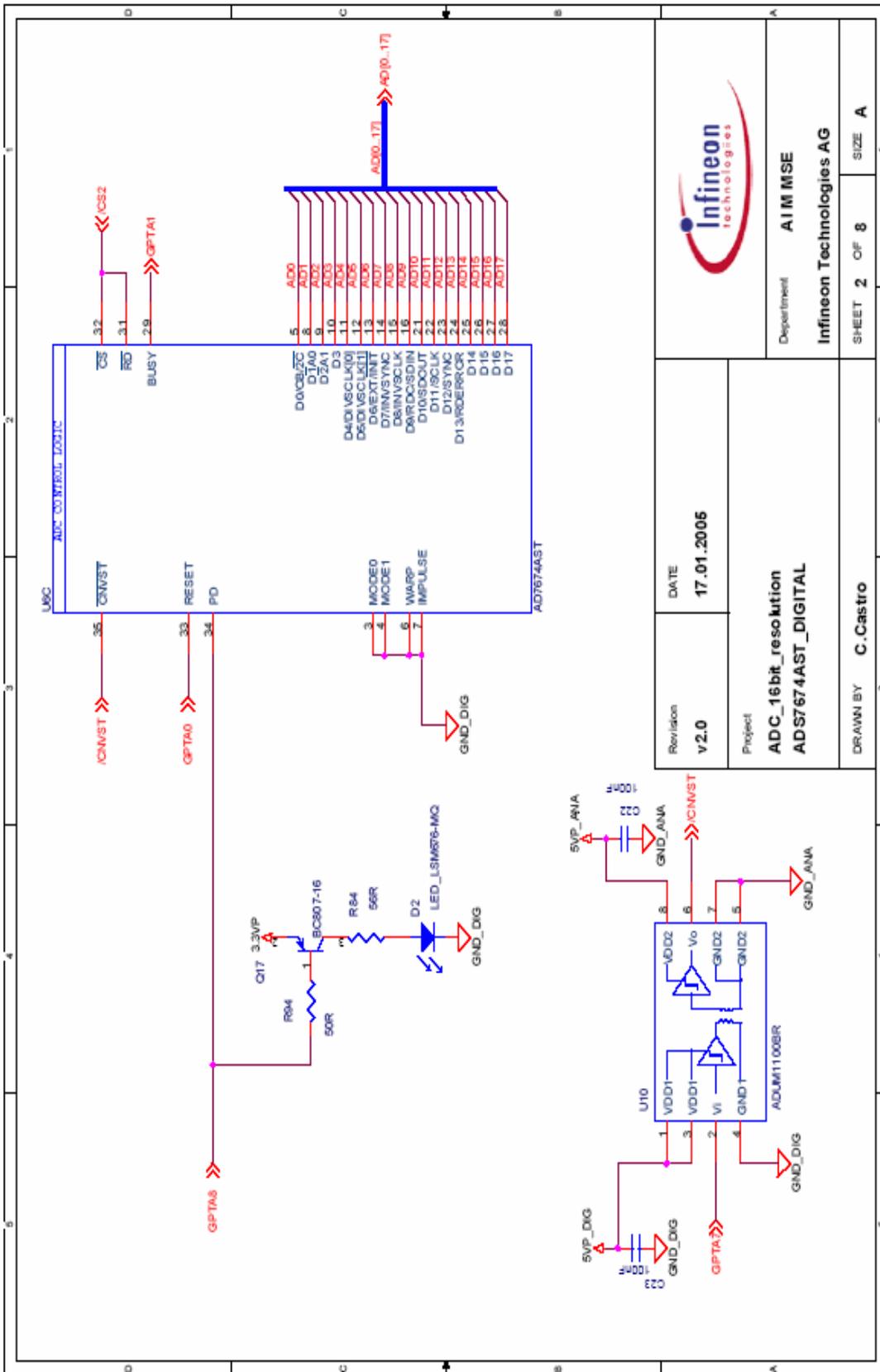
Reviz	01/08	08/04/2004	 Infineon Technologies AG
Proj	ADC_12bit_resolution	Proj. N.º	
Proj. N.º	Infineon_ADC_12bit	Proj. N.º	
Proj. N.º	01/08	08/04/2004	Proj. N.º



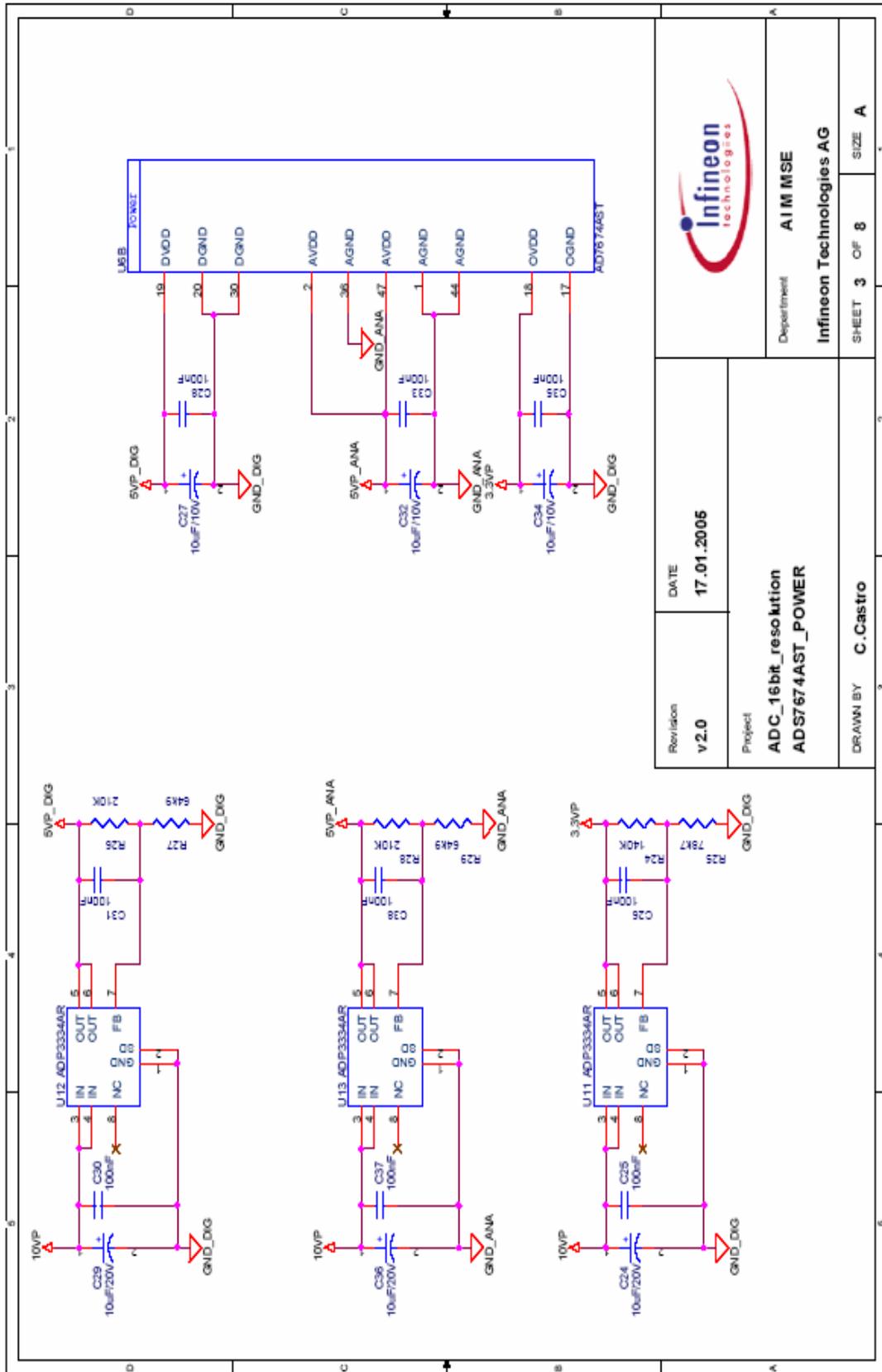
Revision v1.0	DATE 08.04.2004	
Project ADC_16bit_resolution / logic_ADC16S1625	Department AIM MSE Infineon Technologies AG	
DRAWN BY C. Casario		SHEET 8 OF 9 SIZE B

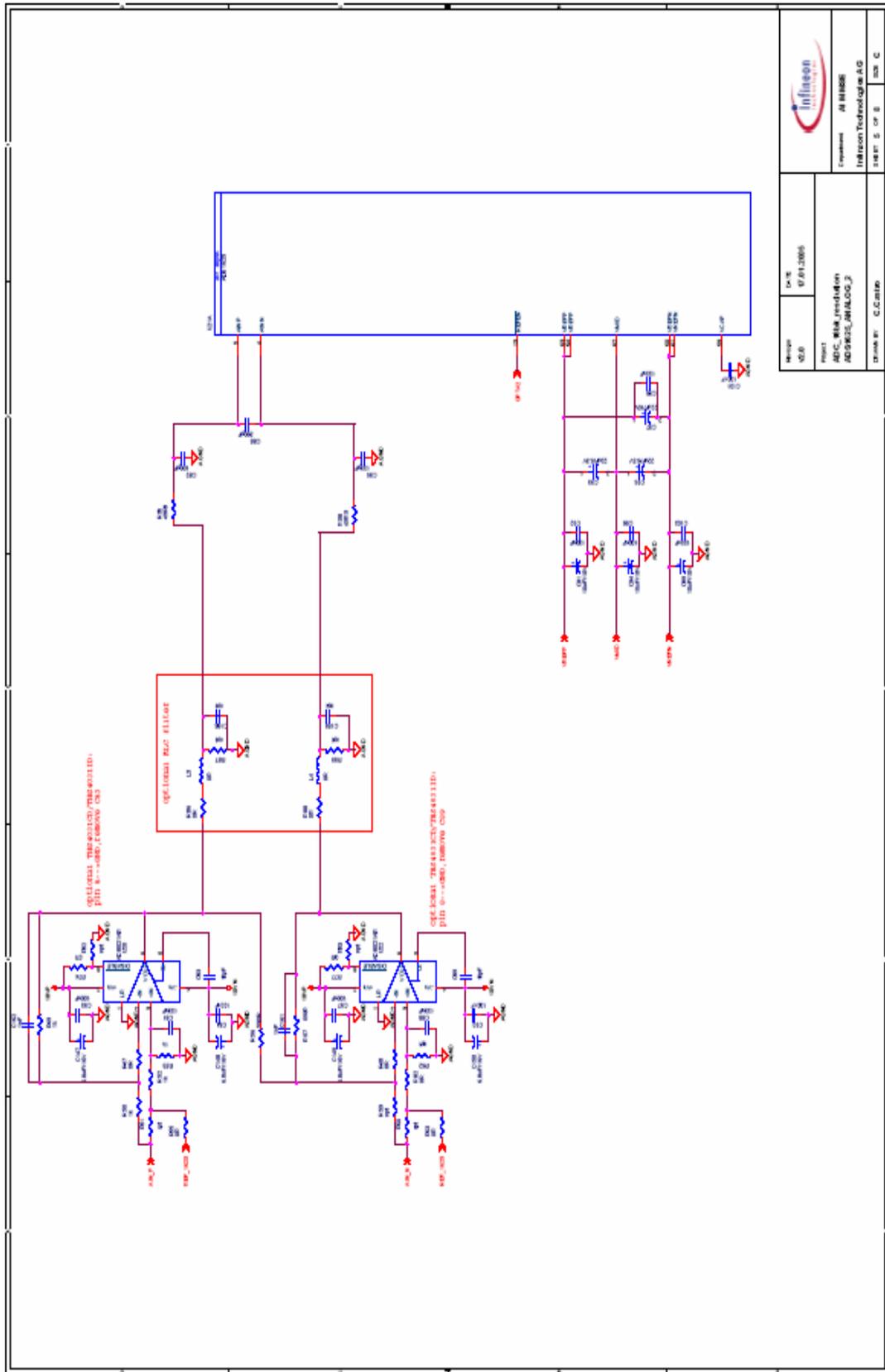


Revision	DATE	
v1.0	08.04.2004	
Project	ADC_16bit_resolution	
Drawn BY	C.Casado	Department: AIM MSE Infineon Technologies AG
		SHEET 9 OF 9
		SIZE B



		Department AIM MSE		SIZE A	
Revision v2.0		DATE 17.01.2005		SHEET 2 OF 8	
Project ADC_16bit_resolution AD57674AST_DIGITAL		DRAWN BY C. Castro		SIZE A	

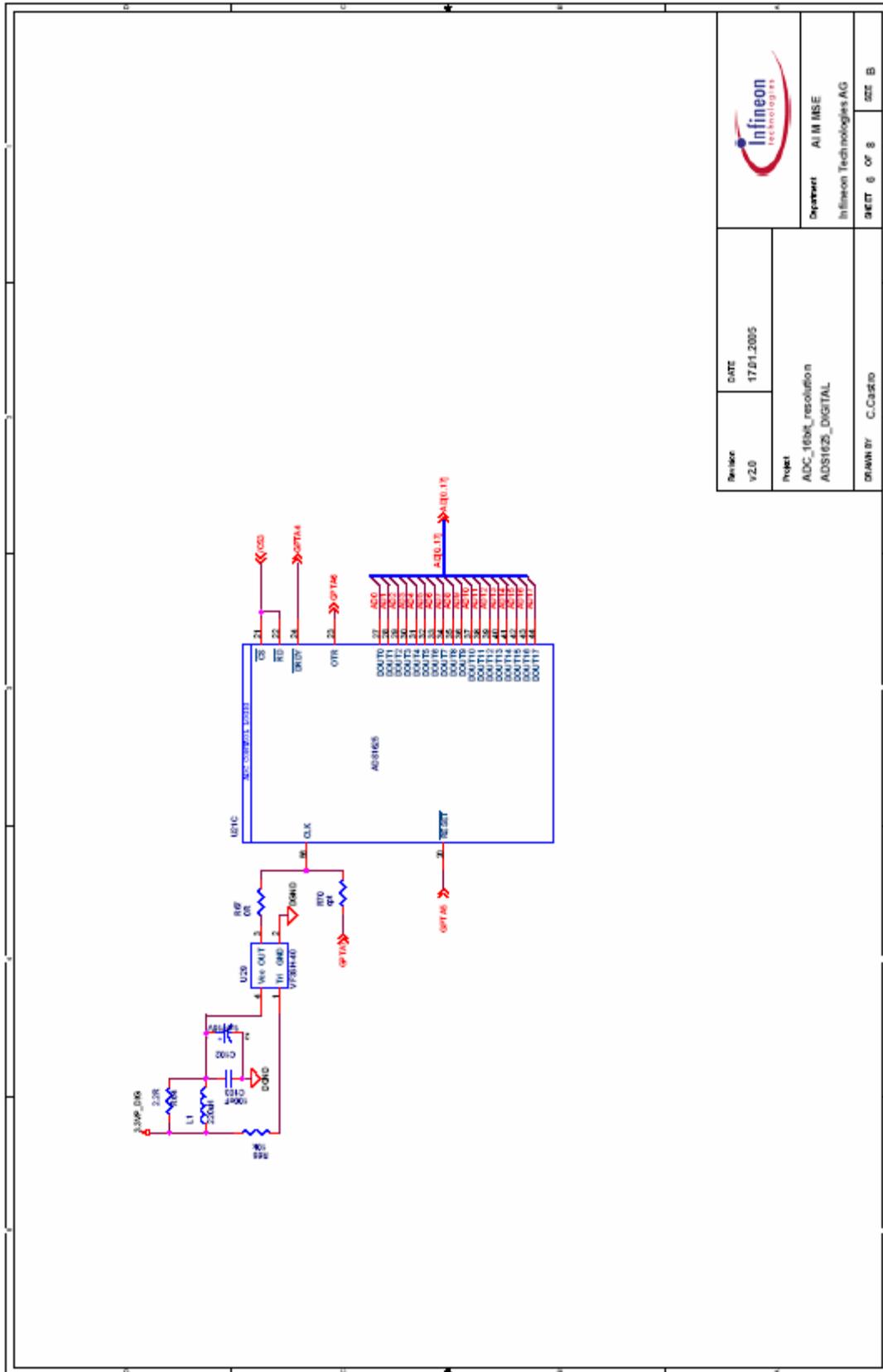




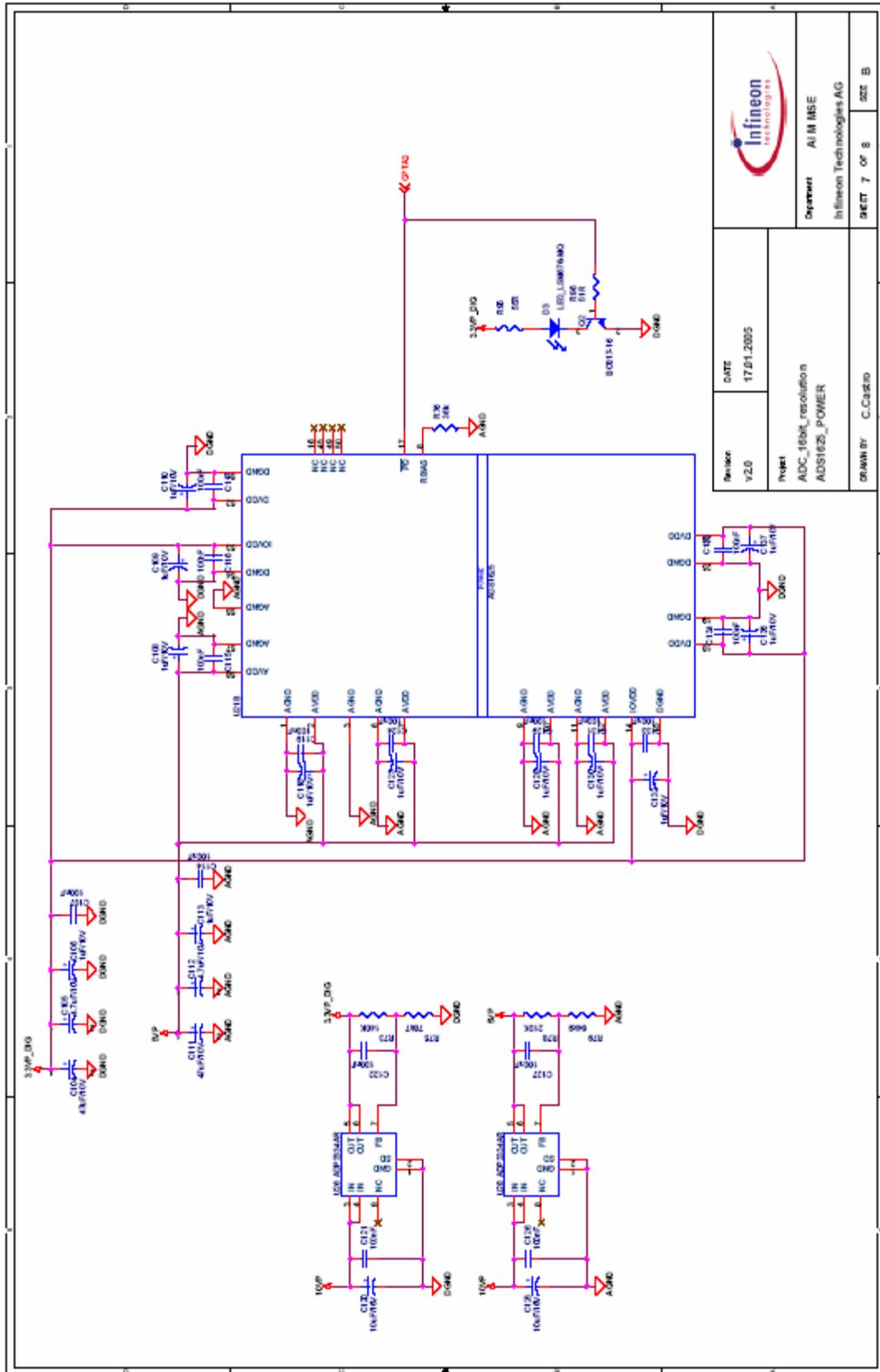
Revizão	02.0	Revizão	V.01.2005
Projeto	ADC_8Bit_Resolution AD5751C_AINLOG_3	Emprego	AI 81826
Projeto em	02.08.2005	Projeto em	02.08.2005
Projeto por	C.C.M.B.	Projeto por	C.C.M.B.



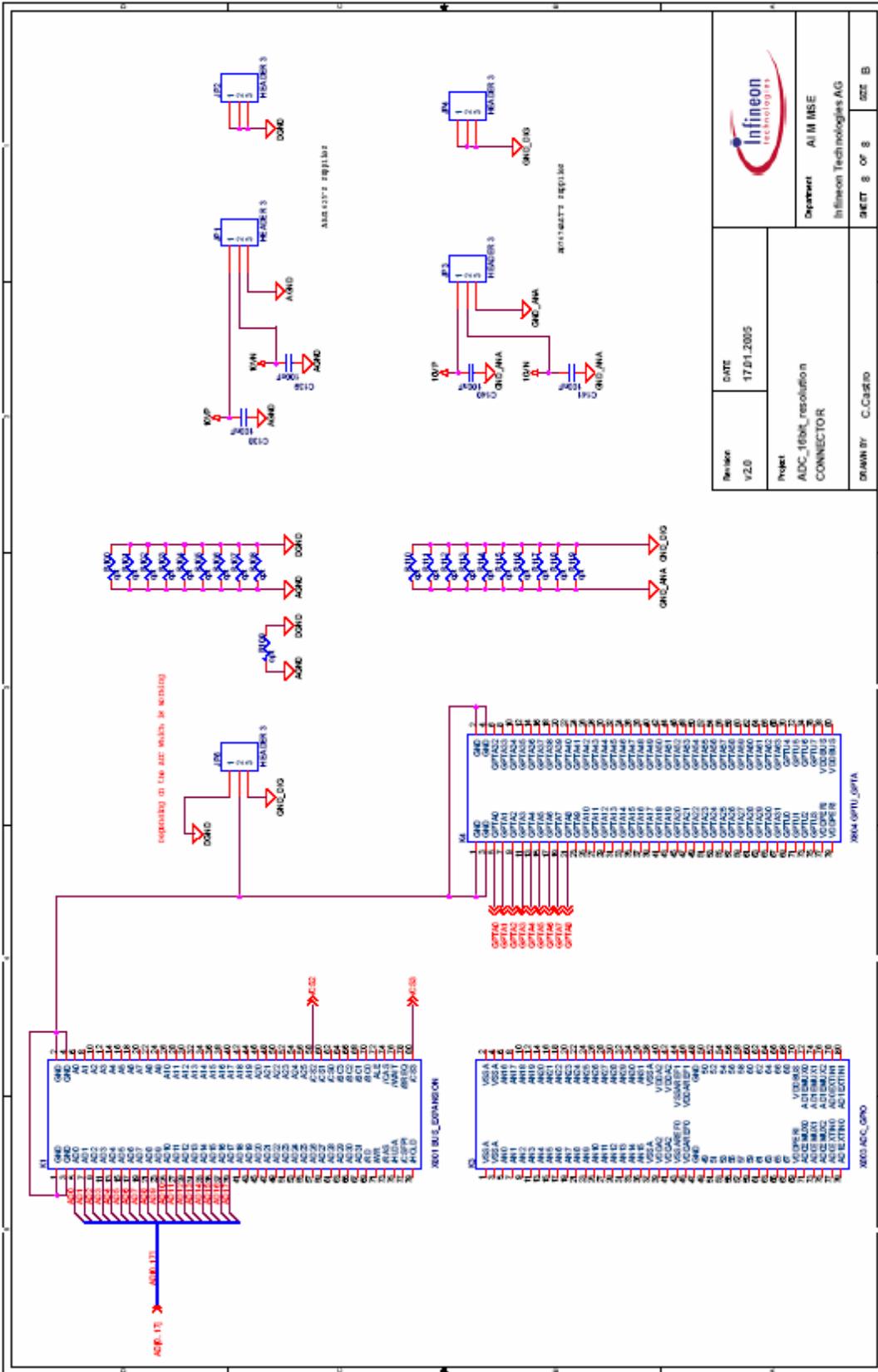
Infineon Technologies AG
Infineon Technologies AG

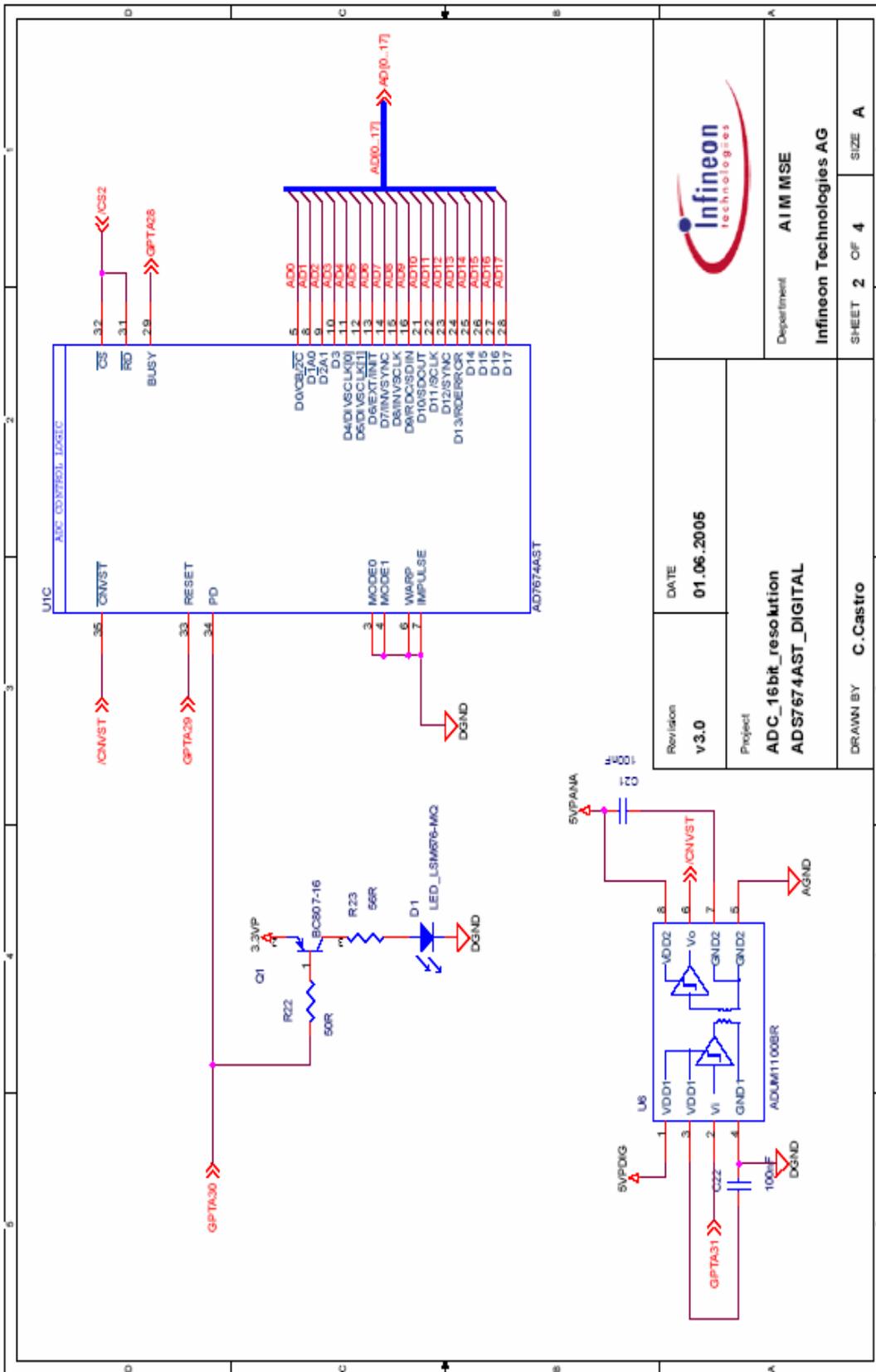


Revision	DATE	
V2.0	17.01.2005	
Project	Department: AI MI MSE Infineon Technologies AG	
Project	ADC_16bit_resolution ADS1622_DIGITAL	
DRAWN BY	C. Cusato	SHEET 6 OF 8 022 B

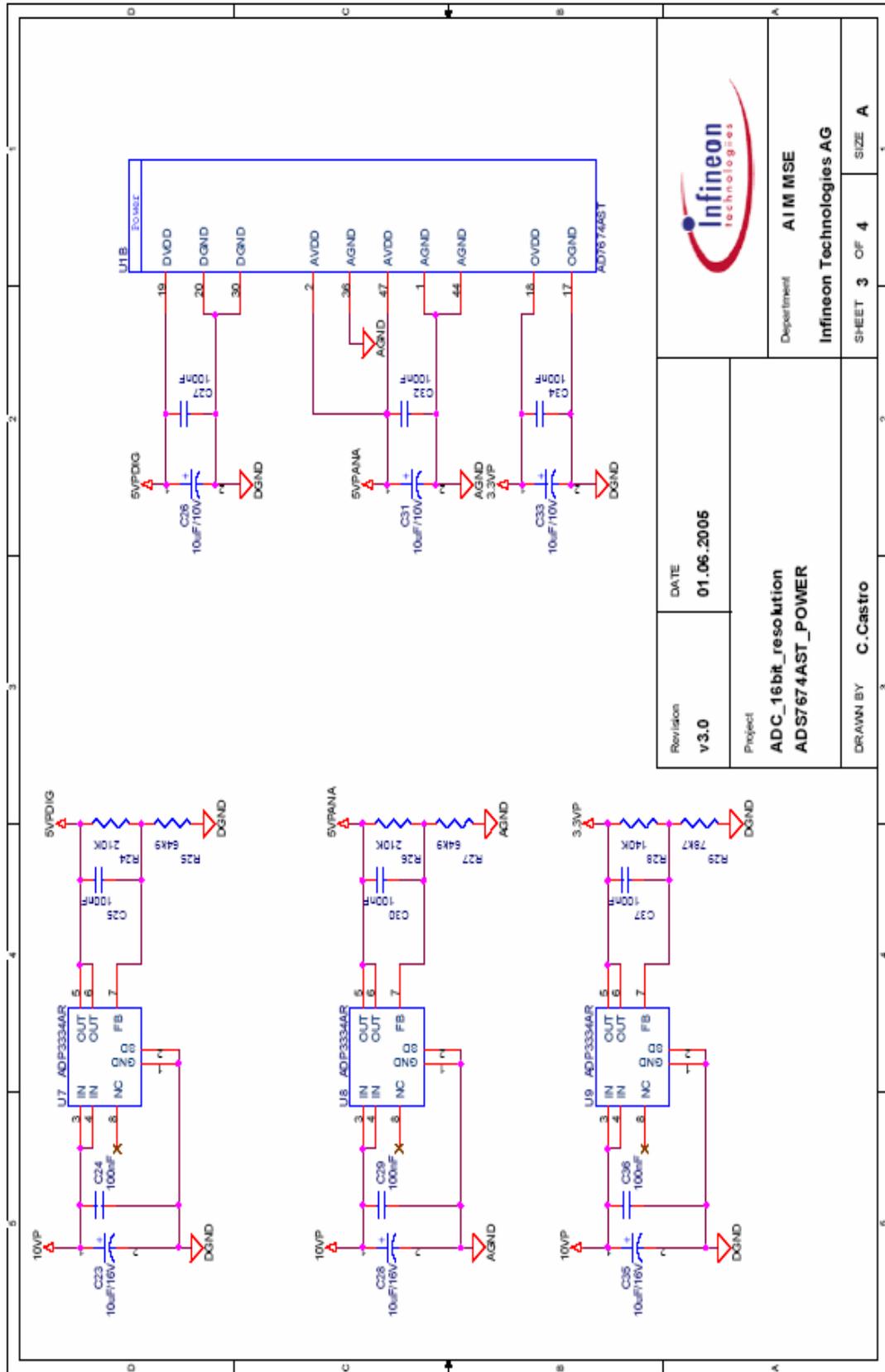


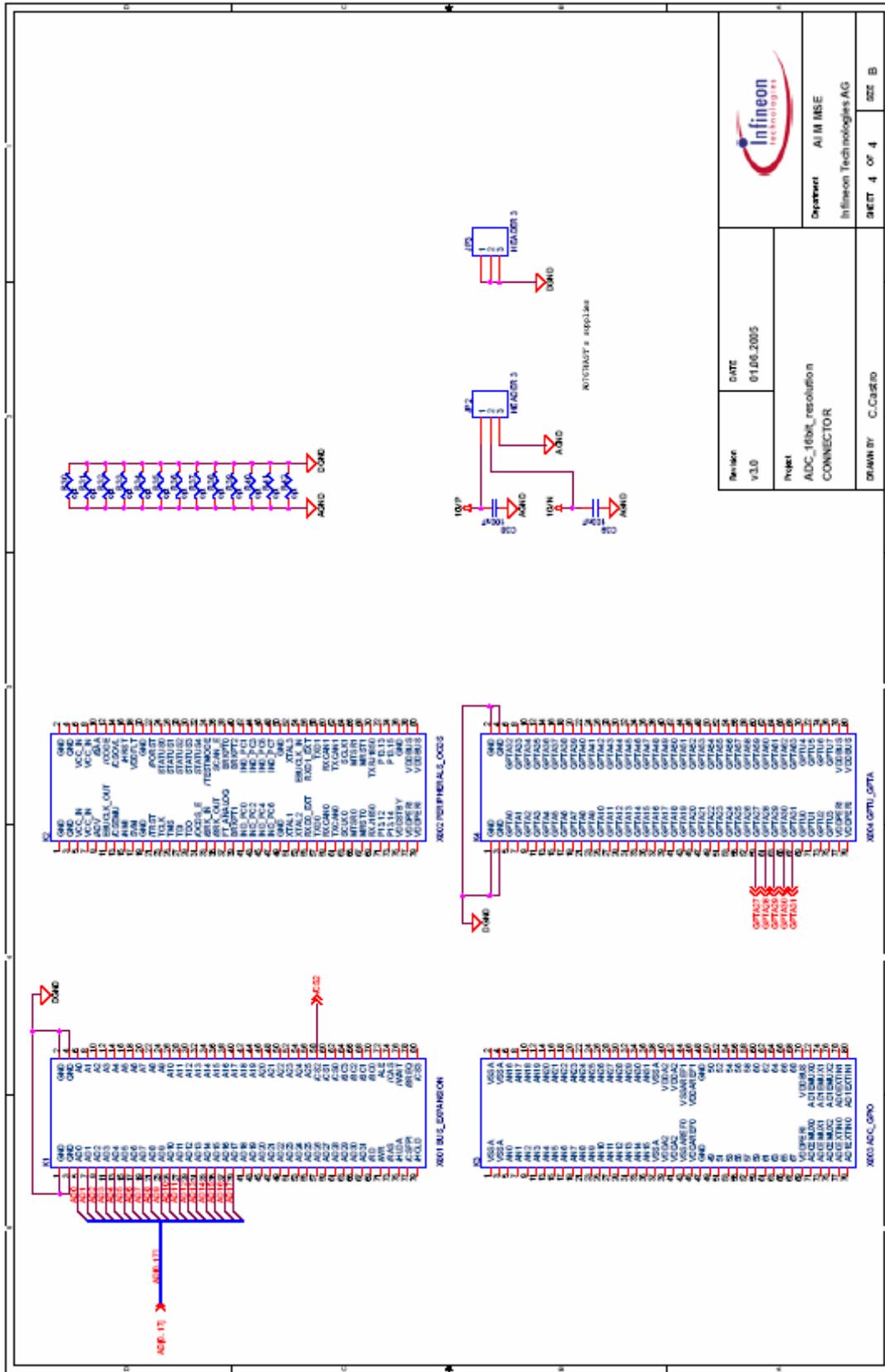
		DATE	17.01.2005
		Revision	V2.0
Department Infineon Technologies AG		Project ADC_16bit_resolution ADS16Z_POWER	
		DRAWN BY C.Casado	
SHEET 7 OF 8		022 B	





		Department: AIM MSE Infineon Technologies AG	
Revision	DATE	DRAWN BY C. Castro	
v3.0	01.06.2005	SHEET 2 OF 4 SIZE A	
Project		SHEET 2 OF 4 SIZE A	
ADC_16bit_resolution AD5764AST_DIGITAL		SHEET 2 OF 4 SIZE A	





Revision	DATE	
V3.0	01.06.2005	
Project	ADC_16Bit_resolution	Department
	CONNECTOR	Infineon Technologies AG
Drawn by	C. Casado	SHEET
		4
		of
		4
		SIZE
		B

Apéndice D: Algoritmo para el cálculo del SNR, SINAD, THD y ENOB.

```
%The following program code plots the FFT spectrum of a desired test tone.  
%Test tone based on coherent sampling criteria, and  
%computes SNR, SINAD, THD,SFDR and ENOB.
```

```
fclk=input('Sampling Frequency (MHz)? ');  
numbit=input('ADC Resolution? ');
```

```
numpt=(size(v1))*[1;0]; %Data Record Size
```

```
code=v1(:,1); %Take the first column
```

```
%Display a warning, when the input generates a code greater than full-scale  
if (max(code)==2^(numbit-1) | (min(code)==-2^(numbit-1))  
disp('WARNING: ADC OUTPUT MAYBE CLIPPING - CHECK INPUT  
AMPLITUDE!');  
end
```

```
%Plot results in the time domain (only the first and last 200 samples)
```

```
figure;
```

```
x_start=numpt-200;
```

```
x_stop=200;
```

```
plot([1:x_stop], code(1:x_stop), [1:x_stop], code(1:x_stop));
```

```
figure;
```

```
plot([x_start:numpt],code(x_start:numpt),
```

```
[x_start:numpt],code(x_start:numpt));
```

```
title('TIME DOMAIN')
```

```
xlabel('SAMPLES');
```

```
ylabel('DIGITAL OUTPUT CODE');
```

```
Dout=code-(2^numbit-1)/2; %Re-center the digitized sinusoidal input
```

```

%If no window function is used, the input tone must be chosen to be unique and
with
%regard to the sampling frequency. To achieve this prime numbers are
introduced and the
%input tone is determined by  $f_{IN} = f_{SAMPLE} * (\text{Prime Number} / \text{Data Record Size})$ .
%To relax this requirement, window functions such as HANNING and
HANNING (see below) can
%be introduced, however the fundamental in the resulting FFT spectrum
appears 'sharper'
%without the use of window functions
Doutw=Dout;
%Doutw=Dout.*hanning(numpt);
%Doutw=Dout.*hamming(numpt);
Doutw=Doutw.*blackmanharris(numpt);

%Performing the FFT and recalculate do dB
Dout_spect=fft(Doutw);
Dout_dB=20*log10(abs(Dout_spect));

%Display the results in the frequency domain with an FFT plot
figure;
maxdB=max(Dout_dB(3:numpt/2)); %It's sufficient to check one half of the
spectrum. Ignore the DC
plot([0:numpt/2-1].*fclk/numpt, Dout_dB(1:numpt/2)-maxdB, '-r');
grid on;
title('FFT PLOT');
xlabel('ANALOG INPUT FREQUENCY (MHz)');
ylabel('AMPLITUDE (dB)');
a1=axis;

%Calculate SNR,SINAD,THD and SFDR values
%Find the signal bin (DC represents bin=1)
fin=find(Dout_dB(2:numpt/2)==maxdB);
%Determine span of input frequency on each side
span=max(round(numpt/200),5);

```

```

%Search span for harmonic distortion components on each side
spanh=2;
%Determine power spectrum
spectP=(abs(Dout_spect)).*(abs(Dout_spect));
if (fin-span<=1)
disp('WARNING: input freq. sampling frequency not suitable (Pdc is setted to
0)');
Pdc=0
else
Pdc=sum(spectP(1:min(span,fin-span))); %Determine DC offset power level
end
%Determine signal power level
Ps=sum(spectP(max(1,fin-span):fin+span));
%Vector storing frequency and power components of signal and harmonics
Fh=[];
Fhg=[];
%HD1=signal, HD2=2nd harmonic, HD3=3rd harmonic, etc.
Ph=[];

%Find the harmonic frequencies and power components in the FFT spectrum
for har_num=1:10
%Input tones greater than  $f_{\text{SAMPLE}}$  are aliased back into the spectrum
tone=rem((har_num*(fin-1)+1)/numpt,1);
if tone>0.5
%Input tones greater than  $0.5*f_{\text{SAMPLE}}$  (after aliasing) are reflected
tone=1-tone;
end
Fh=[Fh tone];

%For this method to work properly, make sure that the folded back high order
harmonics do not %overlap with DC and signal components or lower order
harmonics.
har_peak=max(spectP(round(tone*numpt)-
spanh:round(tone*numpt)+spanh));

```

```

har_bin=find(spectP(round(tone*numpt)-
spanh:round(tone*numpt)+spanh)==har_peak);
a=har_bin;
har_bin=har_bin+round(tone*numpt)-spanh-1;
b=har_bin;
Ph=[Ph sum(spectP(har_bin-1:har_bin+1))];

tone=rem((har_num*(fin-1))/numpt,1); %Note: tones > fSAMPLE are aliased
back
if tone>0.5
tone=1-tone;
end
Fhg=[Fhg tone];
end

format;
disp('Analog input amplitude [mV] & [dB]:');
AmV=(max(code)-min(code))/2^numbit %Analog input amplitude in mV
AdB=20*log10(AmV) %Analog input amplitude in dB
disp('Ps=Signal Power, Pd=Distortion Power (2nd to 5th-order harm), Pdc=DC
power, Pn=Noise Power:');
Pd=sum(Ph(2:10)); %Total distortion power level

Pnd=sum(spectP(1:fin-span-1))+sum(spectP(fin+span+1:numpt/2))-Pdc
Pn=Pnd-Pd

disp('SNR=Ps/Pn [dB], SINAD=Ps/(Pn+Pd) [dB]:');
SNR=10*log10(Ps/Pn) %SNR in dB
SNR1=10*log10(Ph(1)/Pn) %SNR in dB with signal bins = 1
SINAD=10*log10(Ps/Pnd) %SINAD in dB
ENOB=(SINAD-1.763)/6.02
disp('THD - HD2 through HD5 [dB]:');
THD=10*log10(Pd/Ph(1)) %THD in dB
SFDR=10*log10(Ph(1)/max(Ph(2:10))) %SFDR in dB

```

```

disp('SIGNAL AND HARMONIC POWER [dB]:');
HD=10*log10(Ph(1:10)/Ph(1))
hold on;
plot(Fh(2)*fclk,0,'mo',Fh(3)*fclk,0,'cx',Fh(4)*fclk,0,'r+',Fh(5)*fclk,0,'g',Fh(6)*f
clk,0,'bs',Fh(7)*fclk,0,'bd',Fh(8)*fclk,0,'kv',Fh(9)*fclk,0,'y^');
HD1=((Fh(1)*numpt-1)*(fclk/(numpt))*10^6)
HD1=((fin-1)*fclk*10^6)/numpt
maxdB
fres=fclk*10^6/(2*numpt)

plot(0,Dout_dB(1)-maxdB,'go',Fhg(1)*fclk,Dout_dB(Fh(1)*numpt)-
maxdB,'ko',Fhg(2)*fclk,Dout_dB(Fh(2)*numpt)-
maxdB,'mo',Fhg(3)*fclk,Dout_dB(Fh(3)*numpt)-
maxdB,'cx',Fhg(4)*fclk,Dout_dB(Fh(4)*numpt)-
maxdB,'m+',Fhg(5)*fclk,Dout_dB(Fh(5)*numpt)-
maxdB,'co',Fhg(6)*fclk,Dout_dB(Fh(6)*numpt)-
maxdB,'bs',Fhg(7)*fclk,Dout_dB(Fh(7)*numpt)-
maxdB,'bd',Fhg(8)*fclk,Dout_dB(Fh(8)*numpt)-
maxdB,'kv',Fhg(9)*fclk,Dout_dB(Fh(9)*numpt)-maxdB,'y^');
plot((span-1)*fclk/numpt,-maxdB,'.b', Fhg(1)*fclk+(span-1)*fclk/numpt,-
maxdB,'.b', Fhg(1)*fclk-(span-1)*fclk/numpt,-maxdB,'.b');
legend('FFT','DC','HD1','HD2','HD3','HD4','HD5','HD6','HD7','HD8','HD9');
hold off;

```


Referencias

- [1] Andrie, M., Holub, J., Vedral, J.: "Methods for Testing of High Resolution ADC", IMSTW02 IEEE International Mixed Signal Testing Workshop. Montreux, Switzerland, 2002, p. 193-196. (J04/98:210000015).
- [2] Andrie, M., Holub, J., Vedral, J.: "Histogram Test of Sigma-Delta ADC", IMSTW02- IEEE International Mixed Signal Testing Workshop. Montreux, Switzerland 2002, p.197-200. (J04/98:210000015).
- [3] L. Benetazzo, C. Narduzzi, C. Offelli and D. Petri: "A/D converter performance analysis by frequency domain approach", IEEE Trans. Instrum. Meas., vol. 41, pp. 834-839, Dec. 1992.
- [4] M. Bertocco, P. Paglierani and D. Petri: "Accuracy of effective bit estimation methods", IEEE Trans. Instrum. Meas., vol. 46, pp. 1011-1015, Aug. 1997.
- [5] Blair, J. and T. Linnenbrink: "Corrected RMS error and effective number of bits for sinewave ADC tests", Computer Standards and Interfaces, Vol. 26, No. 1, pp. 43-49. Jan. 2004.
- [6] B. Brannon: "Calculate an ADC's Effective Bits", Test & Measurements World, May 1996, pg. 17.
- [7] B. Brannon: "DNL and Some of its Effects on Converter Performance", Wireless Design & Development, June 2001, pg. 11.
- [8] B. Brannon: "Analyzing ADC Noise Impacts on Wireless System Performance", Communication Systems Design, May 2003, Vol. 9, Issue 5.
- [9] P. Carbone, D. Petri: "Effective Frequency-Domain ADC Testing", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47, No. 7, July 2000.
- [10] Carter, B., Rowland, P., Karki, J., Miller, P.: "Amplifier and Bits: An Introduction to Selecting Amplifiers for Data Converters", Texas Instruments Application Report, SLOA035B, December, 2001.
- [11] C. Castro-Serrato, A. Pechlaner, R. Gledhill, M. Omer: "Solid or Split Ground in ADC Systems", Proc. Of the 12th International Workshop on Systems, Signals & Image Processing, SSIP-SP1, 2005, pp. 381 - 384
- [12] C.Castro-Serrato, A.Pechlaner: "Data Acquisition and Processing in Formula One", Race-Tech 2005: Motorsport, Sports Cars and Production Car Development –Synergies and How They Emerge, Munich, Germany, October 13-14, 2005.
- [13] C.Castro-Serrato, I. Rojas: "Diseño de sistemas convertidores analógico-digital de alta resolución: Aplicación a problemas complejos como vehículos de Fórmula-1", Simposio de Inteligencia Computacional, SICO2005, IEEE Computational Intelligence Society, ISBN 84-609-6891-X, pp. 395-400.

-
- [14] C.Castro-Serrato: “Jitter Influence on High Resolution ADC Systems”, Colombian Magazine of Advanced Technologies, ISSN 1692-7257, Vol. 6, pp. 66-72, 2005.
- [15] Data sheet for ADS1625/ADS1626 18-Bit, 1.25MSPS Analog-to-Digital Converter, <http://www.ti.com>
- [16] Data sheet for AD7674 18-Bit, 2.5 LSB INL, 800kSPS SAR ADC, <http://www.analog.com>
- [17] Data sheet for TriBoard TC1775, www.infineon.com
- [18] Data sheet for AD7732 2Channel, $\pm 10V$ Input Range, 24-Bit Sigma-Delta A/D Converter, <http://www.analog.com>
- [19] Data sheet for ADS1252 24-Bit, 40KHz Analog-to-Digital Converter, <http://www.ti.com>
- [20] Data sheet for AD8021- Low Noise, High Speed Amplifier for 16-Bit Systems, <http://www.analog.com>
- [21] Data sheet for THS3001 420-MHz Current-Feedback Amplifier, <http://www.ti.com>
- [22] Elliot, D.F. and Rao, K.R.: “Fast Fourier Transform: Algorithms”, Academic Press, New York, 1982.
- [23] G. Erdi: “Amplifier Techniques for Combining Low Noise, Precision, and High-Speed Performance”, IEEE Journal of Solid-State Circuits, Vol. SC-16, December 1981, pp. 653-661.
- [24] J. Feddeler, B. Lucas: “ADC Definitions and Specifications”, Motorola Application Note, AN2438/D, Feb. 2003.
- [25] S. Franco: “Design with Operational Amplifiers and Analog Integrated Circuits, 2nd Ed., McGraw-Hill, 1998, ISBN 0-07-021857-9.
- [26] Geckinli, N. C. and Yavuz, D.: “Discrete Fourier transformation and its application to power spectra estimation”. Elsevier, Amsterdam, 1983.
- [27] Gray, N.: “Attack the noise gremlins that plague high-speed ADCs”, Electronic Design, December 17, 1999.
- [28] Gray, N.: “Pay attention to the clock and output bus to improve high-speed ADC Designs”, Electronic Design, June 26, 2000.
- [29] Gray, N.: “Maintaining Signal Integrity Enhances ADC Circuit Performance”, Electronic Design, May 1, 2000.

-
- [30] Guery, A., Kitchin, C.: "Choosing the Right Op Amp for Your High-Resolution ADC", *Sensors*, March 2003, Vol. 20, No. 6.
- [31] J. Hancock: "Jitter-Understanding it, Measuring it, Eliminating it", *High Frequency Electronics*, April 2004, pp. 44-40.
- [32] Harris, F. J.: "On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform", *Proc. IEEE*, Vol. 66, No. 1, pp. 51-83, Jan. 1978
- [33] S. Haykin: "Adaptive filter theory", Prentice Hall, 2002, 4th Ed.
- [34] Hejn, K., Pacut, A. and Kramarski, L. "The Effective Resolution Measurements in scope of sine-fit test" *IEEE Trans. Instrum. Measur.*, vol. 47, pp. 45-50, Feb. 1998.
- [35] Hejn, K. and A. Pacut: "Effective Resolution of Analog to Digital Converters-Evolution of Accuracy", *IEEE Instrumentation and Measurement Magazine*, Vol. 6, No. 3, pp. 48-55, Sep. 2003.
- [36] J.Holub, J.Vedral: "Aspects of ADC Effective Resolution: Definitions and Measurements", 12th IMEKO TC4 International Symposium: Electrical Measurement and Instrumentation. Proceedings. Zagreb: IMEKO TC4, 2002, vol. 1, s. 138-141. ISBN 953-96093-7-2.
- [37] IEEE Standard 1057-1994, "IEEE Standard for Digitizing Waveform Recorders"
- [38] IEEE Standard 1241-2000, "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters", IEEE, Piscataway, NJ, USA, 2001.
- [39] D. E. Johnson, J. Johnson, J. Hilburn: "Electric Circuit Analysis", Englewood Cliffs, NJ, Prentice-Hall, 1992.
- [40] W. Jung, Editor: "Op Amp Applications", Analog Devices, Inc., ISBN 0-916550-26-5, July, 2002.
- [41] W. Jung: "Build an Ultra-Low-Noise Voltage Reference", *Electronic Design Analog Applications Issue*, June 24, 1993.
- [42] W. Jung: "Getting the Most from IC Voltage References", *Analog Dialogue*, Vol. 28, 1994, pp. 13-21.
- [43] W. Kester, Editor: "Practical Analog Design Techniques", Analog Devices, 1995, ISBN 0-916550-16-8.
- [44] W. Kester, Editor: "Practical Design Techniques for Sensor Signal Conditioning", Analog Devices, 1999, ISBN 0-916550-20-6.
- [45] W. Kester, Editor: "Mixed-Signal and DSP Design Techniques", Analog Devices, 2000, ISBN 0-916550-23-0.

-
- [46] W. Kester, Editor: "Practical Design Techniques for Power and Thermal Management", Analog Devices, 1998, ISBN 0-916550-19-2.
- [47] I. Kollár: "Improved determination of the best fitting sine wave in ADC testing", in Proc. of the 21st IEEE Instr. and Meas. Technology Conference, IMTC/2004, Como, Italy, May 18-20 2004, vol. 1.
- [48] I. Kollár: "Evaluation of Sine Wave Tests of ADCs from Windowed Data", Computer Standards and Interfaces, Vol. 22, pp. 261-68, 2000.
- [49] Leonard, B.: "High-speed A/D converter designs: Layout and interfacing pitfalls", I&CS-The Industrial and Process Control Magazine, January 1987.
- [50] Nuttall, A. H.: "Some Windows with Very Good Sidelobe Behaviour", IEEE Trans. on ASSP, Vol. 29, No. 1, pp. 84-89, Feb. 1981.
- [51] H. Ott: "Noise Reduction Techniques in Electronic Systems", John Wiley & Sons, 2nd Edition, 1988, ISBN 0-471-85068-3
- [52] H. Ott: "Partitioning and Layout of a Mixed-Signal PCB", Printed Circuit Design, June 2001, pp. 8-11.
- [53] Priestley, M. B.: "Spectral Analysis and Time Series", Academic Press, London, 1981.
- [54] Rabiner, L. R. and B. Gold: "Theory and Applications of Digital Signal Processing", Prentice Hall, Englewood Cliffs, 1975.
- [55] L.W. Ritchey: "PCB Routers and Routing Methods", Printed Circuit Design, February 2000, pp. 26-29.
- [56] M. Shimanouchi: "An Approach to Consistent Jitter Modeling for Various Jitter Aspects and Measurement Methods", Proc. of the IEEE International Test Conference, pp 848-857, 2001.
- [57] O. M. Solomon Jr.: "The use of DFT windows in signal-to-noise ratio and harmonic distortion computations", IEEE Trans. Instrum. Meas., vol. 44, pp. 194-199, Apr. 1994.
- [58] M. Steffes: "RLC Filter Design for ADC Interface Applications", Texas Instruments Application Report, SBAA108A, December, 2003.
- [59] Vedral, J., Holub, J.: "Stochastic Testing Signals in ADC Testing". Messtechnische Charakterisierung der AD-/DA-Umsetzung, PTB, Germany, November 2000.