

2/98

98

Universidad de Granada

Facultad de Ciencias



Departamento de Física
Cátedra de Electricidad y Magnetismo

Dispositivo para almacenamiento de funciones
en memoria y generación de función de función.

RAFAEL GOMEZ MARTIN

Granada, Octubre 1973

TESIS
DOCTORAL

R=24.522

UNIVERSIDAD DE GRANADA

DEPARTAMENTO DE FISICA

CATEDRA DE ELECTRICIDAD Y MAGNETISMO

" DISPOSITIVO PARA ALMACENAMIENTO DE FUNCIONES EN
MEMORIA Y GENERACION DE FUNCION DE FUNCION "

BIBLIOTECA UNIVERSITARIA GRANADA N.º Documento <u>613423119</u> N.º Copia <u>L153685X</u>
--

Rafael Gómez Martín

Granada, Octubre de 1973

*V: B:
B. Garcia*

UNIVERSIDAD DE GRANADA
Facultad de Ciencias

ENTRADA

Fecha 14 NOV. 1973

Número 5.146

A Angeles

AGRADECIMIENTO:

Deseo expresar mi agradecimiento, al profesor Don Bernardo Garcia Olmedo, catedrático numerario en la Facultad de Ciencias de la Universidad de Granada. Gracias a su ayuda, se realizó este trabajo. Al Ministerio de Educación y Ciencia por su beca de formación de personal investigador. A mis amigos y compañeros, Eduardo Moreno, Lorenzo Gómez, Carlos Hernández y José Ben y en general a todo el Departamento.

BERNARDO GARCIA OLMEDO, DOCTOR EN CIENCIAS,
SECCION DE FISICA, CATEDRATICO DE ELECTRICI-
DAD Y MAGNETISMO DE LA FACULTAD DE CIENCIAS
DE LA UNIVERSIDAD DE GRANADA.

MANIFIESTO: QUE LA PRESENTE MEMORIA, TITULADA
"DISPOSITIVO PARA ALMACENAMIENTO DE FUNCIONES
EN MEMORIA Y GENERACION DE FUNCION DE FUNCION"
HA SIDO REALIZADA EN EL LABORATORIO A MI CAR-
GO Y BAJO MI INMEDIATA DIRECCION.

AUTORIZO CON ESTA FECHA, LA PRESENTACION DE
LA MISMA.

GRANADA, OCTUBRE DE 1973.

B. Garcia

INDICE:

	Págs.
1. INTRODUCCION	1
1-1. Antecedentes e importancia del trabajo rea- zado.	1
1-2. Fundamento teórico	2
1-3. Datos básicos del sistema realizado	7
2. PRINCIPIO DE OPERACION Y DIAGRAMA DE BLOQUE	8
2-1. Cuantizador incremental.	8
2-2. Dispositivo de escritura en la memoria	12
2-3. Dispositivo de lectura	15
3. CUANTIZADOR INCREMENTAL	18
3-1. Restador	18
3-2. Comparador	22
3-3. Contador	31
3-4. Circuito detector de signo	37
3-5. Invertidor digital análogo	43
3-6. Operación del cuantizador durante el ciclo de lectura	47
3-7. Banda de repuesta en frecuencia del cuan- tizador	48
3-8. Consideración practica del montaje del cuan- tizador	49
4. CIRCUITO DE GRABACION	50
4-1. Introducción	50
4-2. Circuito control de grabación.	52
4-3. Contadores	62

4-4.	Memorias	66
4-5.	Error de grabación en la memoria.	70
4-6.	Consideraciones prácticas del diseño del circuito de grabación	72
4-7.	Funcionamiento del circuito de grabación durante el ciclo de lectura	74
5.	CIRCUITO DE LECTURA	77
5-1.	Fundamento teórico y diseño práctico	77
6.	CIRCUITO GENERAL	84
7.	CONCLUSIONES	86
8.	BIBLIOGRAFIA	88
9.	OSCILOGRAMAS	92

1.-INTRODUCCION

1.-1-Antecedentes e importancia del trabajo realizado.-

El auge que actualmente tiene el cálculo híbrido se debe al aprovechamiento que este hace de las ventajas propias del cálculo analógico y del digital.

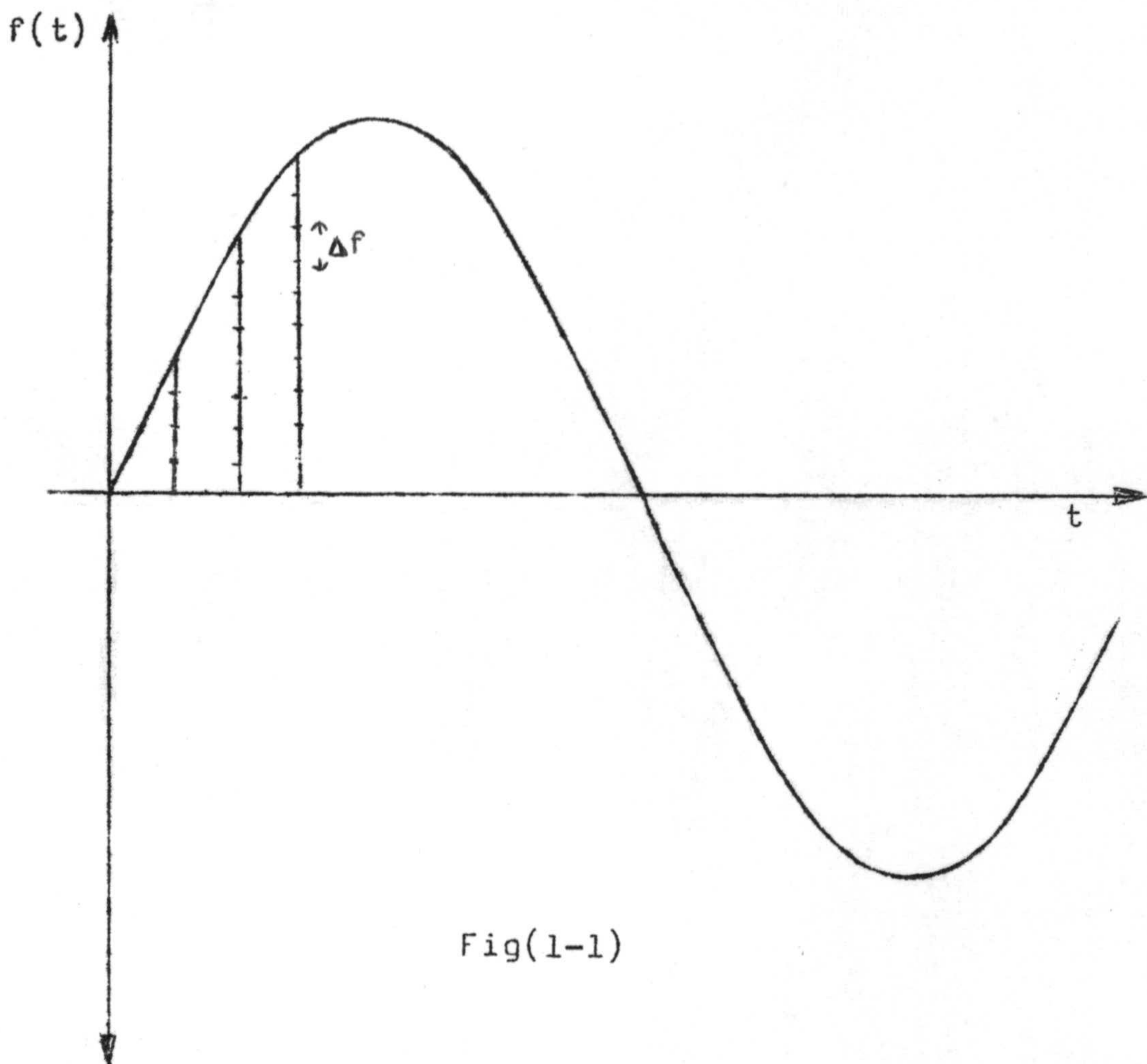
Una de las funciones mas importantes del calculo hibrido, consiste en el almacenamiento y lectura de funciones analógicas previamnte digitalizadas, ya que es imposible almacenar indefinidamente una señal puramente analógica.

En nuestro trabajo describimos la realización electronica de un dispositivo, no convencional, capaz de leer y almacenar una función analógica , repetitiva o no, $f(t)$, y de generar la función $f(g(t))$, donde $g(t)$ es la función de lectura.

El campo de aplicación de este sistema es muy extenso no solo en el campo del cálculo híbrido, si no en diversas ramas de instrumentación electronica.

1.-2 Fundamento teorico.

La forma común de almacenamiento en la memoria digital de una señal analógica, se lleva a cabo tomando muestras de la función a intervalos iguales de tiempo y digitalizando los valores completos de estas muestras. fig(1-1).



Fig(1-1)

A continuación queremos hacer un estudio comparativo de la forma tradicional de almacenamiento, con las opciones que seguidamente vamos a proponer y, con este fin, es conveniente definir una serie de parámetros que nos caractericen cada tipo de memoria.

ΔT = Periodo de repetición de las muestras periódicas.

Δf = Cuanto mínimo en la conversión A/D de las muestras de $f(t)$.

m = Numero de bits fondo de escala.

n = Numero total de muestras.

$z = 2^m - 1$ = Numero de incrementos Δf , fondo de escala.

$P_m = \left(\frac{df}{dt} \right)_{\max} \frac{\Delta T}{\Delta f}$ = Pendiente máxima que puede tener $f(t)$, expresada en número de incrementos Δf , en cada ΔT .

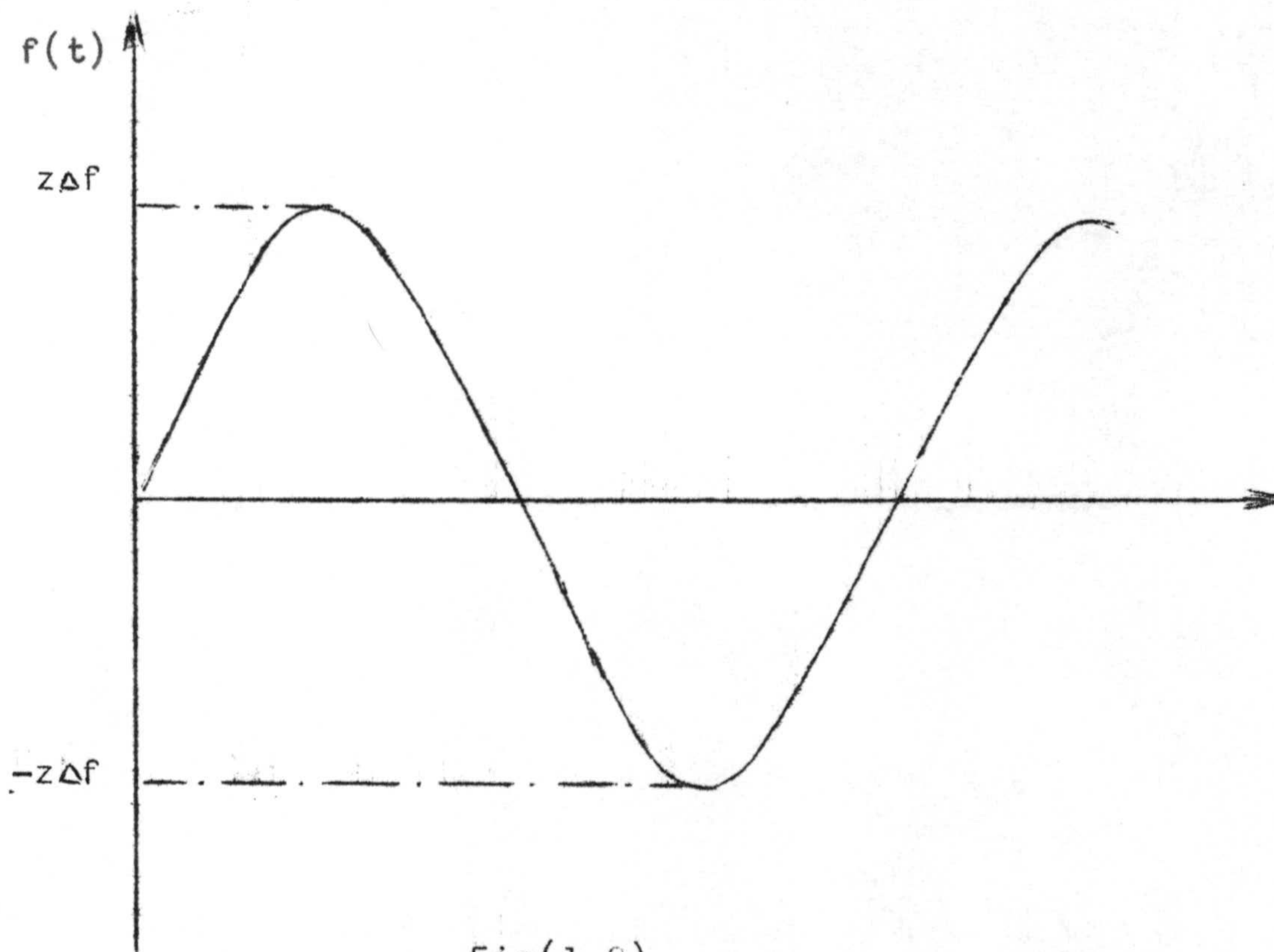
D = Dimensión real de la memoria = numero total de bits necesarios para materializar la memoria.

$C = 2 \cdot z \cdot n$ = Capacidad virtual de la memoria.

E = Eficiencia de la memoria = $\frac{C}{D}$ fig(1-2).

En el caso de almacenamiento por muestreo periódico con conversión completa A/D, para z y n fijas, es decir, para una capacidad virtual de memoria c dada, los restantes parámetros significativos toman los valo-

res $P_m = 2^m - 1, D = (m+1)n, E = \frac{2z}{m+1}$ donde a los m bits fondo de escala, le hemos añadido un bit de signo.



Fig(1-2)

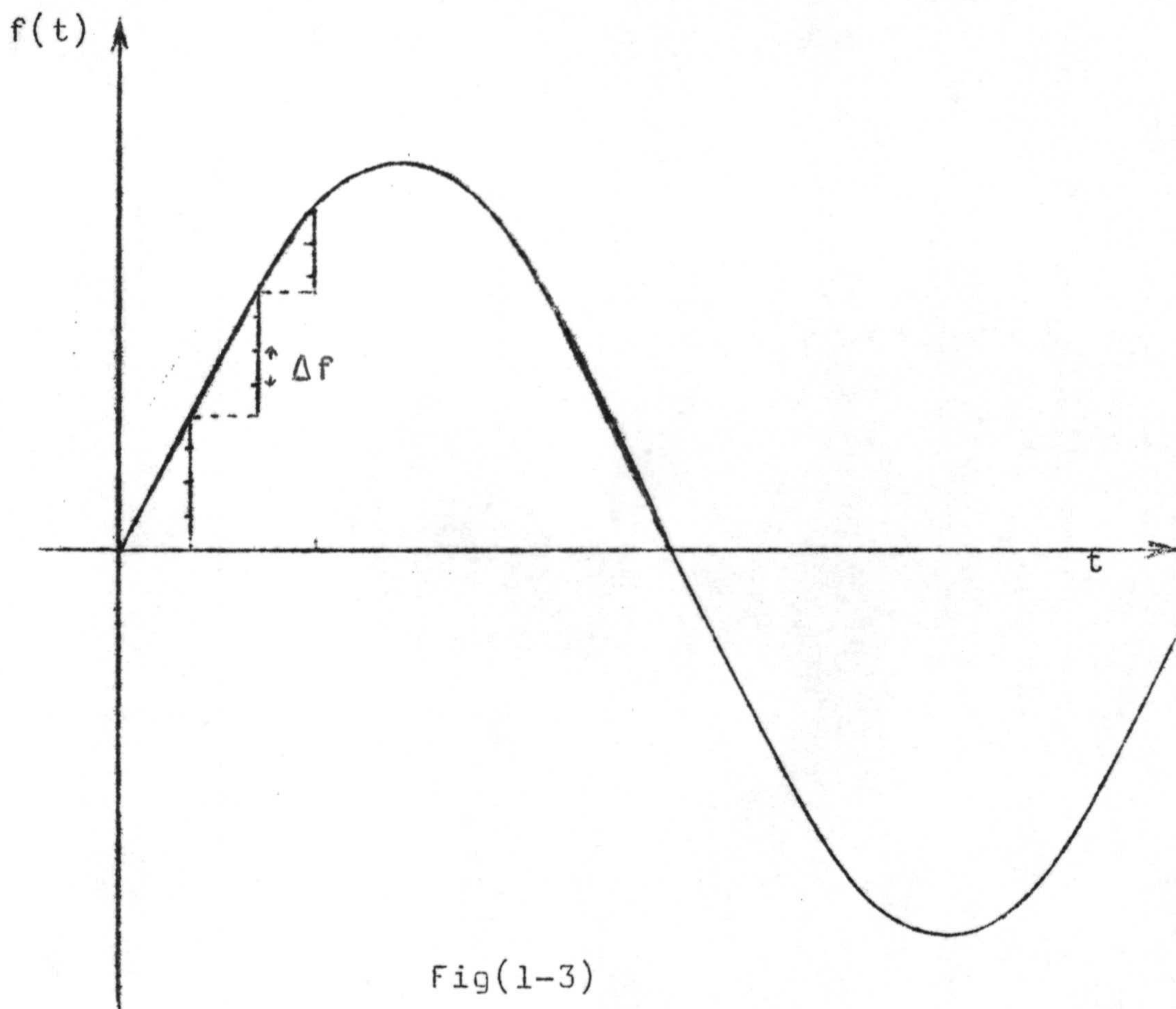
Es facil de ver que para los mismos valores z y n , se puede aumentar la eficiencia de la memoria, si en vez de almacenar los valores completos de las muestras, almacenamos solamente los incrementos de la función entre un instante de muestreo y el siguiente. fig (1-3).

Dada $f(t)$, sea $f(t_i) = f_i$ el valor real de la muestra i -esima. En la conversión A/D aproximamos esta

muestra de forma que $f_i - F_i \leq \pm \Delta f / 2$ y $F_i = j \Delta f$, donde j , es un entero. En nuestro caso almacenamos en el instante t_i , el valor $\Delta f_i = F_i - F_{i-1} = (j-k) \Delta f$, donde $(j-k) \leq m$.

Por otra parte si limitamos la pendiente máxima haciendo $P_m = (2^p - 1)$; $p < m$, teniendo en cuenta que ahora debemos almacenar la magnitud y el signo del incremento, los parametros anteriormente definidos toman los valores.

$$P_m = (2^p - 1) \quad , \quad D = (p+1) n \quad , \quad C = 2 \cdot z \cdot n \quad , \quad E = 2 \cdot z / p + 1$$



Fig(1-3)

En la fig (1-4) representamos p_m y E/z frente a P .

Evidentemente, la mejora en eficiencia, es decir, la disminución relativa de los bit de memoria necesaria para almacenar una función dada, se logra mediante un sacrificio del valor de P_m no obstante es necesario considerar que la disminución de la pendiente máxima lleva consigo un aumento de la precisión en la representación de $f(t)$.

Cabe también la posibilidad de aumentar la eficiencia sin sacrificar la pendiente, mediante un sistema de grabación en palabras de longitud variable que aún tenemos en estudio.

Para reproducir la función almacenada, basta leer secuencialmente y con periodo constante ΔT , los incrementos almacenados en la memoria y sumarlos.

La generación de $f(g(t))$ se logra utilizando como pulso de lectura de la memoria los que resultan de cuantizar la función $g(t)$.

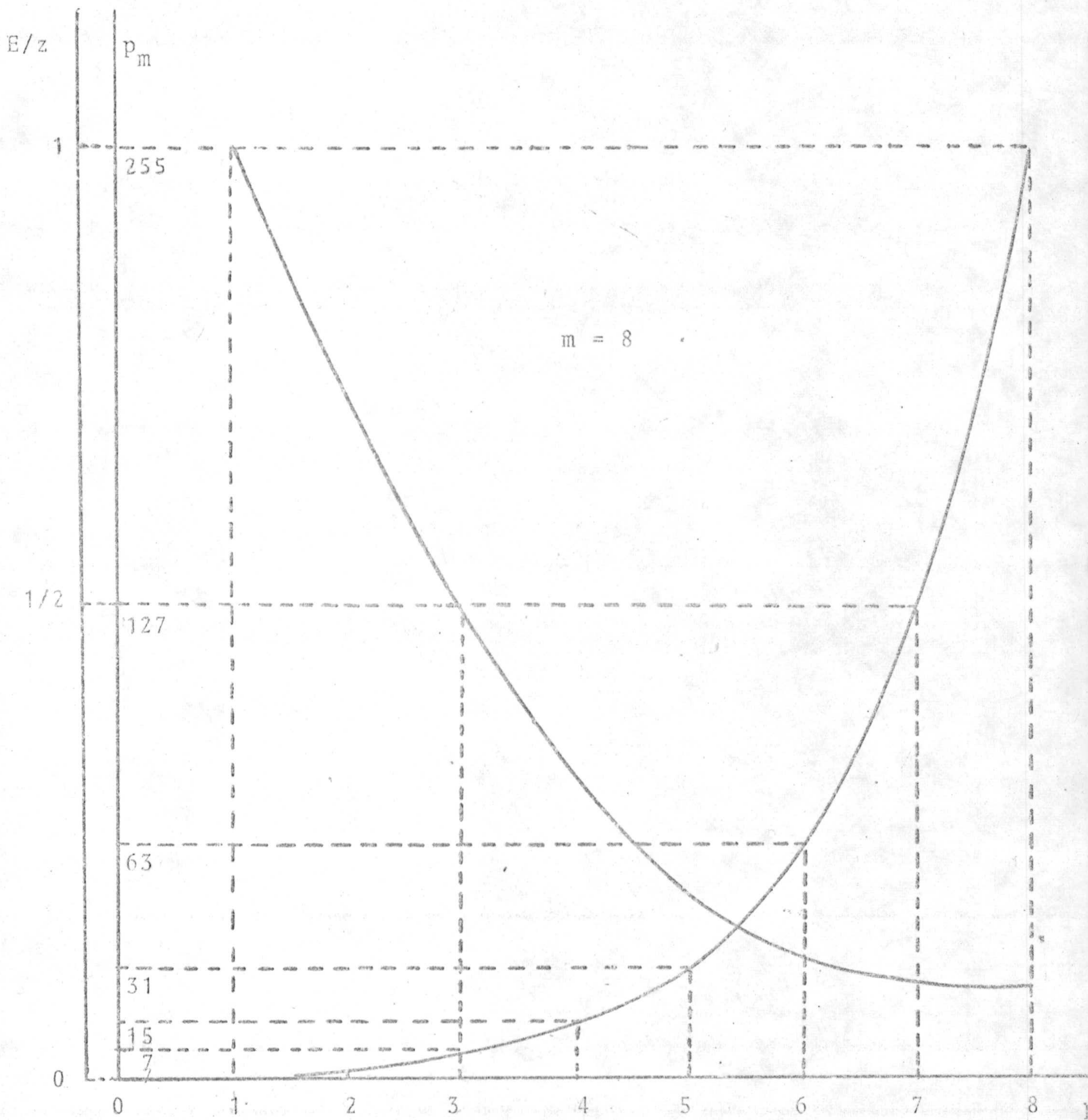


fig. 1-4

1.-3 Datos basicos del sistema realizado.

En nuestro trabajo hemos elegido $m=8, P=3, n=256$
 $y \Delta f=20mV$ con lo que el maximo valor de la señal analógica
de entrada será de 5 volts, (10 volt pico a pico).

Los restantes parametros toman entonces los va-
lores : $z=255, P_m=7, D=1.024, C=130.560, E/z=1/2,$

$$\Delta T = \frac{0,14}{(df/dt)_{max}}$$

El muestreo de la función de entrada lo hemos
sustituido por una cuantización incremental. Con lo que
ganamos en rapidez de operación.

Al mismo tiempo podemos utilizar el cuantizador
para generar los pulsos de lectura de $f(g(t))$.

2.- PRINCIPIO DE OPERACION Y DIAGRAMA DE BLOQUE.

Para exponer de una forma general la operación llevada a cabo por el dispositivo que hemos diseñado, es conveniente dividirlo en tres grandes bloques que realizan operaciones bien distintas dentro del circuito total.

a) Cuantizador incremental.

b) Circuito de grabación.

c) Circuito de lectura.

2.-1 Cuantizador incremental.

La finalidad de este circuito dentro del dispositivo general, es cuantizar de forma incremental la señal analógica de entrada y al mismo tiempo, darnos cuenta de cuando tiene lugar estos incrementos y si estos son positivos o negativos.

El diagrama de bloque del cuantizador esta dibujado en la fig(2-1).

La idea desarrollada para la realización práctica del circuito que nos realice tal operación es la siguiente.

Cuantizamos la señal de entrada, haciendo uso de

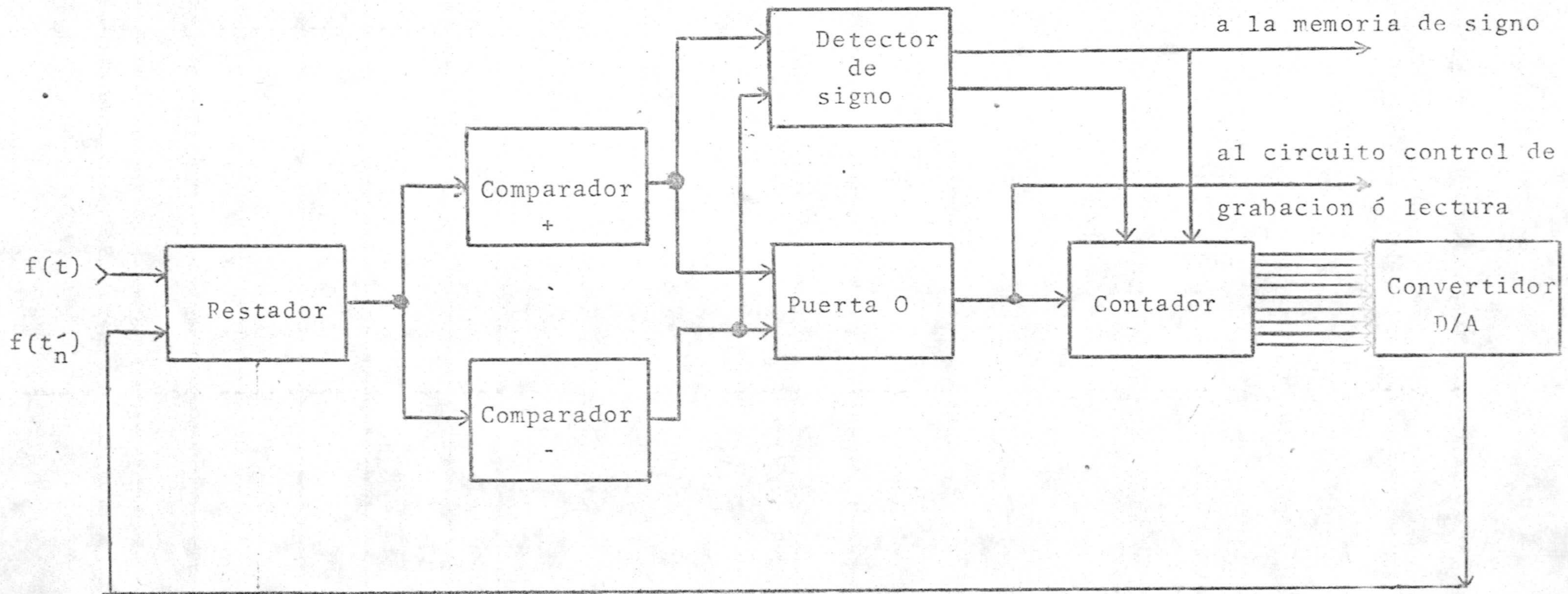


fig. 2-1

dos comparadores ,uno para pendientes positivas y otro para pendientes negativas,siendo la tensión de comparación en cada uno de ellos $\pm \Delta f$ y $-\Delta f$ respectivamente,con lo que garantizamos que en cada momento solo en un comparador,según crezca o disminuya la señal de entrada,tendra lugar un pulso de comparación.

La señal de entrada es $f(t)-f(t'_n)$, donde $f(t'_n) = \pm j\Delta f$ es el valor almacenado en el instante t'_n de la coincidencia anterior.

La señal $f(t)-f(t'_n) \pm \Delta f$ la conseguimos mediante un restador analógico.

Cuando tiene lugar un incremento de tensión Δf , en la señal de entrada,positivo o negativo,la señal de entrada de los comparadores pasa a ser $f(t)-f(t'_n) \pm \Delta f$.

Al mismo tiempo se detecta mediante un circuito apropiado,(detector de signo, en el diagrama de bloque de la fig(2-1),que comparador actua en cada instante,por tanto tendremos constantemente noticias del signo de la pendiente de la señal de entrada.

La salida de este circuito,ira directamente a la memoria del signo del circuito total.

Para conseguir que en cada instante la tensión en la entrada inversora del amplificador operacional usada como restador sea $f(t'_n) = t_j \Delta f$, hacemos uso de un contador reversible cuya salida va conectada a un convertidor digital analógico. Este contador actuara progresivamente cuando tenga lugar un incremento de tensión Δf positivo en la señal de entrada y regresivamente cuando este incremento sea negativo.

Las salidas de los comparadores se acoplan a la entrada del contador mediante un circuito puerta 0.

La orden de contar de una u otra forma, viene gobernada por el mismo circuito detector de signo.

Por tanto cada vez que se genere un pulso en la salida del comparador de incrementos positivos la salida del convertidor D/A aumentara en Δf .

Del mismo modo, cada vez que el comparador de incrementos negativos genere un pulso, la salida del convertidor D/A disminuye en Δf .

La salida del convertidor D/A, va conectada a la entrada inversora del restador.

El poder de resolución de este convertidor D/A,

ó lo que es lo mismo, el valor de la tensión de salida correspondiente al bit menos significativo de la palabra digital de entrada, ha de ser igual a Δf .

La señal de entrada y señal cuantizada así como los pulsos de salida de los diferentes circuitos, están dibujados en la fig(2-2).

En conjunto, el sistema formado por el restador comparadores, contador y convertidor D/A constituye un convertidor A/D que poseyendo un margen de frecuencias considerable presenta las ventajas de ser relativamente simple y fácilmente reproducible.

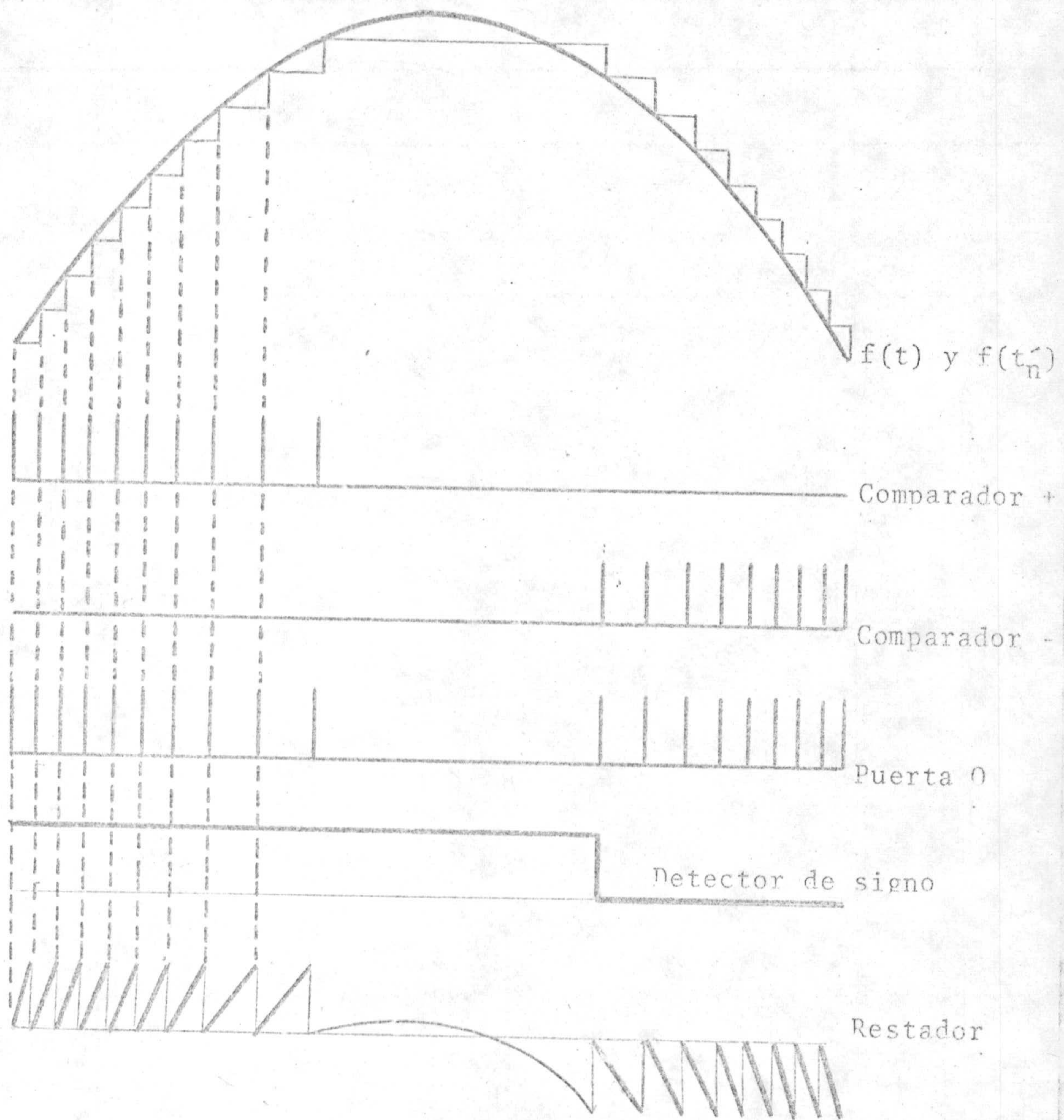


fig. 2-2

2-2. dispositivo de escritura en la memoria.

La palabra digital equivalente, de cada muestra completa de la señal analógica, viene dada, en cada momento, por el contador reversible, del cuantizador incremental, anteriormente descrito.

Dado que, como se ha expuesto anteriormente, en el apartado 1-2, la información que queremos almacenar en la memoria no son estas muestras completas, sino el incremento que ha sufrido la función en cada ΔT , ha de utilizarse un circuito control de grabación, que nos permita el paso de los pulsos de salida de los comparadores, durante estos intervalos de tiempo.

Este circuito de control de grabación, estará gobernado por impulsos de reloj escala de tiempo de anchura ΔT . Estará constituido por dos puertas de control, una para cada semiperiodo consecutivo de los pulsos de reloj. Con ello nos aseguramos que no se perderá ningún pulso producido por cualquiera de los dos comparadores.

El número de impulsos que pasarán a través de cada puerta de control durante cada intervalo permitido, depende de la pendiente de la señal de entrada, que

estemos cuantizando, así como el periodo de los pulsos escala de tiempo. Este número quedará reflejado en dos contadores de información, uno para cada circuito puerta de control, que constituyen el circuito control de grabación.

Será la información almacenada por estos contadores en cada intervalo de la señal escala de tiempos, junto con la información correspondiente a su signo, dada por el circuito detector de signo, lo que grabaremos en las memorias.

El número binario grabado en la memoria en cada impulso de grabación, será el indicado por el contador para el cual ha sido permitido el paso de impulsos durante el semiperiodo de los impulsos de reloj escala de tiempos que acaba de terminar, por lo que habrá que realizar un circuito selector de información, que inhiba de grabar la noticia almacenada, por el contador al que en ese momento, le esté permitida la llegada de los pulsos de comparación, este proceso, se realizará alternativamente.

La dirección en que ha de ser grabada esta

información viene gobernada por los propios pulsos de comparación, mediante el circuito control de direcciones.

Dado que el dispositivo que presentamos en este trabajo, puede ser usado para la generación de $f(g(t))$, usando para ello como pulsos de lectura, los resultantes de la cuantización de $g(t)$, podemos usar para cuantizar esta función, el mismo cuantizador usado para grabar la función $f(t)$, ya que, la lectura es posterior a la grabación.

A través de circuito control de grabación o lectura se pueden dirigir convenientemente los pulsos de salida de la puerta 0 del cuantizador, para realizar una u otra operación. El diagrama de bloques del dispositivo de escritura en la memoria está dado en la fig(2-3).

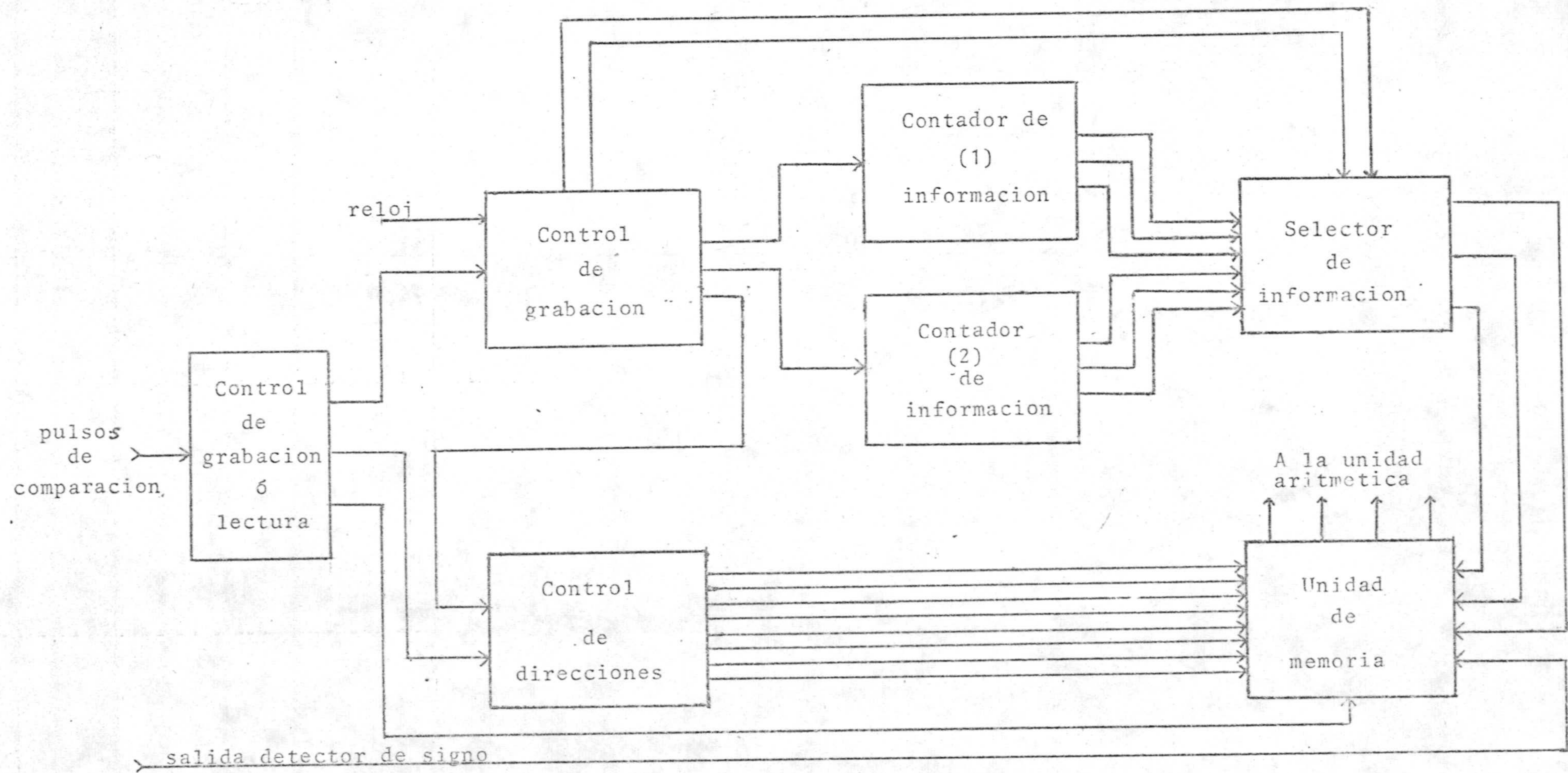


fig. 2-3

2-3.-Dispositivo. de lectura.-

La palabra digital correspondiente a cada incremento de la señal de entrada $f(t)$, ha sido almacenada, junto con su signo, en los lugares correspondientes de memoria.

Para la generación de $f(g(t))$, basta, dada la orden de lectura a la memoria, mediante el circuito de grabación ó lectura, comunicar las distintas direcciones mediante los pulsos resultantes de la cuantización de $g(t)$, previa inhibición del circuito de grabación.

Mediante un sumador restador, que constituye la unidad aritmética en el diagrama de bloques, conectado a la salida de la memoria, y gobernado por el bit de signo de forma que sume ó reste según corresponda, reproduciremos a través de un convertidor D/A, conectado a su salida, la función $f(g(t))$.

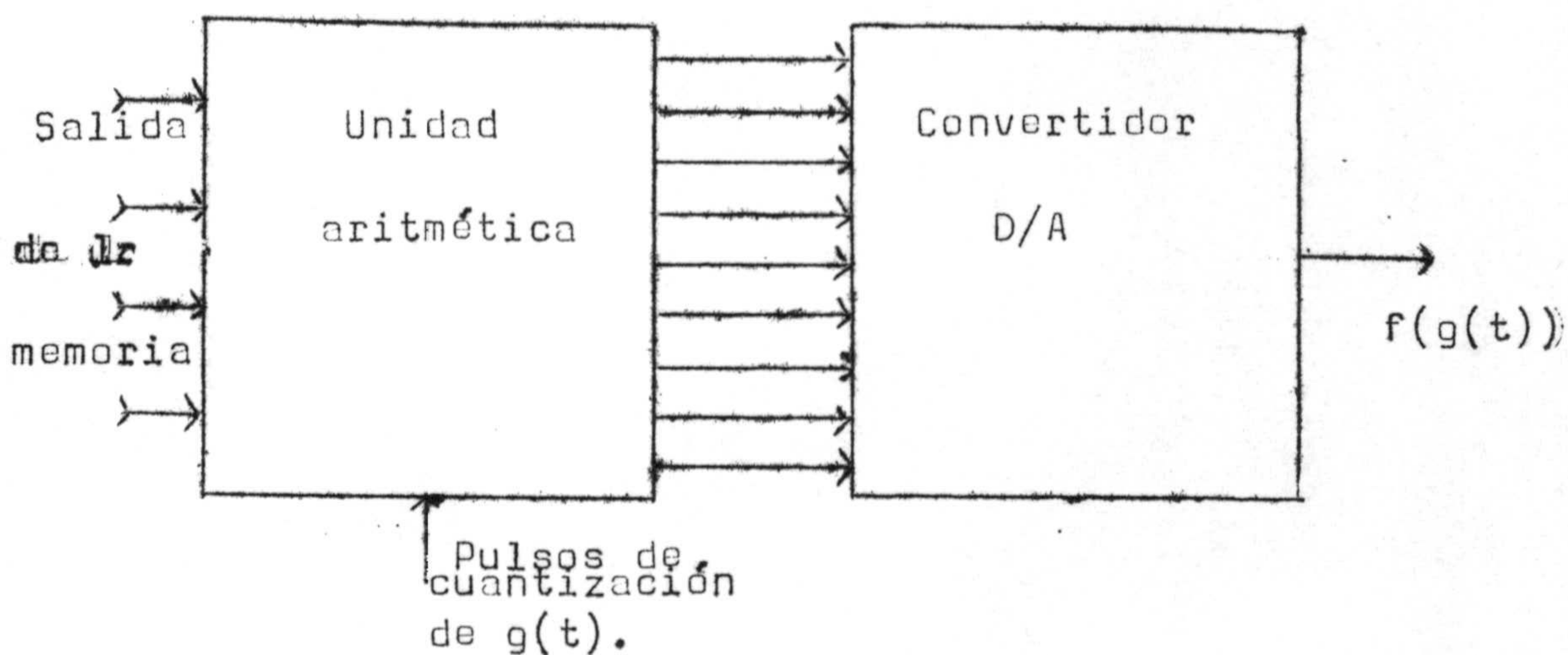
La orden de llevar a cabo cada operación aritmética viene gobernada por los propios pulsos de cuantización, de la función $g(t)$.

También podemos realizar la operación de lectura usando para ello, un tren de pulsos de una frecuencia determinada, de forma que obtendremos a la salida del C/D, que

forma parte del circuito de lectura, la función $f(t)$, es decir, la misma forma de onda grabada, pero a distinta frecuencia. Naturalmente, como queda implícitamente indicado, al hablar de la lectura de $f(t)$, mediante la cuantización de $g(t)$, este tren de pulsos mediante el cual queremos leer directamente, no tiene por que ser simétrico, y puede seguir cualquier secuencia.

Estos pulsos pueden ser introducidos, a través del propio circuito de grabación o lectura, como se indica en el diagrama de bloques general.

El diagrama de bloques del circuito de lectura está dado en la fig(2-4).



Fig(2-4).

El diagrama de bloques general indicando las conexiones entre cada uno de los anteriormente descritos, está dado en la fig(2-5).

Se ha previsto también, la introducción de condiciones iniciales en la función de lectura, mediante el circuito control de direcciones, de forma que podamos obtener a la salida del convertidor D/A del circuito de lectura, la función $f(g(t+t_0))$.

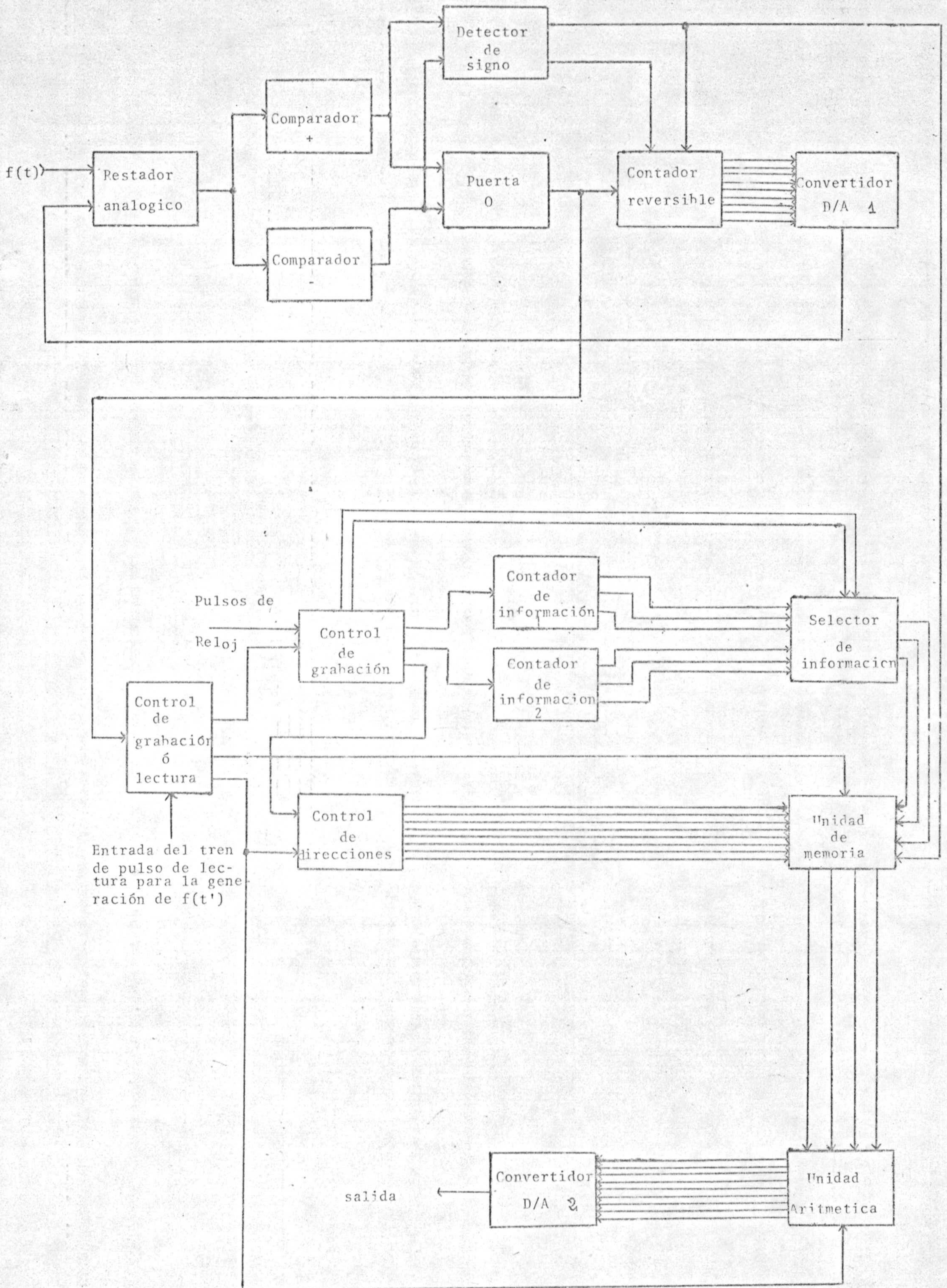


fig. 2-5

3.-CUANTIZADOR INCREMENTAL.

Como hemos dicho anteriormente, el cuantizador incremental constituye fundamentalmente un convertidor analógico digital en el que la conversión tiene lugar comparando la diferencia entre $f(t)$ y $f(t'_n) \pm \Delta f$ con $+\Delta f$ ó $-\Delta f$ donde $f(t)$ es el valor de la señal de entrada en un instante cualquiera y $f(t'_n)$ es el valor analógico de la señal de entrada en el instante de la coincidencia anterior y siendo Δf el cuanto de tensión con que nosotros queremos digitalizar la señal de entrada.

En este trabajo nosotros hemos escogido como cuanto de tensión 20mv. , con lo que la salida de los comparadores tendrá lugar un pulso de comparación cuando $f(t) - f(t'_n) = \pm 20mv.$

3-1 Restador.

Aunque podíamos cuantizar la función de entrada comparandola directamente con $f(t'_n) \pm \Delta f$ respectivamente, hemos preferido con el fin de mantener fija la tensión de comparación en ambos comparadores, realizar la cuantización comparando $f(t) - f(t'_n)$ con $\pm \Delta f$, lo cual evita inconvenientes prácticos en la detección de la coincidencia

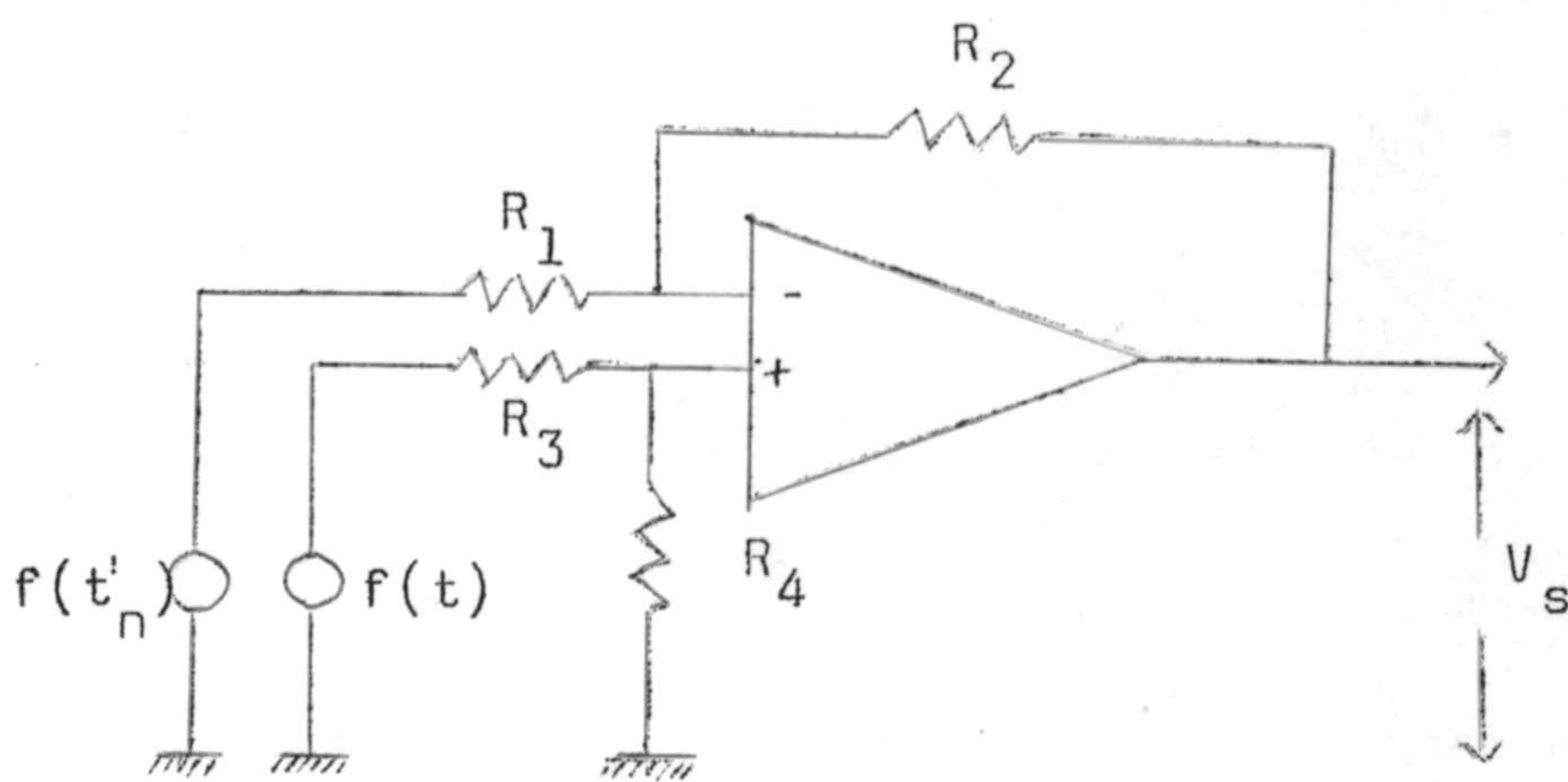
al eliminar la señal en modo común a la entrada de los comparadores.

La diferencia entre $f(t)$ y $f(t'_n)$ la hemos conseguido mediante un restador analogico. El montaje que hemos llevado a cabo ha sido el siguiente, fig3-1.

De esta forma la tensión de salida del circuito

es:

$$V_s = \frac{-R_2}{R_1} f(t'_n) + \frac{R_4}{R_3} \cdot \frac{1 - \frac{R_2}{R_1}}{1 - \frac{R_4}{R_3}} f(t)$$



fig(3-1)

Se han escogido los valores de modo que $R_1=R_2$
 $=R_3=R_4$ de forma que la tensión de salida es $V_s=f(t)-f(t'_n)$.
 Así mismo siendo $R_2=R_1$ y $R_4=R_2$ el paso a tierra de cada
 entrada es el mismo, con lo que el voltaje de offset desa-
 rrollado en la salida es mínimo.

La forma de onda en la salida del amplificador
 operacional es la representada en la fig2-2, correspondien-
 te a la función error de cuantización.

Aunque hemos escogido valores iguales de las re-
 sistencias en la realización del circuito restador descrito
 otra posibilidad es mantener la relación $\frac{R_2}{R_1} = \frac{R_4}{R_3}$ con
 lo que la tensión de salida será:

$V_s = \frac{R_2}{R_1} (f(t)-f(t'_n))$ de forma que la señal cuantizada que
 obtendremos estará amplificada ó atenuada en la relación de
 $\frac{R_2}{R_1}$ de forma que con una amplificación adecuada será posi-
 ble la digitalización de señales muy pequeñas ó bien ate-
 nuando convenientemente la señal de entrada podemos digita-
 lizar señales de mayor amplitud.

Para la realización práctica de este circuito
 se ha optado por emplear un amplificador operacional en
 capsulado en forma híbrida Analog Devices 118.

Las razones por las que hemos elegido este circuito son: Su elevada respuesta en frecuencia 1,5Mhz. para una ganancia unidad, elevado "Slew Rate" ,6v/ μ sg, gran razón de rechazo en modo común, voltaje de "offset" ajustable a cero mediante un potenciómetro exterior y elevada impedancia de entrada.

Su sensibilidad a los cambios de temperatura es muy pequeña variación del voltaje de "offset" del orden de $\pm 5\mu\text{V}/^{\circ}\text{C}$.

3-2 Comparador.-

Como se ha indicado anteriormente, la salida del circuito restador va a dos comparadores uno para pendientes positivas y otro para pendientes negativas, en los que la tensión de referencia es en cada uno de ellos de $\pm \Delta f$ respectivamente.

En el comparador 1 es en el que tendran lugar las comparaciones correspondientes a pendientes positivas de la señal de entrada y el comparador 2 correspondiente a las negativas, de forma que los comparadores nos daran un pulso cuando $|f(t) - f(t_n)| \geq 2 \cdot 10^{-2}$ volts.

Como comparadores se ha hecho uso del circuito hibrido Analog Device 350, que consiste en esencia en un amplificador operacional funcionando en lazo abierto de tal forma, que una débil variación de la tensión diferencial de entrada, hace pasar el nivel de la salida, de uno de los valores extremos al de polaridad opuesta, Constituye pues de hecho un biestable.

El dispositivo que usamos tiene como principal característica, que la entrada se realiza a través de un transistor de efecto campo, este tipo de comparador es más

caro que uno de entrada mediante transistor bipolar, pero en nuestro caso es muy conveniente hacer uso de el, debido a la alta impedancia de entrada que ofrece, y la pequeña corriente de polarización que absorbe, ya que la única corriente de entrada que necesita es la que pasa a través del diodo inversamente polarizado puerta canal.

Esta corriente es muy pequeña, normalmente menor que el nano amperio, que es en orden de magnitud mucho menor que la requerida por un transistor bipolar (orden de los nanos amperios). Esto es una gran ventaja con respecto a los comparadores con entrada mediante un transistor bipolar, ya que uno de los mayores errores es debido a la corriente de base y a su variación con la temperatura, este defecto se acentua aún más en los comparadores de elevada rapidez, como en el caso que se nos presenta ya que para conseguir esta rapidez de operación es necesario aumentar la corriente de polarización.

Para vencer este problema podría utilizarse un comparador con entrada mediante transistor bipolar usando previamente un transistor a colector común, seguidor por emisor, para reducir la corriente de entrada. Sin

embargo, esta no es una solución totalmente satisfactoria, ya que el voltage V_{BE} del seguidor por emisor, añade error a la señal analógica de entrada.

Por otra parte estando los comparadores acoplados a la salida del amplificador operacional utilizado como restador, la intensidad de corriente que este ha de suministrar es practicamente nula, de forma que su efecto en las características de transferencia del operacional es despreciable.

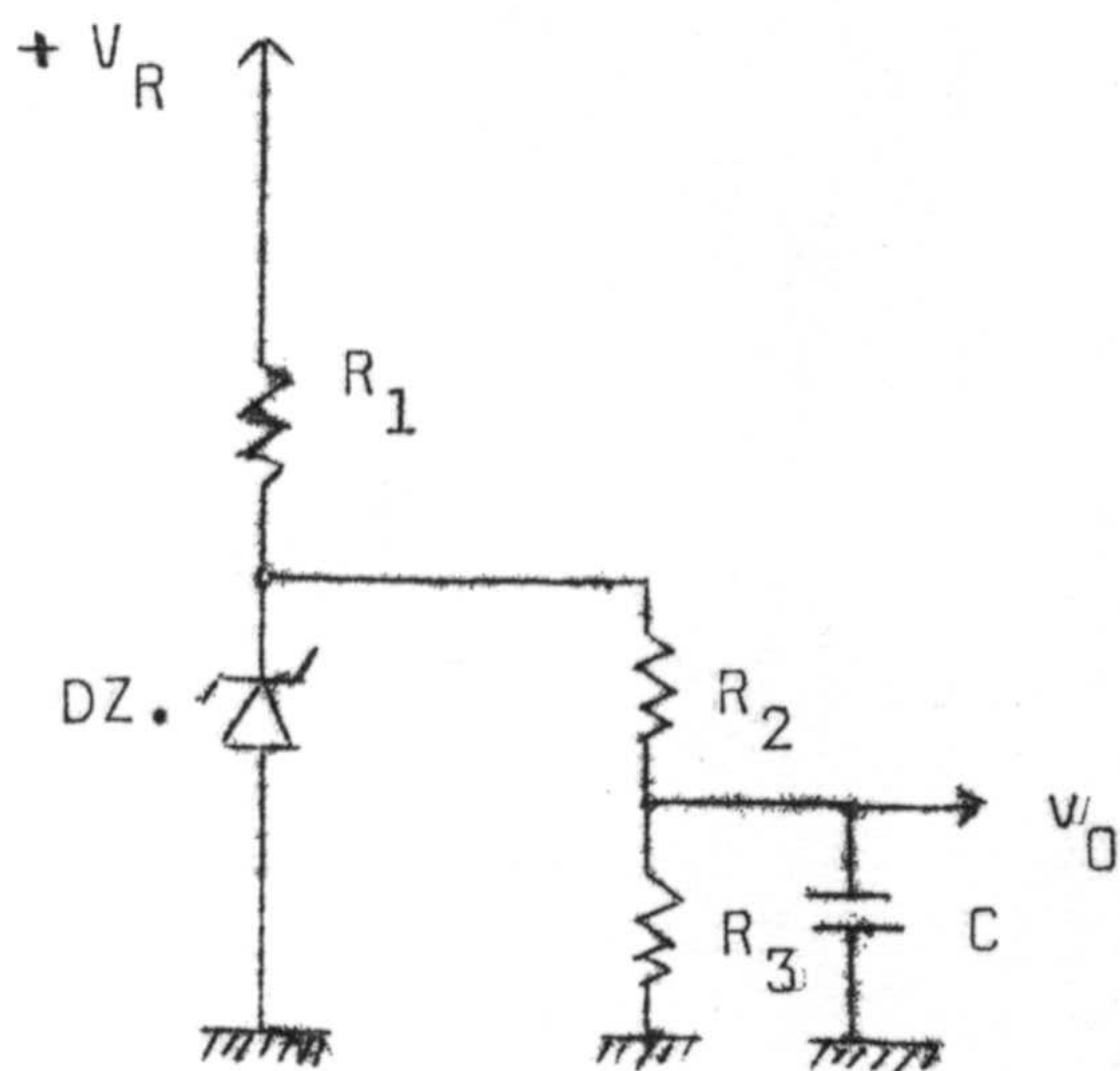
Aparte de ser un comparador del tipo de entrada por FET, el dispositivo que hemos escogido reúne una serie de características que han sido decisivas para su elección, estas son, salida compatible con lógica binaria, esto es oscilación de la salida entre los niveles 0 y 5 volts, mediante la unión de una de sus conexiones a masa, gran sensibilidad o poder de resolución $20v/400\mu v$, pequeño voltaje de "offset" ajustable a cero mediante un potenciómetro exterior y pequeño tiempo de respuesta: $0,05\mu s$.

La tensión de referencia positiva y negativa de los comparadores la hemos conseguido con fuentes de tensión-reguladas por diodos zener segun indica la fig (3-2).

Donde los valores de R_2 y R_3 se han escogido de

forma que $v_0 = 20\text{mv}$. El diodo zener usado es un BZX 79 c5v6 de la casa Miniwatt. Para la tensión de referencia negativa el circuito es análogo.

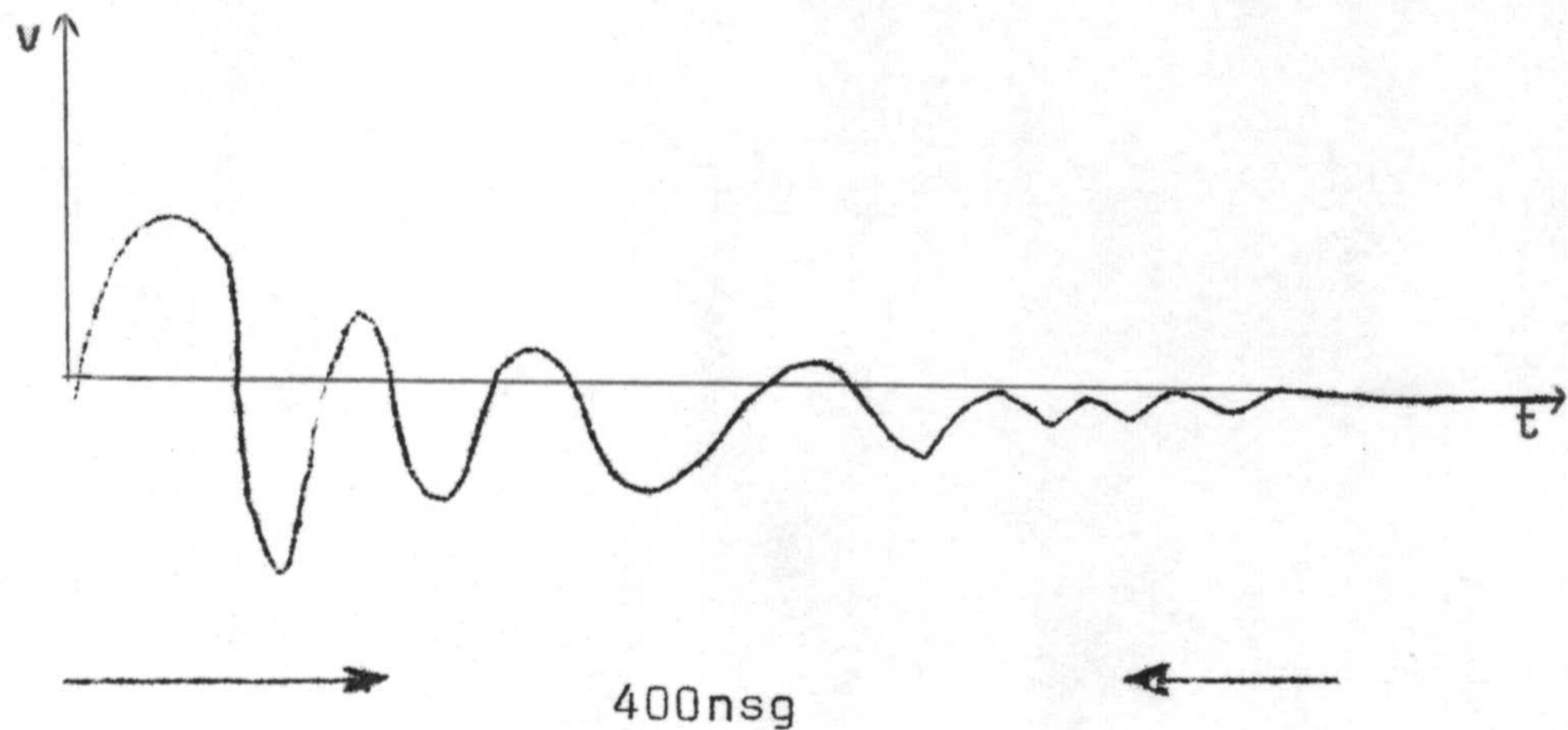
Como la señal a comparar en ambos comparadores con las respectivas tensiones de referencia, es $f(t) - f(t'_n)$ donde $f(t'_n)$ es el nivel de salida analógica del convertidor D/A, y debido a las pequeñas oscilaciones inherentes a esta salida hasta su estabilización, la cual ocurre en un orden de tiempo de 300 a 400 nsg fig(3-3). puede o-



Fig(3-2).

currir, que debido a la gran sensibilidad de los comparadores que estamos usando, se produjese un tren de pulsos en vez de uno solo.

Hemos evitado este problema adaptando a la sali-



Fig(3-3)

da del comparador un monoestable diseñado de tal forma que se dispare a la subida de nivel, en la salida del comparador, y cuyo pulso de salida tenga una anchura de $0,6\mu\text{sg}$, de forma que aunque se produzca algún pulso de comparación más, el monoestable no permita su paso al contador durante el intervalo que comprende su anchura de pulso.

Esta solución se adopta tanto para el comparador de pendientes positivas como para el de negativas.

La solución encontrada a este problema en la bi'

bliografía, consiste en realimentar positivamente el comparador, con lo que se consigue una histeresis en la detección del nivel de comparación que inmuniza de las señales de ruido, no obstante esta solución tiene la desventaja de reducir la sensibilidad del comparador, por lo que en nuestro caso consideramos más práctica la propuesta en este trabajo.

Hemos la posibilidad de que tuviesen lugar un pulso al mismo tiempo en ambos monoestables, mediante un circuito que inhiba el paso del pulso de disparo de uno de ellos, durante el tiempo de duración del pulso de salida del otro monoestable.

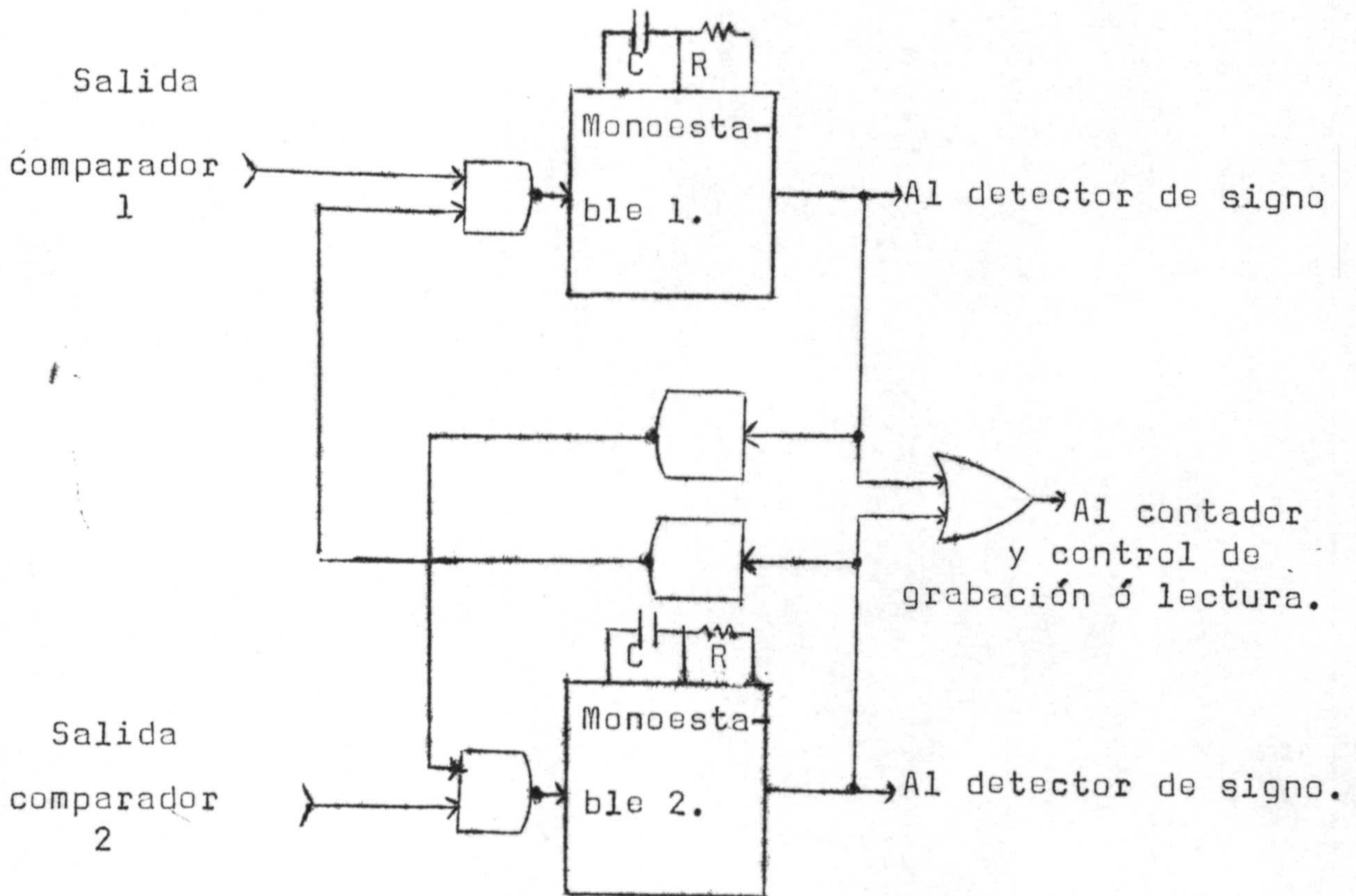
Dado que el tipo de monoestable usado se dispara a la bajada del pulso de entrada, conectamos la salida de cada comparador a la entrada de su respectivo monoestable, mediante un circuito puerta NO-Y, siendo la otra entrada de esta puerta, la salida invertida del otro monoestable.

Si llamamos C_1 y C_2 a las salidas de los comparadores, y M_{C1} , M_{C2} las de sus monoestables respectivos, la ecuación lógica a la salida de cada puerta NO-Y, es respectivamente:

$$\bar{C}_1 + M_{C2} \text{ y } \bar{C}_2 + M_{C1}$$

De forma que al pulso de disparo de cada monoestable, no le es permitido el paso mientras la salida del otro está en el estado "1".

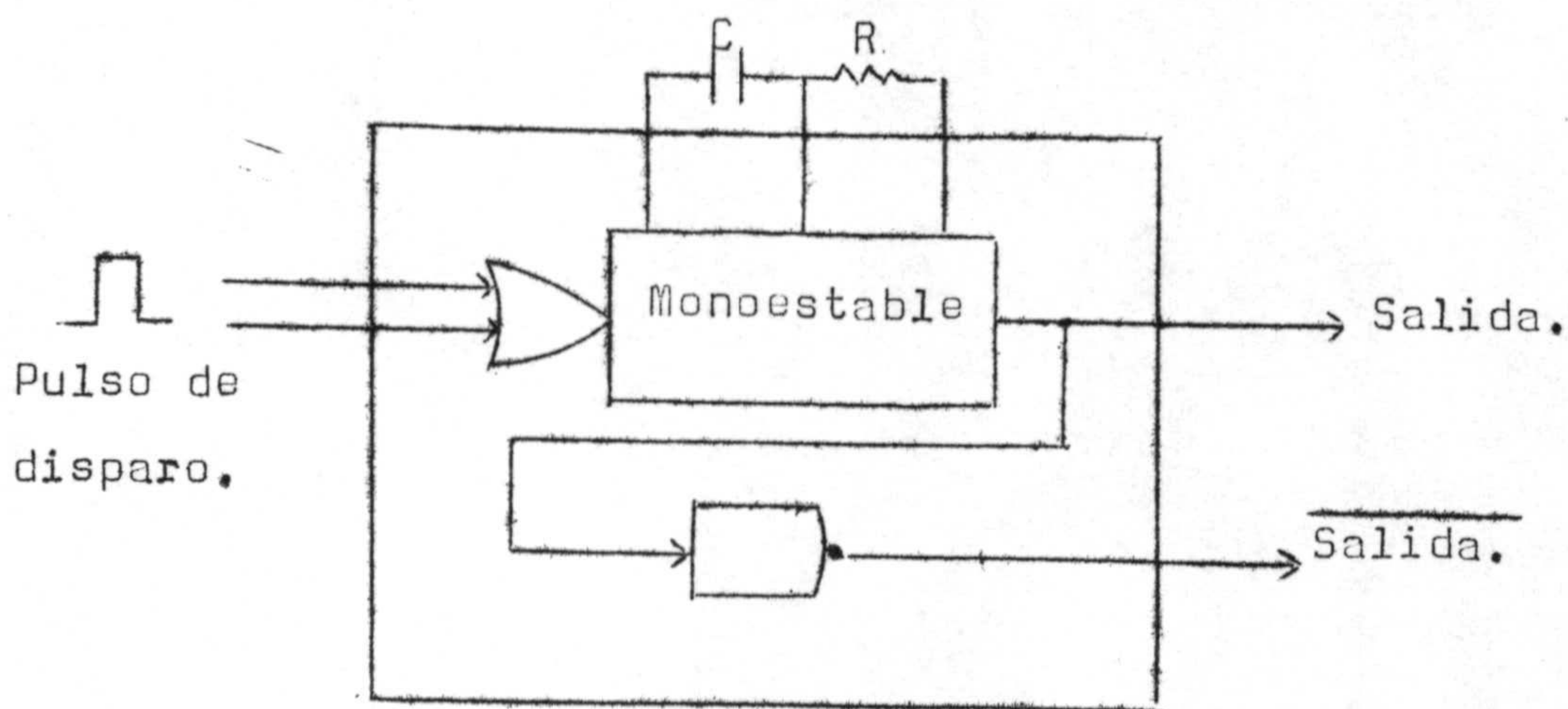
El circuito que nos realiza esta operación, está dibujado en la figura (3-4).



Fig(1-4).

El dispositivo utilizado como monoestable, es el integrado FCK 111 de la Miniwatt, fig(3-5). Donde C y R han sido escogidas según las características dada por el fabricante, de forma que la anchura de pulso sea $0,6 \mu\text{sg}$.

Este dispositivo lleva incorporado en la pastilla un inversor, de forma que podemos obtener directamente la salida invertida, según muestra la fig(3-5).



FCK111.

Fig(3-5).

La salida de ambos monoestables se acoplan mediante un circuito puerta O, al circuito control de grabación ó lectura, y al contador de pulsos de comparación.

Dado que este cuantizador nos servirá también para

generar los pulsos de lectura para obtener la función $f(g(t))$, la salida de la puerta 0 tendrá que ser gobernada convenientemente mediante una llave de control de grabación o lectura, para ser dirigida a uno u otro bloque.

Esta llave será descrita convenientemente, en el estudio del circuito de grabación.

3-3.-Contador.

Los pulsos de salida de los monoestables pasan a través de una puerta 0 a ser contados por un contador binario reversible de forma que los pulsos correspondientes a las partes decrecientes de la señal de entrada, sean contados regresivamente y los correspondientes a pendientes positivas progresivamente.

La salida de este contador es en cada momento la palabra digital correspondiente a cada muestra de la señal analógica de entrada.

Nosotros hemos previsto la posibilidad de trabajar con señales de amplitud máxima 5 volts (10 volts pico a pico), por tanto, teniendo en cuenta el valor del cuanto de tensión, así como la necesidad de indicar mediante el bit más significativo el signo de la magnitud de la señal en cada instante, hemos de diseñar un contador reversible capaz de contar en binario hasta 2^9 pulsos.

Como el proceso de diseño de un dispositivo de estas características es exactamente igual para no importa que capacidad del contador, basta para deducir

la estructura logica de un circuito de este tipo, hacer el diseño para un contador reversible de 16 bits.

La tabla de verdad de un contador de 16 bits funcionando regresivamente, esta dada en la tabla.(3-1).

Tabla de verdad de un contador binario regresivo.

Estado presente					Proximo estado				
Estado	D	C	B	A	Estado	D	C	B	A
0	1	1	1	1	1	1	1	1	0
1	1	1	1	0	2	1	1	0	1
2	1	1	0	1	3	1	1	0	0
3	1	1	0	0	4	1	0	1	1
4	1	0	1	1	5	1	0	1	0
5	1	0	1	0	6	1	0	0	1
6	1	0	0	1	7	1	0	0	0
7	1	0	0	0	8	0	1	1	1
8	0	1	1	1	9	0	1	1	0
9	0	1	1	0	10	0	1	0	1
10	0	1	0	1	11	0	1	0	0
11	0	1	0	0	12	0	0	1	1
12	0	0	1	1	13	0	0	1	0
13	0	0	1	0	14	0	0	0	1
14	0	0	0	1	15	0	0	0	0
15	0	0	0	0	16	1	1	1	1

Tabla(3-1)

Usamos para la realización de este contador

FFs del tipo JK, cuya tabla de excitación es, tabla(3-2)

Q^n	Q^{n-1}	J	K
0	0	0	0
0	1	1	0
1	0	0	1
1	1	0	0

Tabla(3-2)

Teniendo en cuenta la tabla de verdad, la matriz de asignaciones es fig(3-6), a partir de la matriz de asignaciones.

BA DC	00	01	11	10
00	15	14	12	13
01	11	10	8	9
11	3	2	0	1
10	7	6	4	5

Fig(3-6)

y de la tabla de excitación construimos las matrices de control fig (3-7).

De igual forma y teniendo en cuenta su tabla de verdad diseñariamos el contador para trabajar de forma progresiva con lo que la expresión lógica en la entrada de cada FF, queda $J_A=K_A=1$; $J_B=K_B=A$; $J_C=K_C=AB$ y $J_D=K_D=ABC$.

	BA	00	01	11	10
DC					
00		10	01	01	10
01		10	01	01	10
11		10	01	01	10
10		10	01	01	10

$$J_A = K_A$$

$$J_A = K_A = 1$$

	BA	00	01	11	10
DC					
00		10	00	00	01
01		10	00	00	01
11		10	00	00	01
10		10	00	00	01

$$J_B = K_B$$

$$J_B = K_B = \bar{A}$$

	BA	00	01	11	10
DC					
00		10	00	00	00
01		01	00	00	00
11		01	00	00	00
10		10	00	00	00

$$J_C = K_C$$

$$J_C = K_C = \bar{A}\bar{B}$$

	BA	00	01	11	10
DC					
00		10	00	00	00
01		00	00	00	00
11		00	00	00	00
10		01	00	00	00

$$J_D = K_D$$

$$J_D = K_D = \bar{A}\bar{B}\bar{C}$$

fig(3-7)

Un contador de 16 bits con la implantación lógica necesaria para contar progresivamente y regresivamente se muestra en la fig(3-8). La orden de contar de una u otra forma se consigue mediante las entradas P y R.

De forma, que cuando la entrada P es 1 cuenta progresivamente y cuando lo es R regresivamente.

Por extensión de la solución hallada en el diseño de un contador binario reversible de 16 bits se ha construido uno de 512 bits.

En el diseño de este contador hemos hecho uso de los circuitos integrados FCJ 121, que contienen dos FFJK y de los FCH 191 y FCH 151 que constituyen respectivamente 4 puertas NO-Y de dos entradas y tres puertas NO-Y de 3 entradas, según se representan en las figuras (3-9a)(3-9b)(3-9c), que tienen una respuesta en frecuencia de hasta 7MHz y un margen de ruido de 1,2 volts, el tiempo de retraso de los FCJ 121 es del orden de los 90nsg y el de los FCH del orden de los 30 nsg.

Este tipo de Flip-flop empleado en la construcción del contador permite mediante una orden de borrado suprimir en un momento dado la información almacenada, y

A1 convertidor digital analogico

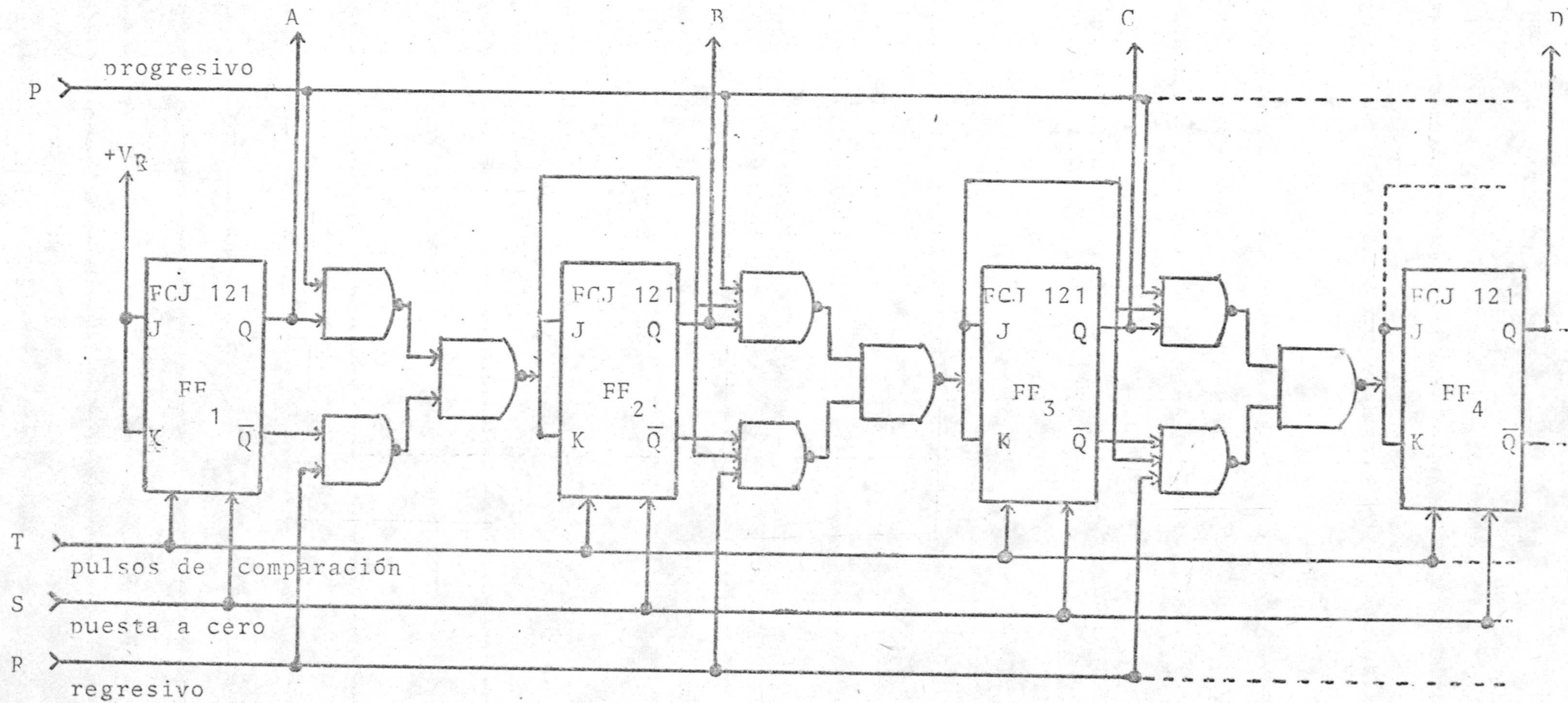
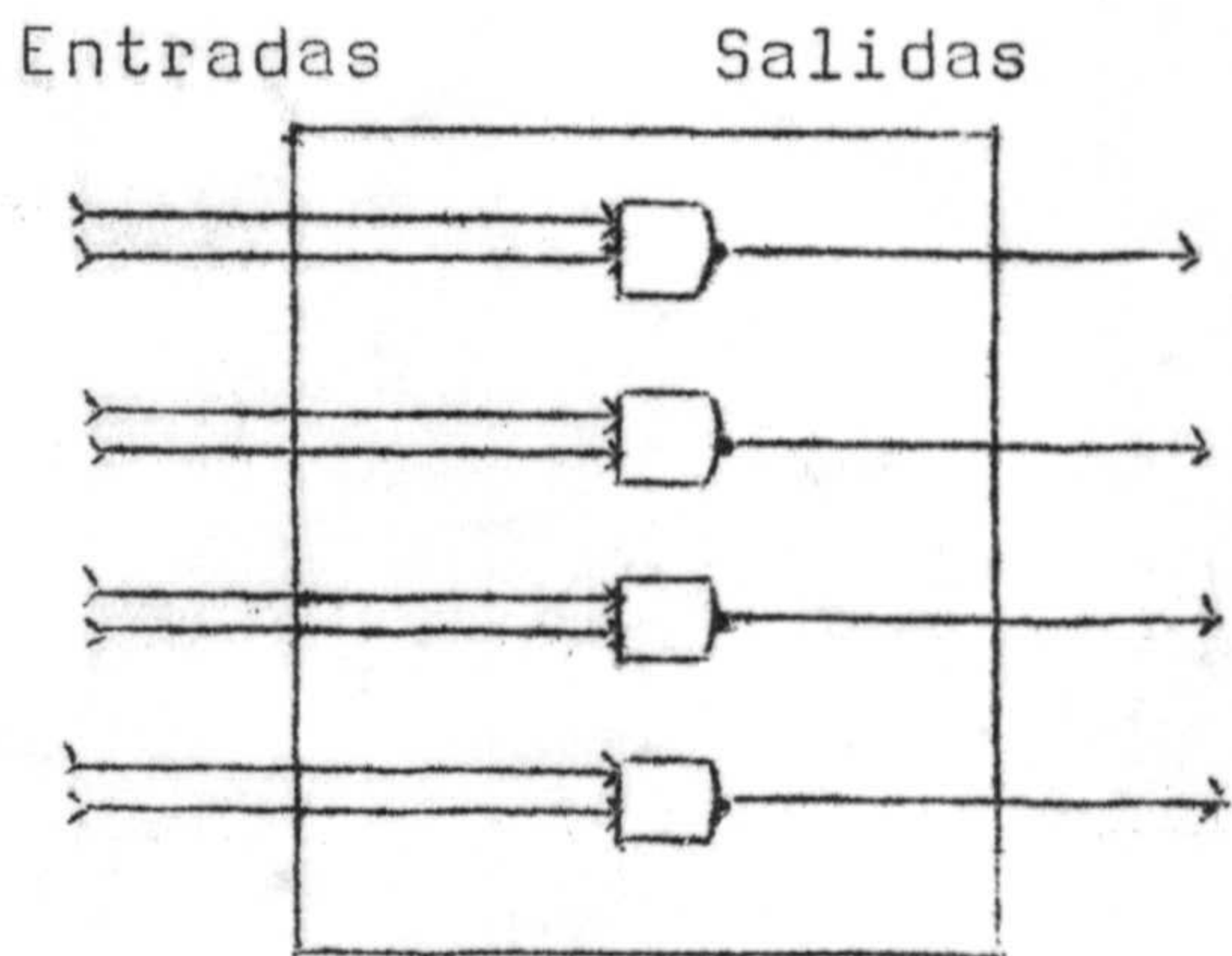


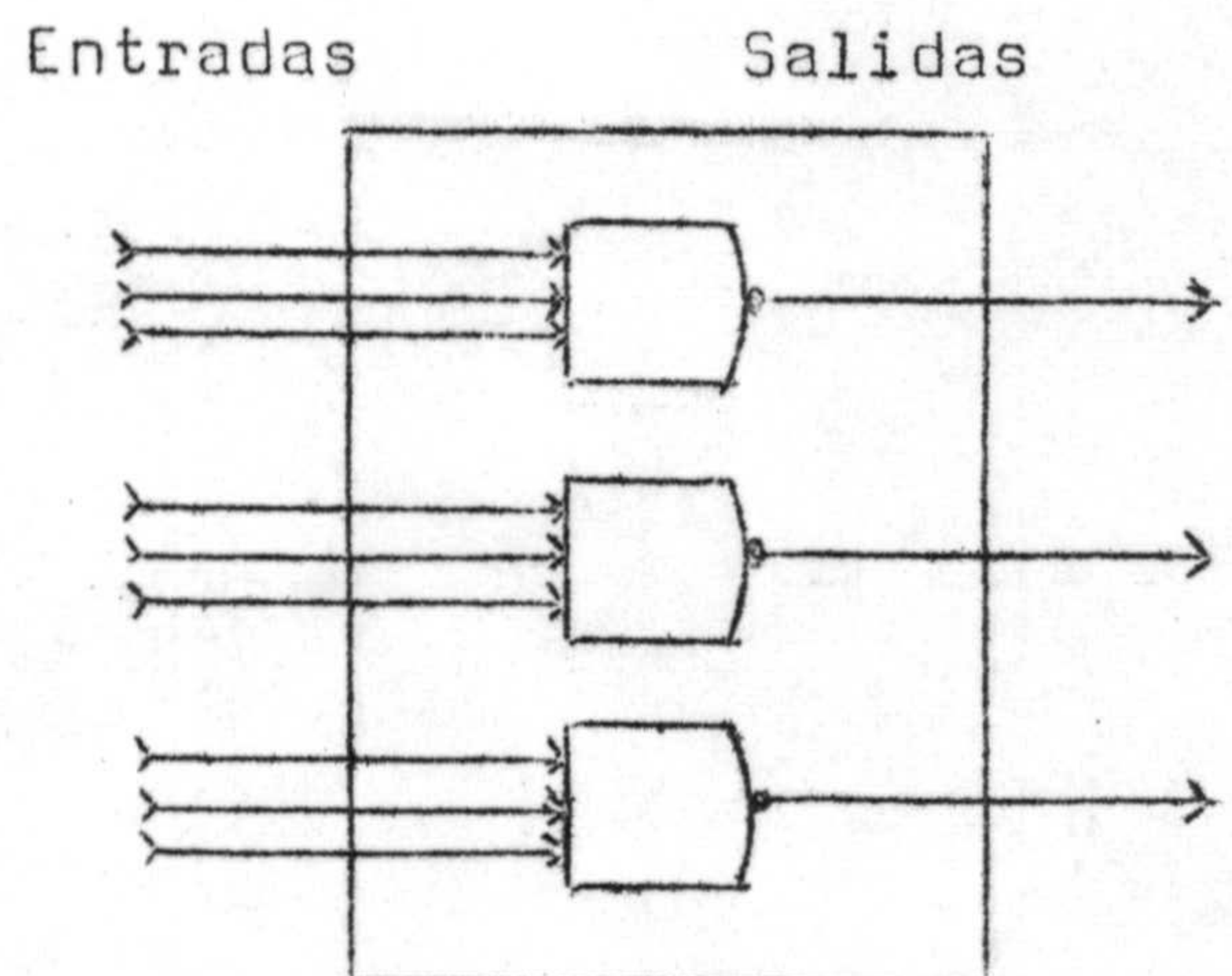
fig. 3-8

asimismo inhibir de contar hasta el momento preciso en que consideremos oportuno dar tal orden.

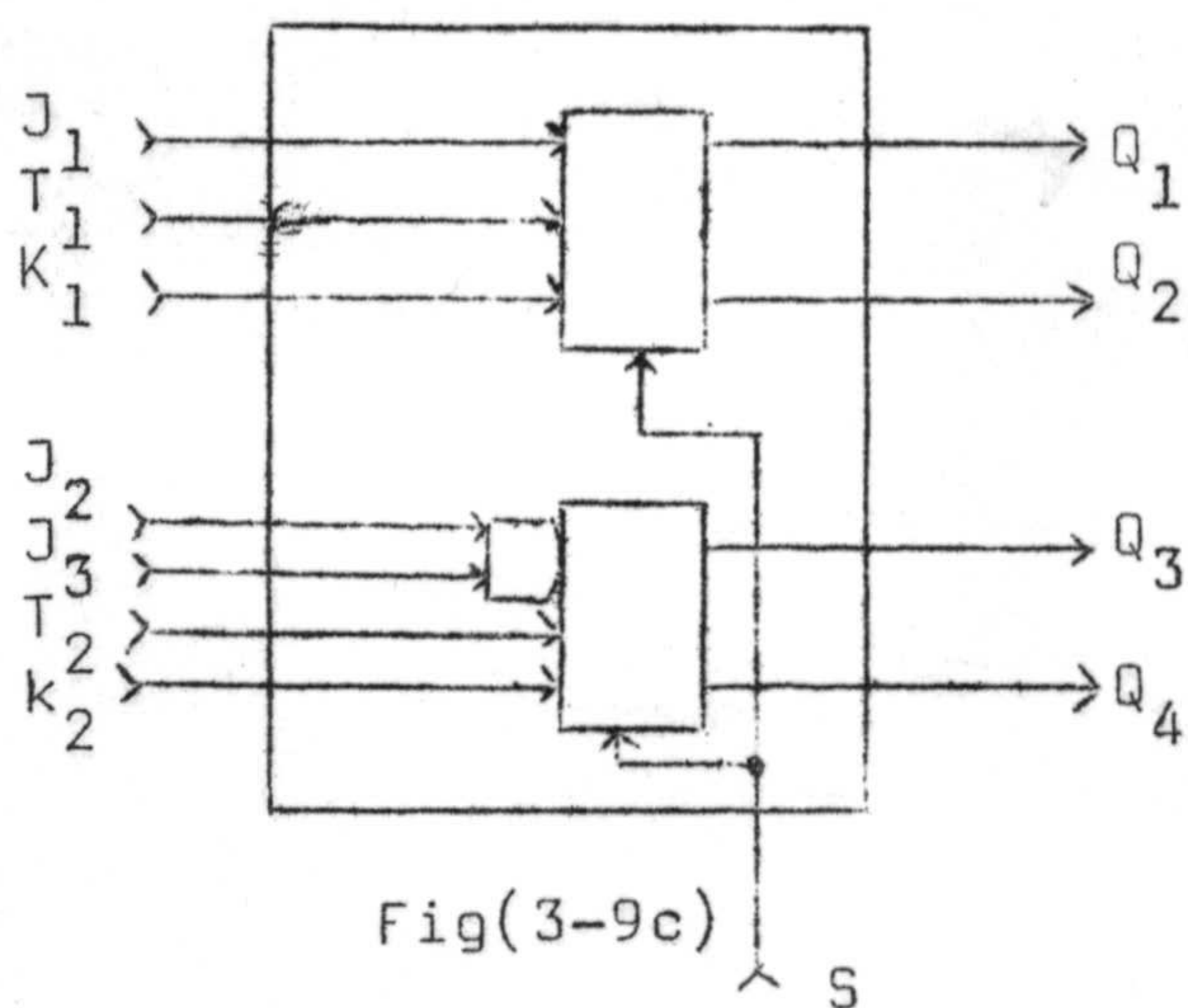
La orden de contar o borrar la podemos dirigir manualmente mediante un pulsador, según indica la fig.(3-10) tal que al apretarlo cierre circuito y aparezca un cero en la salida S, de forma que se borre lo grabado en el contador y lo inhiba de contar.



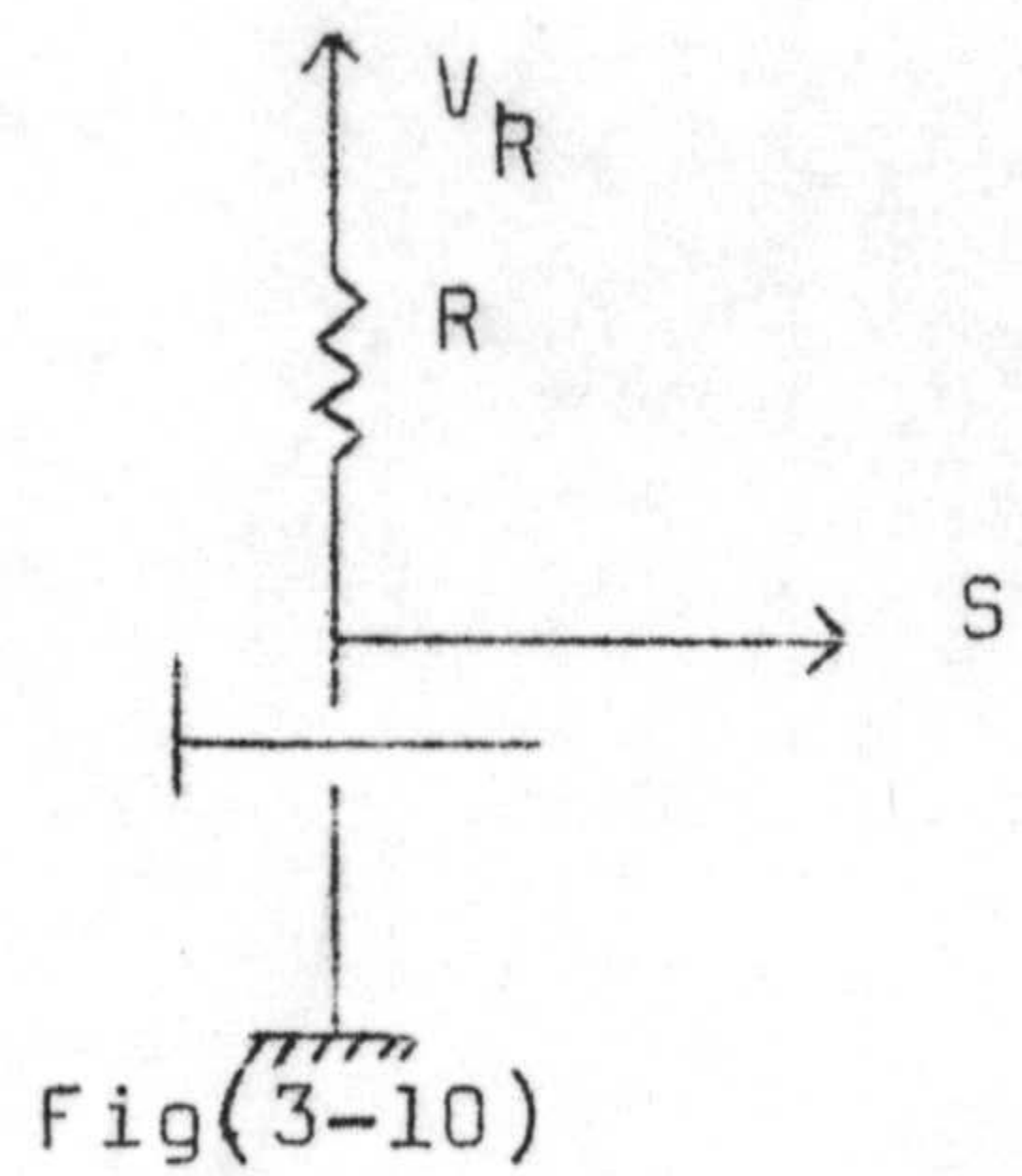
Fig(3-9a)



Fig(3-9b)



Fig(3-9c)

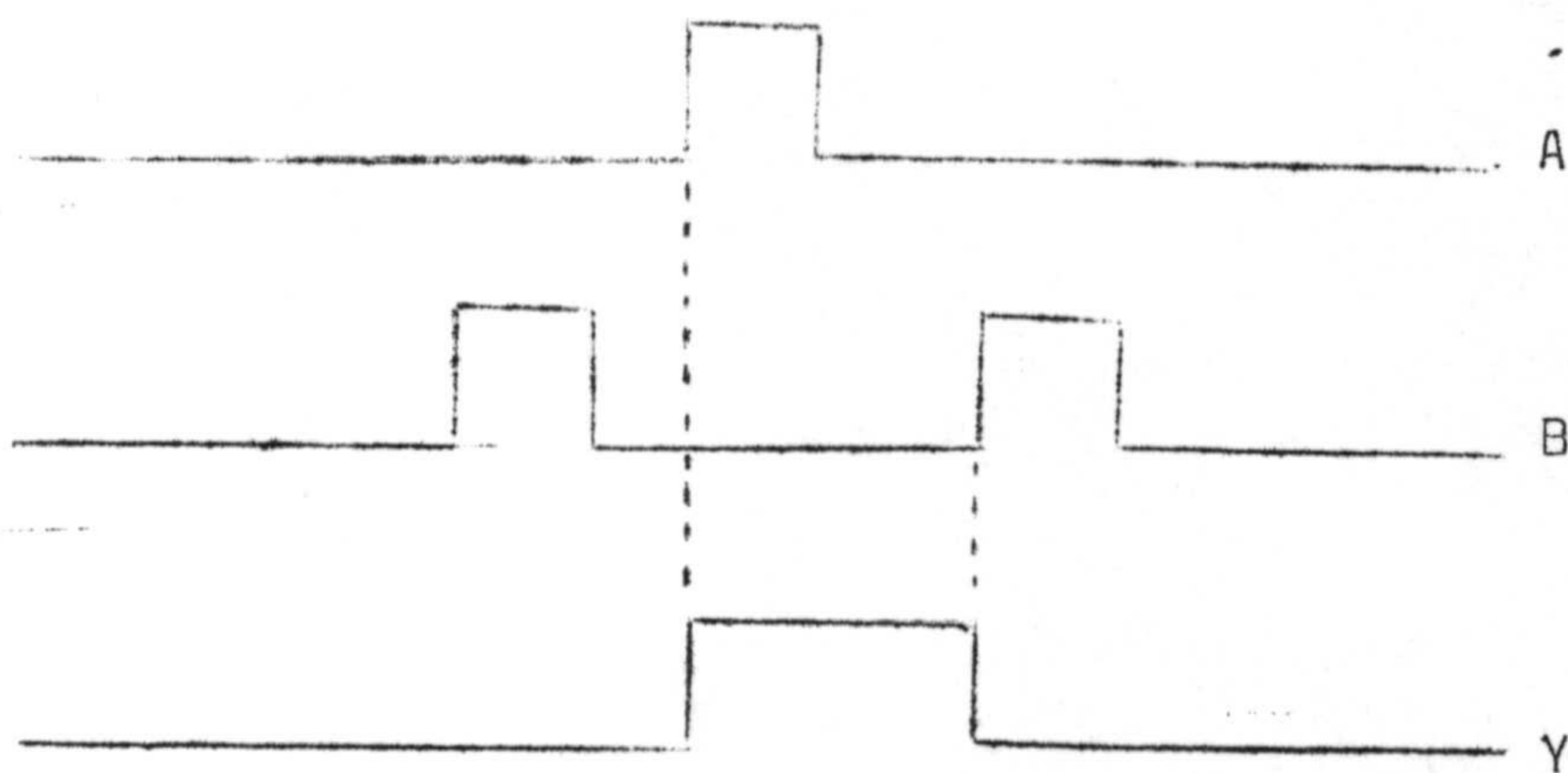


Fig(3-10)

4-3.-Circuito detector de signo.-

Este circuito tiene como misión detectar en cada instante la pendiente de la señal de entrada, con objeto por una parte de indicarnos el signo de grabación en la memoria de cada bit y por otra, ordenar al contador que cuente el impulso que le llega a través de la puerta 0 progresiva o regresivamente. Por tanto, la salida de este circuito, gobierna las entradas P y R del contador de la fig (3-8).

Si llamamos A a la señal de salida del comparador de pendiente positiva y B, al de negativa, la operación del circuito detector de signo ha de ser de la forma indicada en la fig (3-11).



Fig(3-11)

Hemos de tener en cuenta en el diseño que un doble cambio no puede ocurrir al mismo tiempo en las dos señales de entrada, ya que los dos comparadores nunca generen una señal al mismo tiempo.

El primer paso en la creación de la tabla primitiva de flujo, para lo cual seguiremos la propia secuencia del diagrama de la fig (3-11)

En principio las cuatro filas de la tabla primitiva de flujo requieren dos estados estables, o sea dos lazos de realimentación, para minimizar el número de lazos requeridos fusionamos las filas en que nos aparezcan los mismos estados, teniendo en cuenta que las rayas nos indican estados indiferentes fig(3-12)

AB	00	01	11	10	salida
a	①	3	-	2	0
b	1	-	-	②	0
c	4	③	-	-	1
d	④	3	-	2	1

fig (3-12)

La tabla de flujo fusionada, queda de la forma fig(3-13).

AB	00	01	11	10	
y					
a, b	①	3	0	②	f
c, d	④	③	0	2	g

fig(3-13)

De esta manera nos evitamos un lazo de realimentación ya que para llevar a cabo un circuito con estos estados estables hace falta uno solo. La matriz de excitación y la de transición quedan como indica la fig (3-14) ~~Por tanto~~

AB	00	01	11	10
y				
0	0			0
1	0	0		

AB	00	01	11	10
y				
0	0	1	1	0
1	1	1	0	0

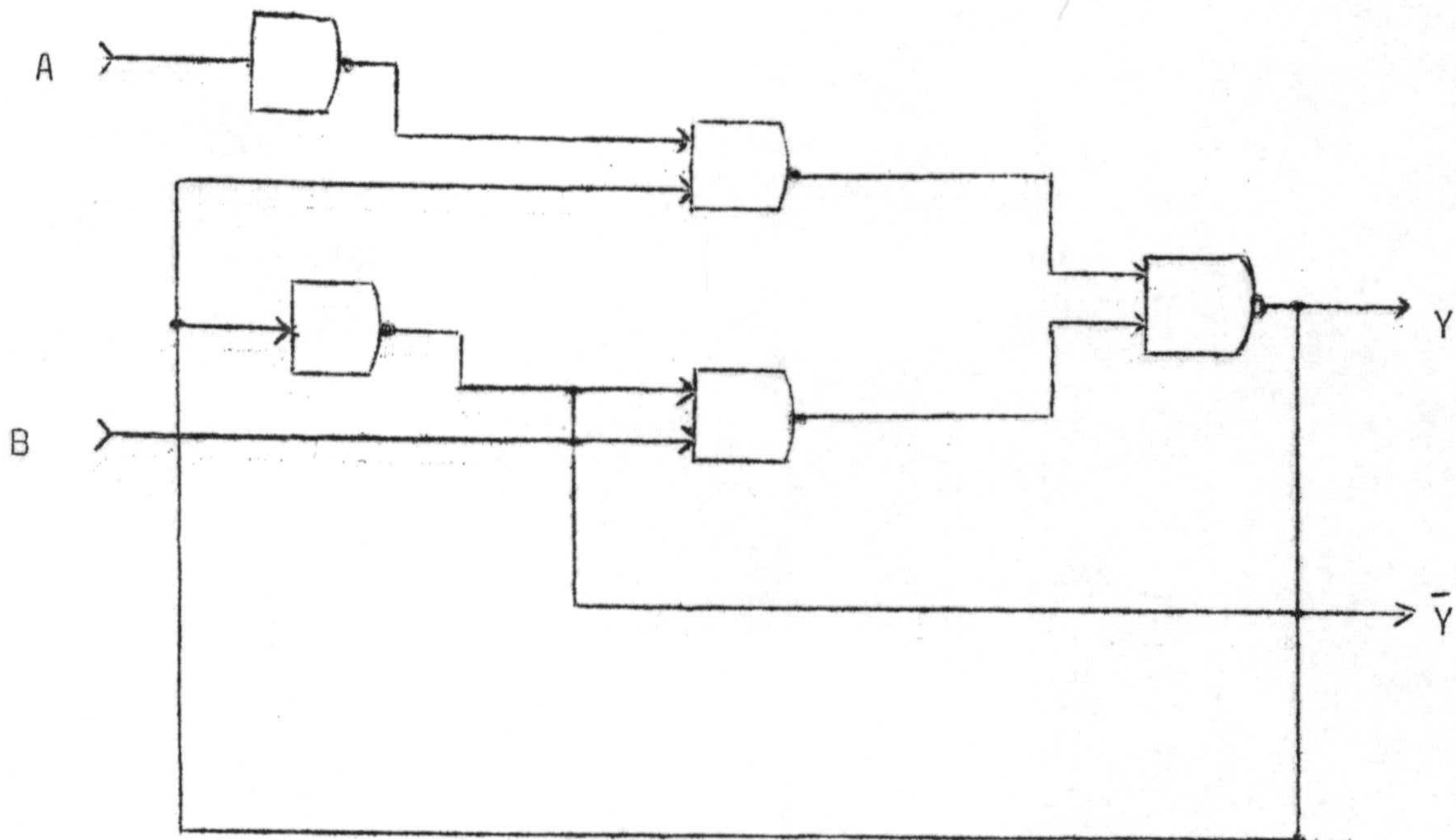
Fig(3-14))

Donde hemos escogido los estados indiferentes apropiadamente para simplificar el circuito.

De esta forma y por la matriz de excitación deducimos $Y = B\bar{y} + y\bar{A}$. El circuito que lleva a cabo esta operación es fig(3-15).

Como la salida de este circuito ha de gobernar la orden de contar progresiva y regresivamente, hemos de

tomar las salidas en y e \bar{y} como indica la fig(3-15).



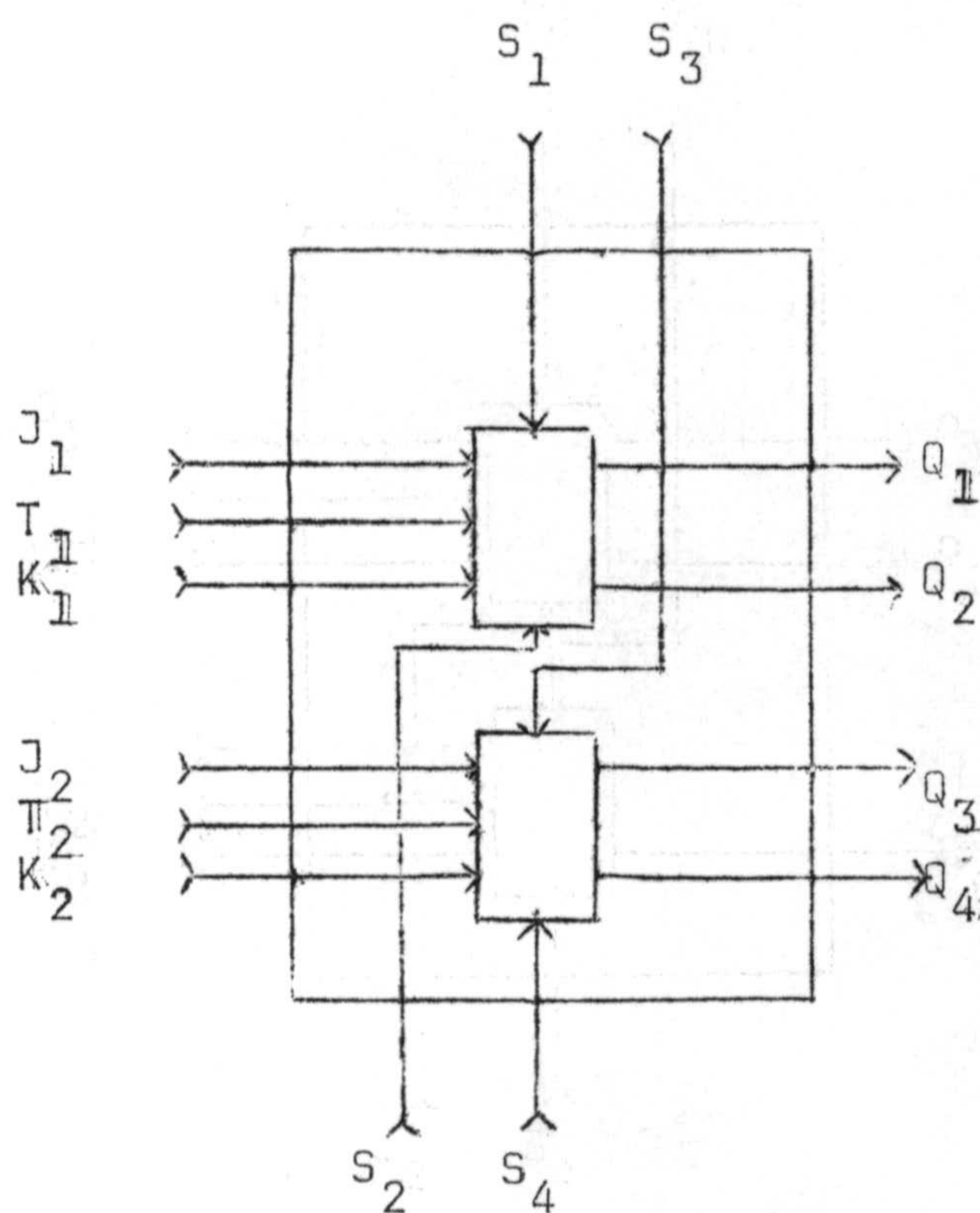
Fig(3-15)

Otra posibilidad para el circuito detector de signo es hacer uso de un Flip-flop Fij 191 de la Miniwat que tiene entradas de puesta a 1 y borrado con lo que adaptando la salida de cada comparador a estas entradas tendremos una salida Q del FF que sa-

tisface el diagrama de la fig(3-11)

El diagrama del Flip-flop FFJ3191 esta dibujado en la fig(3-16). Aparte de las entradas de puesta a uno y borrado, las características de este circuito son similares a las del FCJ 121 anteriormente descrito.

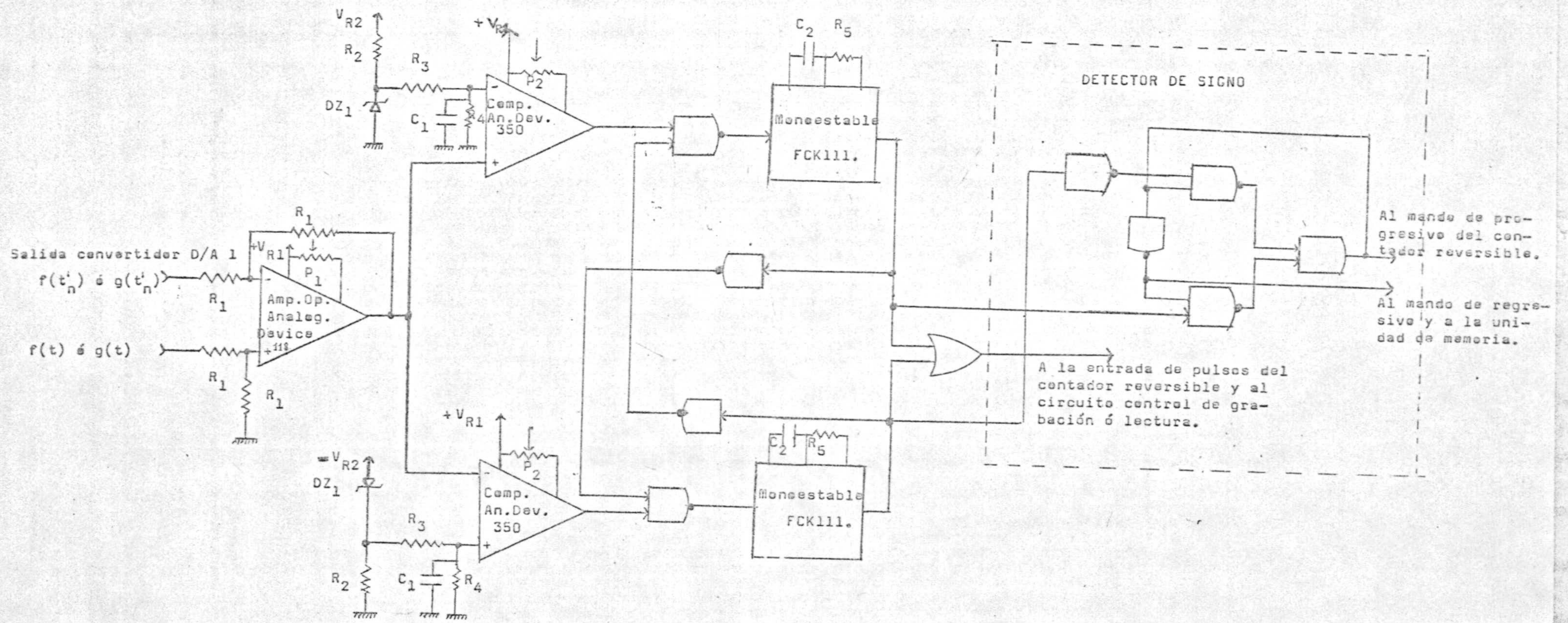
El montaje de este detector de signo se ha llevado a cabo mediante circuitos puertas NO-Y, usando el circuito integrado FCH 191 anteriormente descrito.



Fig(3-16)

El circuito completo, formado por restador comp...

radores, y circuito detector de signo está en la figura
(3-17).



Fig(3-47)

3-5. Convertidor digital analógico.

La palabra digital contenida en cada momento en el contador, junto con su signo, ha de ser transformada mediante un convertidor digital analógico en su voltaje analógico equivalente.

En nuestro caso tenemos necesidad de un convertidor D/A de 8 bits mas signo.

La configuración típica de un convertidor D/A en el que los bits de la palabra digital se presentan simultáneamente en líneas separadas esta representada en la fig (3-18).

Las partes básicas de este convertidor D/A son: Registrador de entrada para el almacenamiento de la palabra digital.

Llave de control de signo de la tensión de referencia, gobernada por el Flip-flop de signo del registrador de entrada, de forma que un cero en el bit de signo de la palabra digital de entrada pone la tensión de referencia $+V_R$ y un uno a $-V_R$.

Red de llaves analógicas gobernadas por los flip-flops del registrador de entrada. Estas llaves conectan la

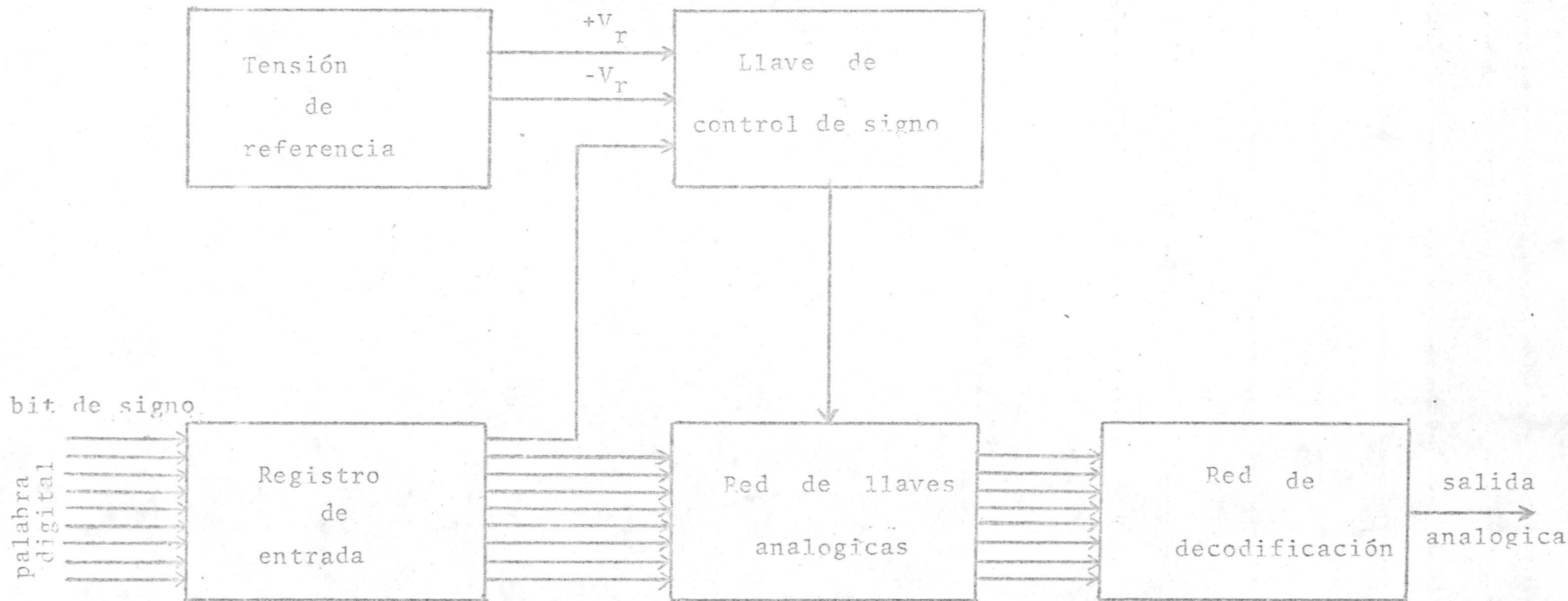


fig. 3-18

red de resistencias a la tensión de referencia ó a tierra segun la magnitud del correspondiente bit de la palabra digital.

Red de resistencias de descodificación, de forma que para ^{un} uno en un bit particular la red de resistencias divide la tensión de referencia de tal modo que el voltage correspondiente es añadido a la salida del convertidor D/A y cuya magnitud es proporcional al peso equivalente del bit particular. La salida de la red de descodificación está conectada a un amplificador operacional de continua con el fin de reducir su impedancia de salida.

En nuestro caso en la salida del contador reversible la palabra digital se encuentra en la forma binaria normal y la correspondiente a valores negativos en la forma de complemento a dos. Por tanto el descodificador ha de trabajar de acuerdo con esta codificación de la palabra digital. La tabla(3-3) representa los valores analógicos de varias palabras de 8 bits mas signo con los valores negativos en la forma de complemento a dos.

Se ha hecho uso en la realización practica de nues-

tro trabajo, de un circuito con esta estructura que se encuentra en el mercado encapsulado en forma híbrida, el Hybrid Systems Corp. 372, cuyas características más importantes son: Linealidad mejor que $1/2$ del valor del bit menos significativo, salida a fondo de escala de 5 volts, tiempo de respuesta $1,5 \mu\text{s}$ y gran estabilidad con respecto a la temperatura y cambios en la tensión de alimentación, así como una impedancia menor que $1 \text{ k}\Omega$ y una tensión de offset de salida ajustable a cero, mediante un potenciómetro exterior.

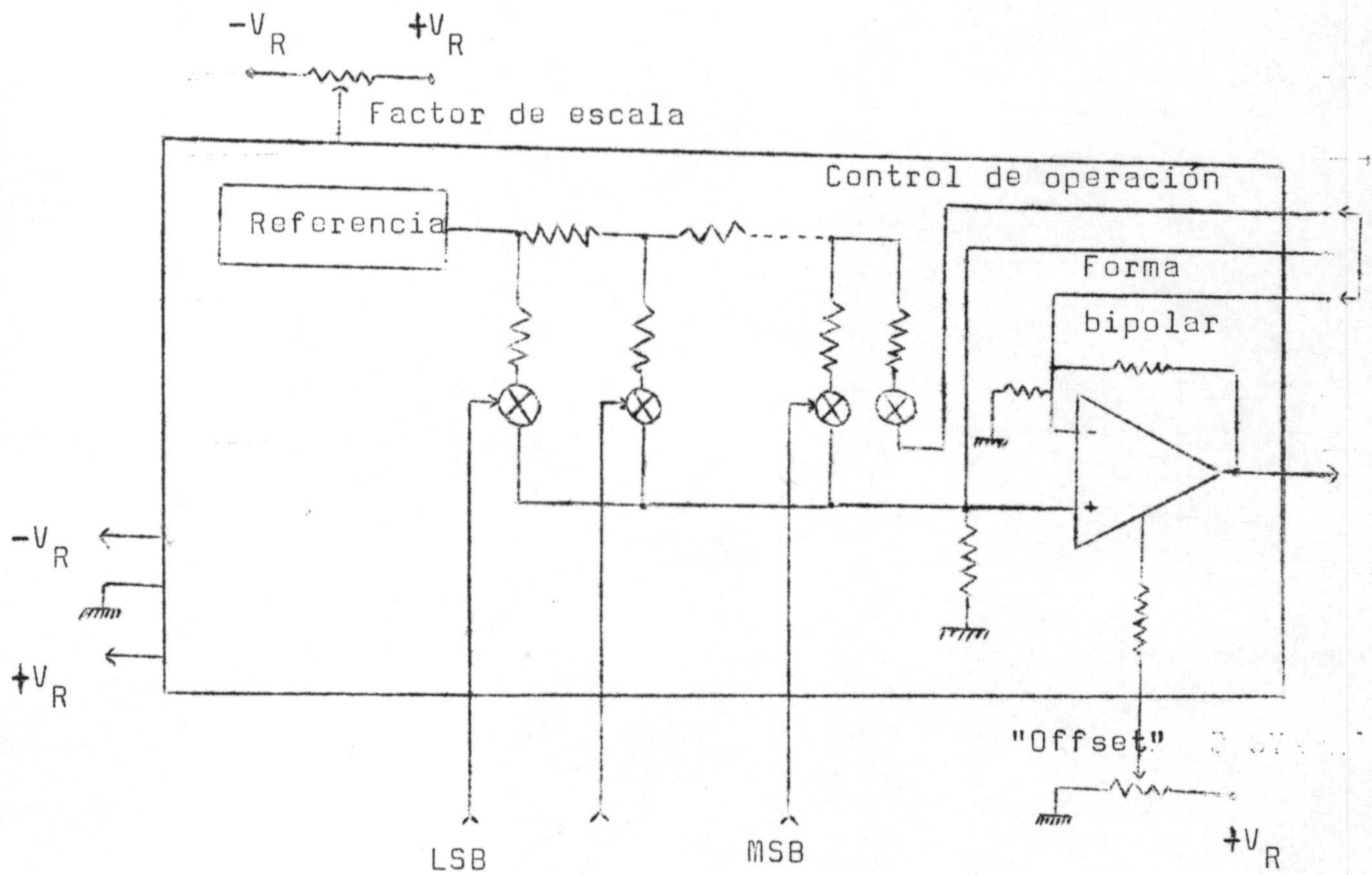
0	1	1	1	1	1	1	1	1	-4,98046875 volts
0	1	0	0	0	0	0	0	0	-2,5 volts
0	0	0	0	0	0	0	0	1	-0,01953125 volts
0	0	0	0	0	0	0	0	0	-0 volts
1	1	1	1	1	1	1	1	1	-0,01953125 volts
1	1	0	0	0	0	0	0	0	-2,5 volts
1	0	0	0	0	0	0	0	1	-4,98046875 volts
1	0	0	0	0	0	0	0	0	-5 volts

Tabla(3-3)

El peso del bit menos significativo es de $0,0039-0625$, que para un fondo de escala de 5 volts corresponde a

0,01953125 volts. $\approx 0,02$ volts

El dibujo correspondiente al circuito del dispositivo usado está en la fig(3-19).



Fig(3-19)

3-6. Operación del cuantizador durante el ciclo de lectura.

Dado que la lectura es posterior a la grabación, los pulsos para la generación de $f(g(t))$, resultantes de cuantizar la función $g(t)$, se puede obtener mediante este mismo cuantizador.

A través de una llave de control de grabación o lectura, se puede dirigir convenientemente los pulsos de la puerta 0 de salida de los comparadores, al circuito de lectura o al de grabación.

Esta llave de control será descrita en el desarrollo del circuito de grabación.

3-7 Banda de respuesta en frecuencia del cuantizador.

El tiempo de transición entre un pulso, y la correspondiente subida de nivel en el convertidor digital analógico, ha de ser tal que el incremento correspondiente a la función de entrada sea $< 1\text{LSB}$. Esta es pues la principal limitación de frecuencia de nuestro convertidor analógico digital.

La suma total de retrasos del amplificador operacional comparador, monoestable, circuito puerta 0 y contador nos da el tiempo de transición total, que resulta ser de $2,4 \cdot 10^{-6}$ sg por tanto ha de verificarse que;

$$(df(t)/dt)_{\max} \cdot 2,4 \cdot 10^{-6} < 1\text{LSB}, \text{ lo cual implica que:}$$

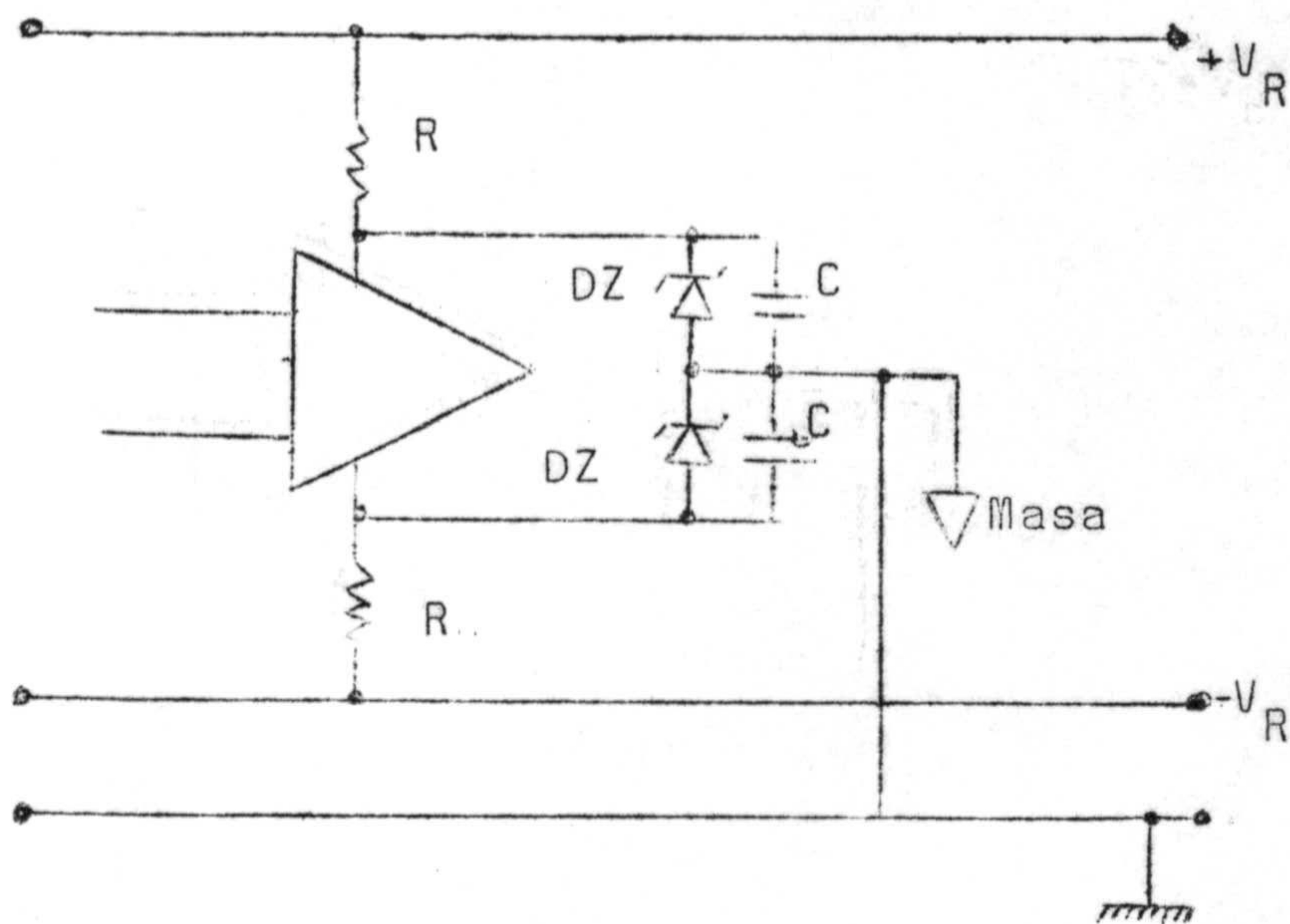
$$(df_i/dt)_{\max} < 2,10^{-2} / 2,4 \cdot 10^{-6} \approx 8 \text{ KH}$$

Naturalmente, existen en el mercado componentes de respuesta mas rapida que los que se han usado en este trabajo, con lo que un consiguiente encarecimiento, se puede conseguir un margen mas amplio de respuesta en frecuencia.

3-8. Consideración práctica del montaje del cuantizador.

Con el fin de evitar los acoplos mediante la impedancia común de alimentación, se ha usado un montaje de desacoplo en estrella, entre los comparadores restador y convertidor D/A como el indicado en la fig(3-20).

Los diodos zener constituyen un buen desacoplo a altas frecuencias y los condensadores, de pequeño valor, a altas.



Fig(3-20)

4.-CIRCUITO DE GRABACION.

4-1.Introducción.

Como se expuso en el apartado 1-2, nosotros queremos almacenar en la memoria, el valor $\Delta f_i = F_i - F_{i-1} = (j-k)\Delta f$ siendo j y k , números enteros, y siendo $(j-k)_{\max} = 7$

La anchura maxima de los pulsos de reloj ΔT , es decir el periodo de repetición de las muestras periodicas, estara limitada por la necesidad de que no ocurran durante cada semi-periodo de la señal escala de tiempo, mas de 7 pulsos de comparación, de forma, que para una función $f(t)$ de entrada, la anchura maxima de estos pulsos será;

$$\Delta T_{\max} = \frac{P_m \cdot \Delta f}{\left(\frac{df(t)}{dt}\right)_{\max}}$$

De esta forma, el maximo periodo de tiempo de la función de entrada que podremos grabar en la memoria sera:

$$\Theta = \frac{n \cdot P_m \Delta f}{\left(\frac{df}{dt}\right)_{\max}}, \text{ siendo } n=256$$

Para el caso de una función armónica $\left(\frac{df}{dt}\right)_{\max} =$

$$= \frac{A^2 T}{T}, \text{ siendo } T \text{ el periodo de la función.}$$

$$\text{De donde : } \theta = \frac{n \cdot P_m \cdot \Delta f T}{2 \pi A}$$

$$\text{Por tanto } \frac{\theta}{T} = \frac{n \cdot P_m \cdot \Delta f}{2 \pi A}$$

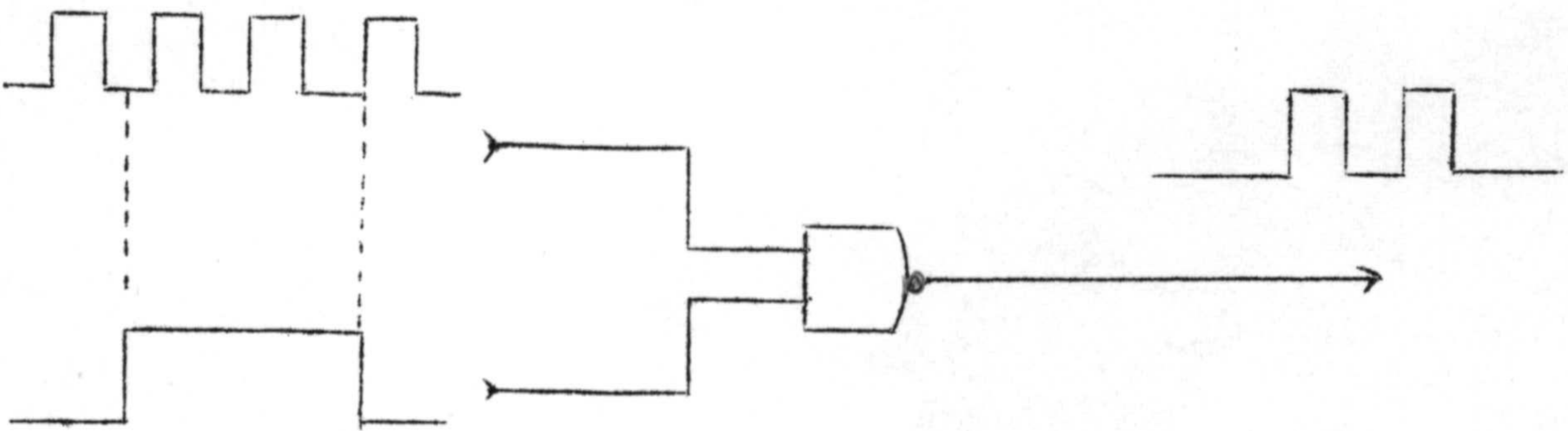
de donde para $A_{\max} = 5 \text{ volts}$

$$\frac{\theta}{T} = \frac{35,84}{10} > 1$$

Esta expresión nos indica que siempre podremos grabar un periodo completo de una señal armonica.

4-2. Circuito control de grabación.

La puerta mas simple de entrada al contador de información seria una puerta Y, tal como la mostrada en la fig (4-1).

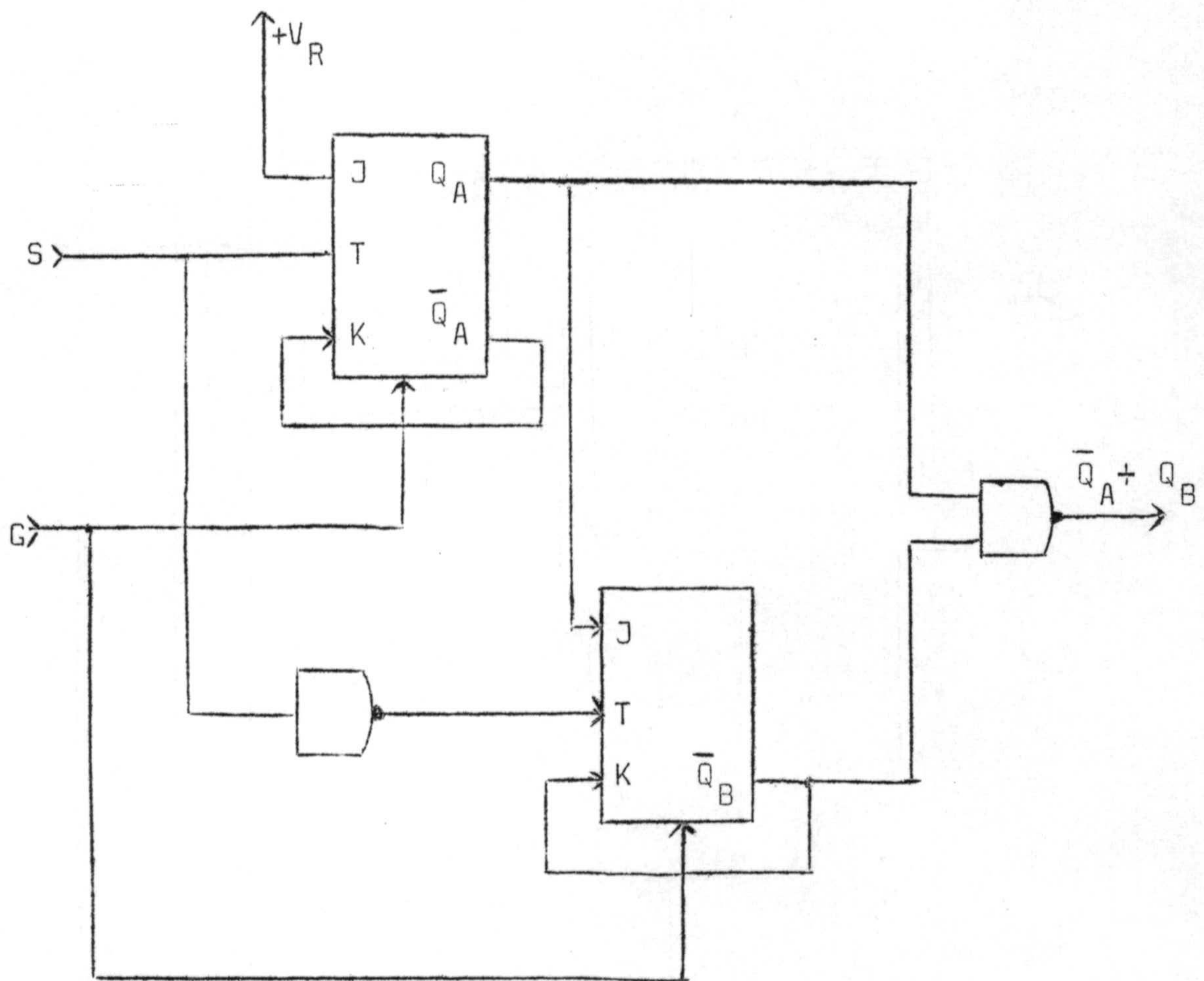


Fig(4-1)

De forma que cuando la señal escala de tiempo es cero, la puerta esta cerrada. Los pulsos de salida de los comparadores seran contados solamente cuando esta señal escala de tiempo sea 1. Este circuito simple será satisfactorio, si la señal de tiempo fuese 1 mientras se esta contando y no volviese a serlo, hasta que no se hiciese la grabación en la memoria, borrado el contador y cambiado la dirección de grabación dada por el circuito de control de direcciones.

Para la realización de un circuito que opere de la forma que hemos indicado, hemos usado un circuito puerta formado por dos Flip-flops, uno para dar orden de comienzo de contar y otro para pararla.

El circuito es el dibujado en la fig(4-2).



Fig(4-2)

El funcionamiento de este circuito es el siguiente:

En la primera bajada de un pulso en el tren de entrada s después del borrado de los FF, el FFA pasa al estado 1, ya que tenemos las entradas J y K en el estado 1, y según el diagrama lógico para un FFJK, el próximo estado para $J=1$ y $K=1$ es el conjugado de el anterior.

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

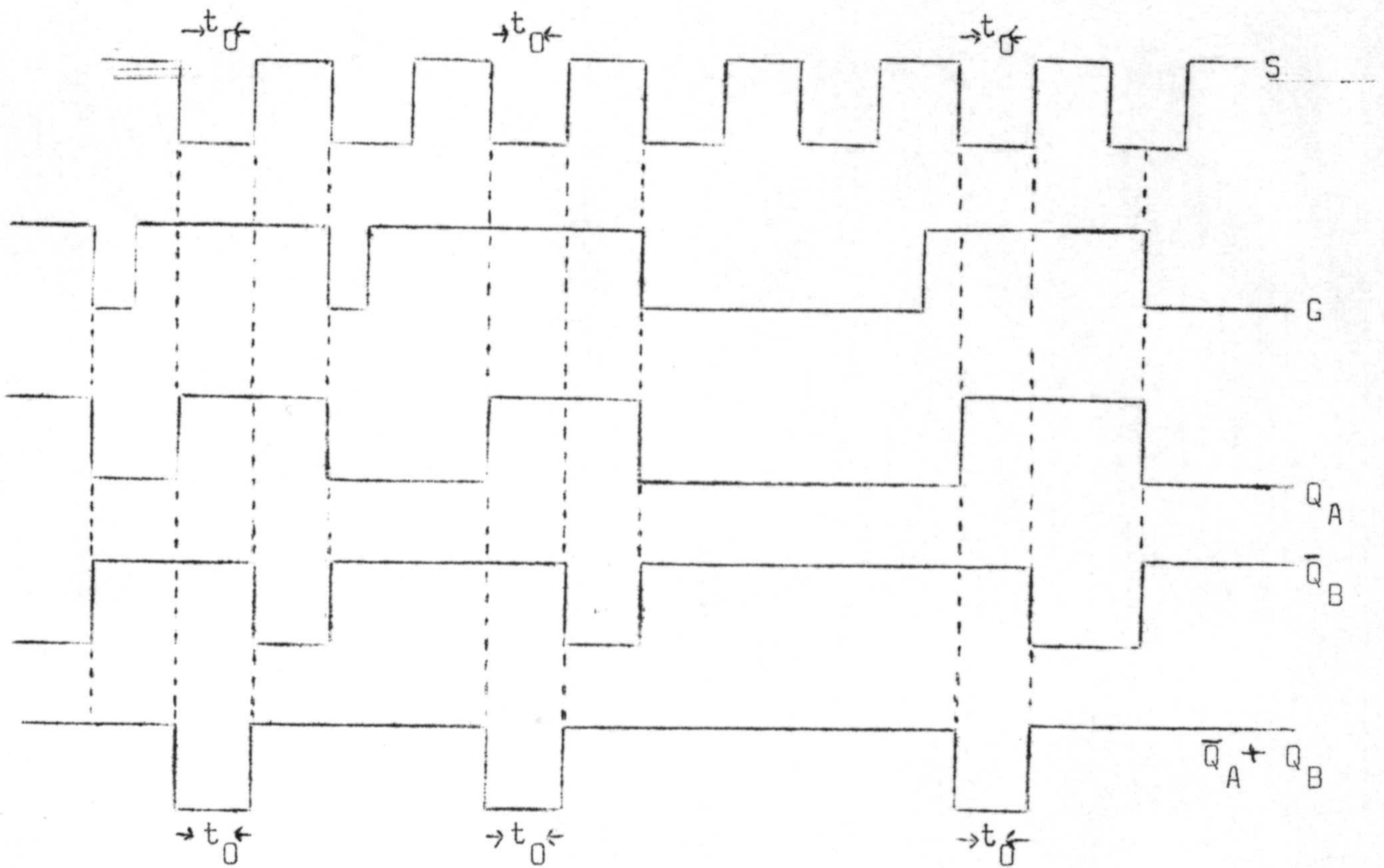
Como la señal de salida a través del circuito puerta NO-Y, cumple la ecuación lógica $\overline{Q}_A + Q_B$, entonces, pasa del nivel 1 al nivel 0 y se mantiene en este estado hasta que tenga lugar la subida de nivel en el pulso de entrada s , con lo que FFB pasara también al estado 1, y $\overline{Q}_A + Q_B$ volverá a tener el valor 1.

Después ya no tendrán lugar más cambios ya que tanto en FFA como en FFB, el estado de las entradas es $J=1$ y $K=0$, debido a la conexión en ambos FF de salida \overline{Q} con la entrada K , con lo que examinando el diagrama lógico del FFJK, podemos es-

tar seguros de que $Q_A = Q_B = 1$ y por tanto la salida valdrá constantemente 1. Esta puerta NO-Y hace pues de circuito inhibidor.

Un nuevo ciclo tendrá lugar en el momento que disparemos un pulso que borre a los dos FF, mediante la entrada G.

Las formas de ondas en general de este circuito, están representadas en la fig(4-3)



Fig(4-3)

Este circuito nos permite por tanto, el paso de un pulso unico de un tren de pulsos de escala de tiempos, de forma que no se permite el paso de un pulso parcial.

Si en la puerta NO-Y, introducimos una nueva entrada por la que circulan los pulsos que han de ser contados, solamente les sera permitido el paso durante los intervalos t_0 , de la señal de salida del diagrama de la fig(4-3), por tanto el contador solo nos contará durante esos intervalos, es decir cuando Q_A y \bar{Q}_B esten ambos a nivel 1.

Una vez terminado un periodo de lectura del contador para que exista otro, habra que borrar la información de los FF del contador.

Naturalmente, los ciclos de lectura ocurriran solo en el semiperiodo de nivel cero de la salida del generador de la señal escala de tiempo.

Las operaciones basicas del circuito que diseñemos han de ser las siguientes: Que no se pierdan los pulsos generados por los comparadores durante el semiperiodo positivo de la señal base de tiempo, para lo cual hacemos uso de un circuito exactamente igual al anterior, pero que permita contar en estos semiperiodos positivos, lo que podemos conseguir sin mas que

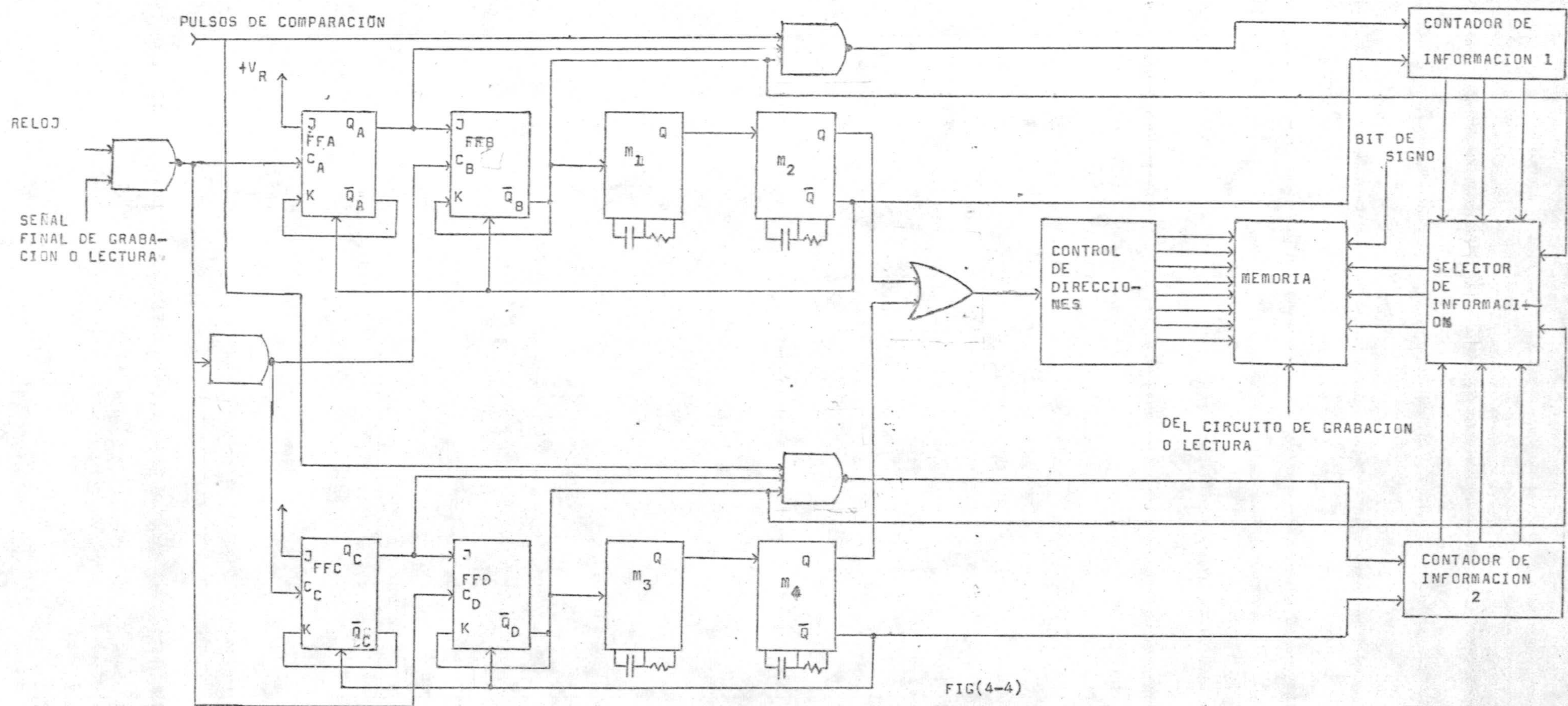
llevar la entrada de C_A a C_D y la C_B a C_C como indica la fig (4-4).

Que el numero grabado en cualquiera de los dos contadores de impulsos de comparación sea tranferido a la memoria con su correspondiente dirección, y que inmediatamente se borre su información, lo mismo que la de los FF que forman la parte esencial de este circuito.

Además será necesario un circuito que nos vaya fijando las distintas direcciones en que han de ser grabados cada información de los contadores.

El esquema general de un circuito que nos realice estas operaciones es el representado en la fig(4-4).

El paso de \bar{Q}_B del nivel 1 al 0 al acabar el ciclo de grabación para este circuito, semiperiodo negativo de la señal base de tiempo, (ó de \bar{Q}_D en el caso de tratarse de un semiperiodo positivo), dispara al momoestable M_1 (ó el M_3), en el que se han escigido los valores de R y C, de acuerdo con las características dadas por el fabricante, para ajustar el tiempo de retraso en el disparo del monoestable siguiente, al dispararse M_1 (ó el M_3) se genera un pulso, de anchura suficiente para que se grabe en la memoria la información almacenada en el contador



FIG(4-4)

1(ó el 2) que constituyen los contadores de información en el diagrama de bloques.

El pulso producido por el M_1 (ó el M_3), dispara a su vez al M_2 (ó al M_4) que nos proporcionan los pulsos de borrado de sus respectivos contadores y FFs mediante la salida \bar{Q} con el retraso suficiente para garantizarnos que la grabación en la memoria ha tenido lugar.

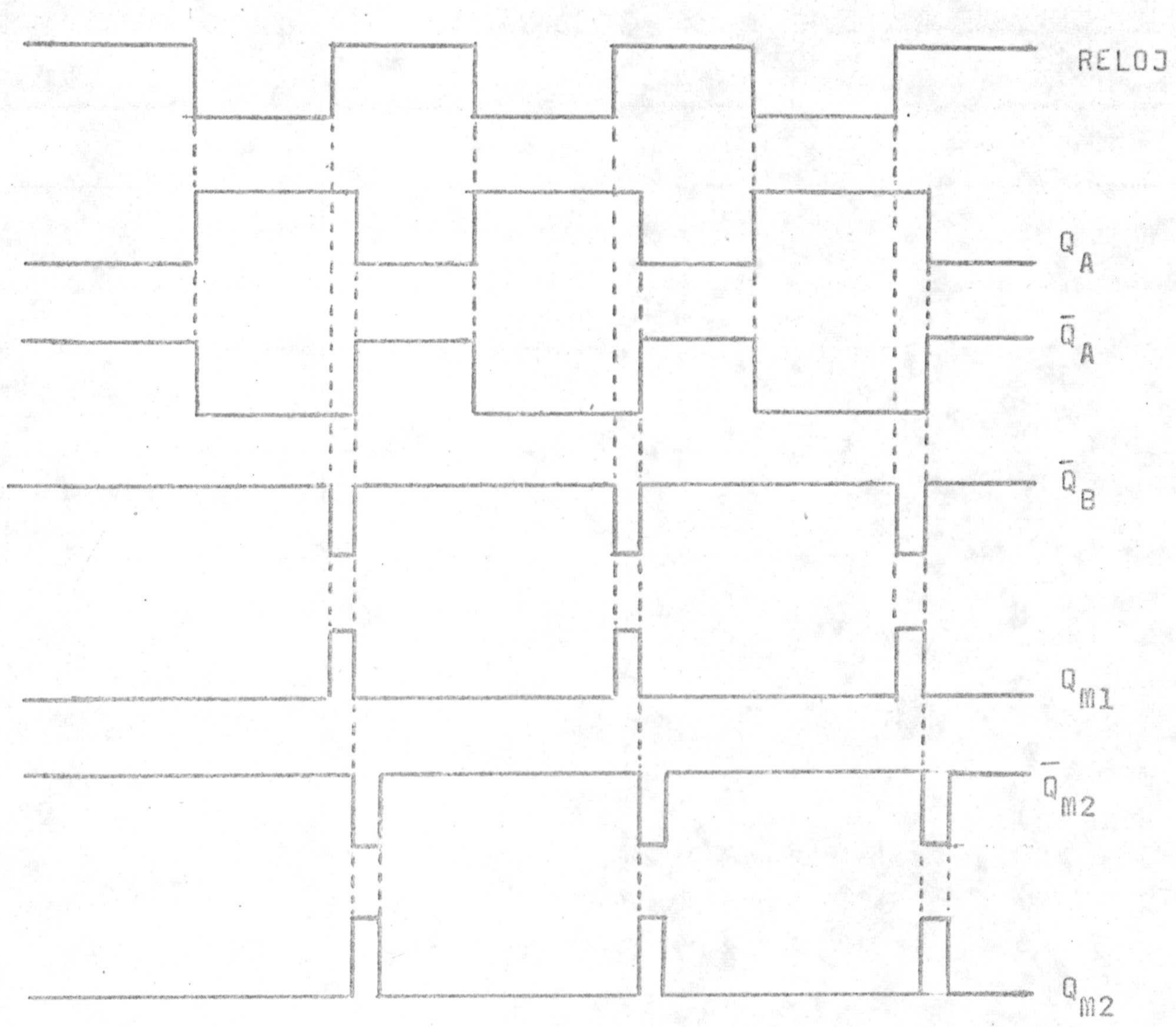
Estos mismos monoestables de borrado y puerta a cero se aprovechan para cambiar la dirección de grabación en la memoria, mandando un pulso al contador de direcciones, mediante la salida Q.

Los pulsos de salida de los diferentes circuitos del dispositivo de grabación siguen la secuencia representada en las fig(4-5a,4-5b).

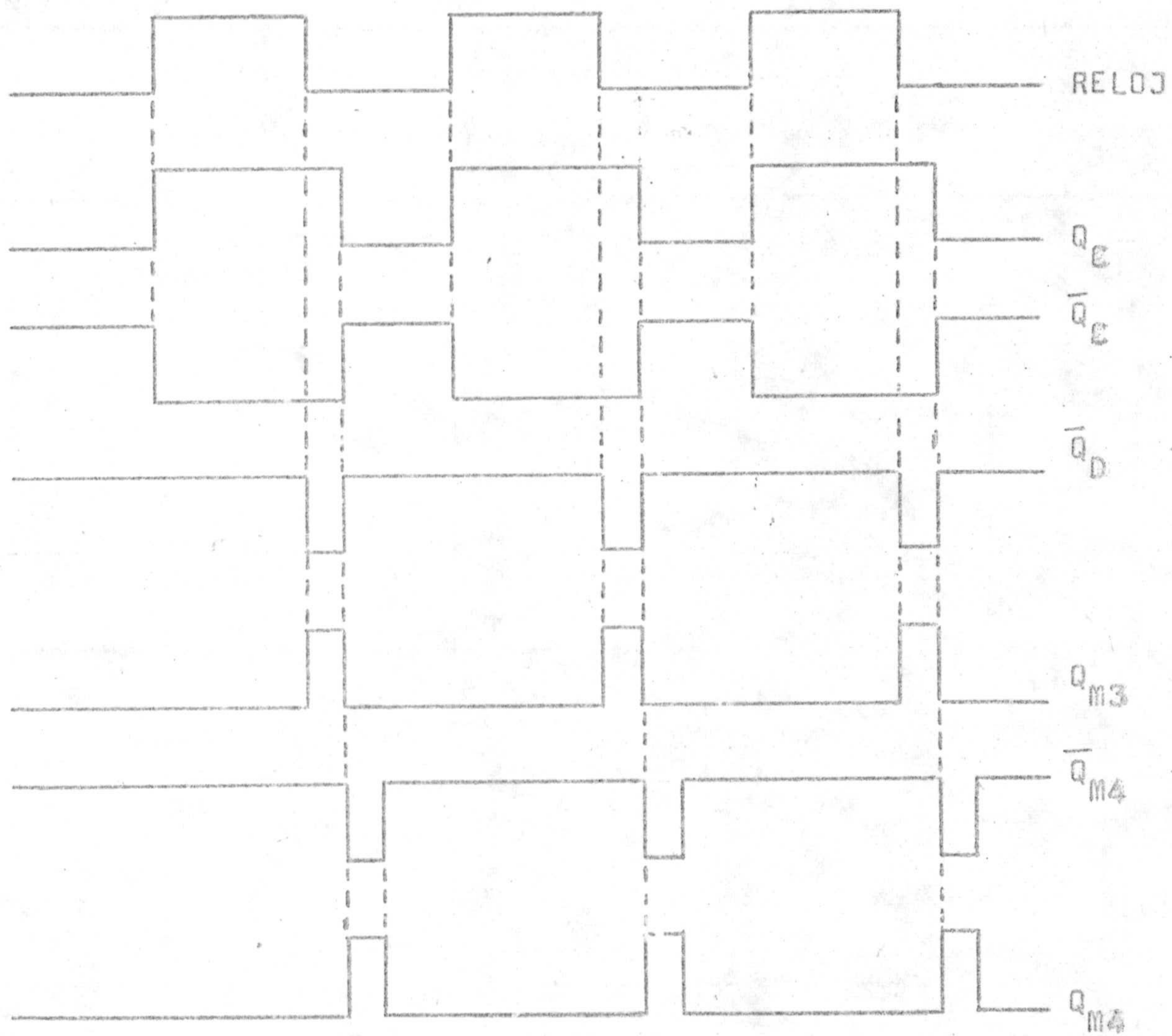
La orden de grabación o lectura en la memoria se consigue mediante el circuito selector de grabación ó lectura según se indica en la sección 4-7.

El conjunto formado por los FFA, FEB, FFC, FFD, y M_1, M_2, M_3, M_4 , constituyen el circuito control de grabación del diagrama de bloques.

La tabla de los diferentes estados en las sa-



Fig(4-5a)



Fig(4-5b)

lidas de los distintos dispositivos que forman el circuito de lectura es la siguiente.

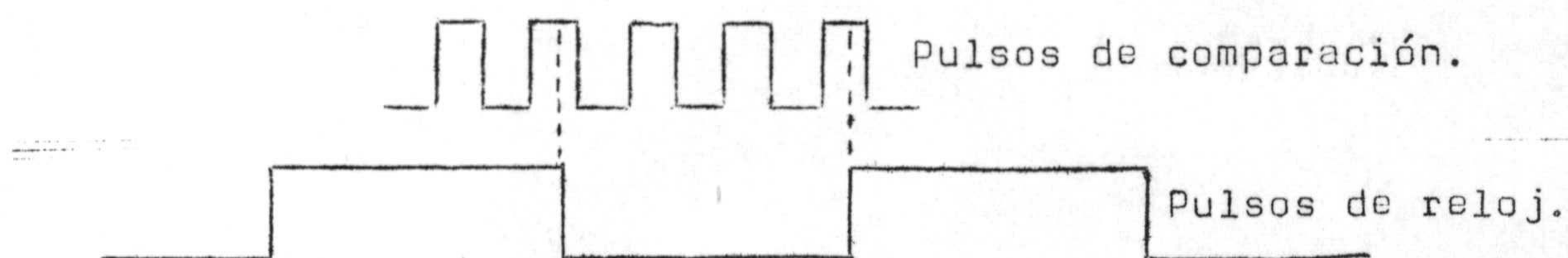
ΔT	Q_A	\bar{Q}_A	\bar{Q}_B	Q_{M1}	Q_{M2}	\bar{Q}_{M2}	Q_C	\bar{Q}_C	\bar{Q}_D	Q_{M3}	Q_{M4}	\bar{Q}_{M4}
1	0	1	1	0	0	1	0	1	1	0	0	1
0	1	0	1	0	0	1	0	1	1	0	0	1
1	1	0	0	1	0	1	1	0	1	0	0	1
					1	0						
1	0	1	1	0	0	1	1	0	1	0	0	1
0	1	0	1	0	0	1	1	0	0	1	0	1
											1	0
0	1	0	1	0	0	1	0	1	1	0	0	1

Por el diagrama de la fig (4-5 ab) vemos que efectivamente al contador 1, solo le es permitida la entrada de los pulsos en el semiperiodo negativo de la señal base de tiempo mientras que al contador 2 durante el semiperiodo positivo, ya que las respectivas entradas son:

$$\bar{Q}_A + Q_B \quad \text{y} \quad \bar{Q}_C + Q_D .$$

La posibilidad de pulsos de la forma indicada en la fig(4-6) podria aparentemente ser un problema ya que seria posible que estos pulsos fuesen contados en ambos ciclos de lectura, tal posibilidad no existe, ya que los

FFS que forman los contadores de información solo cuentan en la caída de los pulsos.



Fig(4-6)

Los pulsos de escala de tiempo, entran al circuito de grabación a través de una puerta NO-Y, de forma, que cuando el circuito control de dirección halla alcanzado una determinada dirección, la puerta no permita el paso de mas pulsos de este tipo, según se describe en el apartado. (4-3).

Como apuntamos anteriormente, existe la dificultad de que en cada pulso para grabación en la memoria, solo ha de pasar, la información almacenada por el contador para el que acaba de terminar el ciclo de lectura.

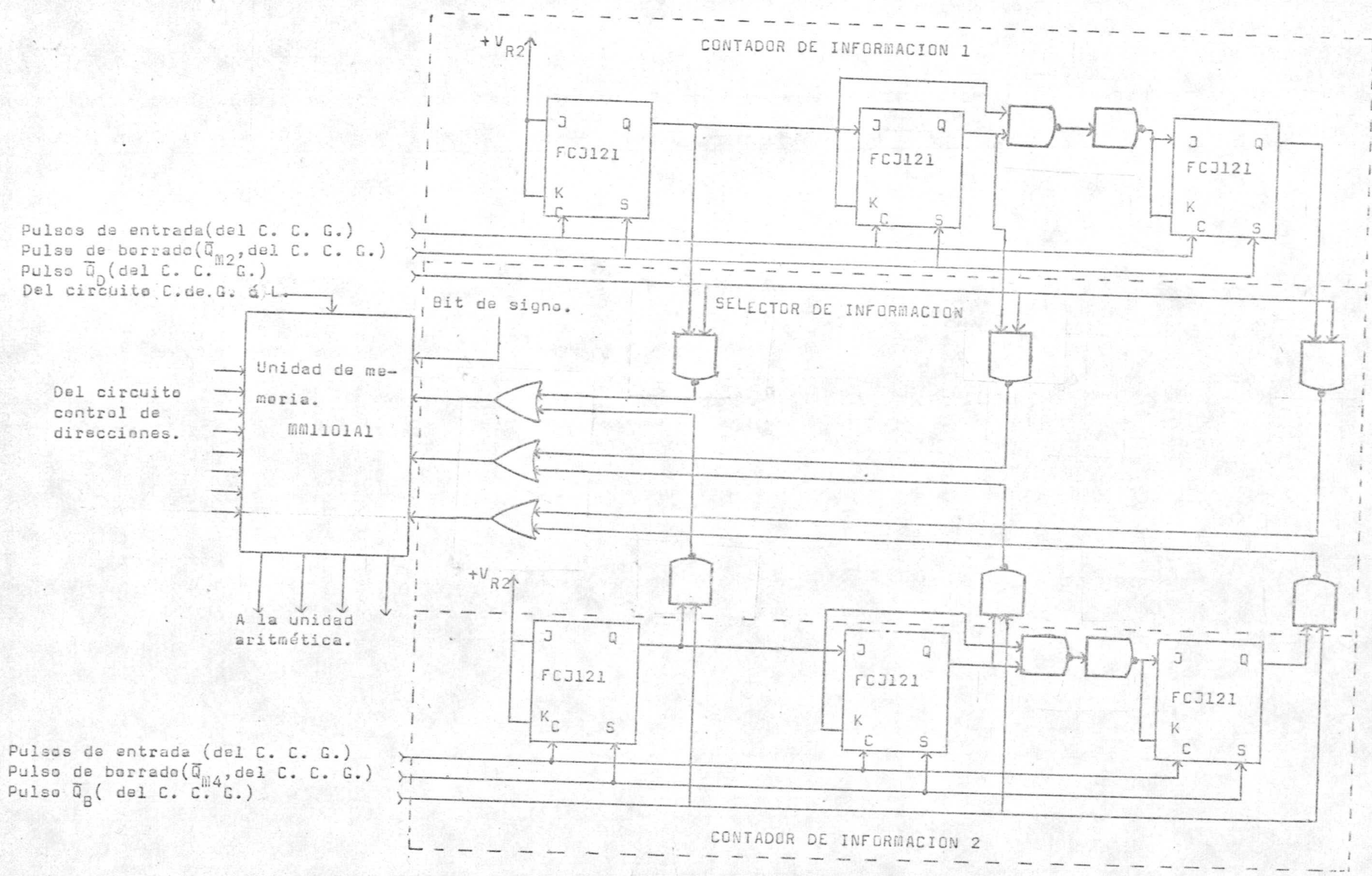
Analizando los diagramas de pulsos de la fig (4-5 a y b), podemos observar, que necesariamente durante

la señal Q_{M1} , producida por el monoestable M_1 , \bar{Q}_B permanece en el estado "0", mientras que \bar{Q}_D se encuentra en el estado 1, por el contrario durante la señal producida por el monoestable M_2 , Q_{M2} , es \bar{Q}_B quien permanece en el estado 1 y \bar{Q}_D en el "0".

Podemos usar estas señales para puertear las salidas de los contadores 1 y 2 de forma conveniente según el esquema de la fig(4-7) con lo cual nos aseguramos que solo pasa a la memoria la información del contador para el cual acaba de finalizar el semiperiodo de la señal para la cual acaba de finalizar el semiperiodo de la señal base de tiempo que le corresponde para contar.

Las salidas correspondientes a los bits del mismo valor significativo, son llevados a las distintas entradas de datos de las memorias, mediante circuitos puertas 0.

Este circuito de la fig(4-7) constituye el circuito selector de información en el diagrama de bloques.



Fig(4-7)

4-3.-Contadores.

Como se señaló anteriormente, el circuito de control de direcciones esta constituido por un contador de 8 bits, de forma que nos permita dirigir convenientemente la información almacenada a cualquiera de las 256 direcciones de que se compone la memoria.

Este contador ha de funcionar progresivamente y su diseño logico ya se indico en el apartado (3-3).

En este caso, dado que no ha de existir ordones de contar progresiva o regresivamente, la implementación logica a la entrada de los FF es la utilizada en la fig(3-8) para contar progresivamente.

Este contador lo hemos diseñado de forma que podamos introducir condiciones iniciales a la generación $f(g(t))$, mediante una serie de puertas logicas que nos permitan seleccionar la primera dirección de la memoria y a partir de ella realizar la operación de lectura, de forma que obtengamos a la salida del circuito de lectura la función $f(g(t)+t_0)$.

El diseño logico se basa en el uso de un Flip-flop FJJ 191 anteriormente descrito y que tiene entradas

de borrado y puesta a 1, de forma que aplicando un cero a la entrada de puesta, la salida Q se hace 1 y aplicando solo a la de borrado se hace "0".

La operación lógica ha de ser tal que para un 1 en una de las entradas de introducción de condiciones iniciales aparezca un "0" en la entrada de puesta y un "1" en la de borrado de su correspondiente FF y al contrario para un "0".

Los correspondientes mapas de Karnaugh estan dados en la fig(4-8), donde hemos llamado A a la entrada de condiciones iniciales, P a la salida del circuito de puesta y B a la de borrado para un determinado FF y D al mando de introducción de condiciones iniciales, de forma que un 1 en este los lleve a sus correspondientes FF.

A		0	1
D			
0		1	1
1		1	0

$$P = \bar{A} + \bar{D}$$

A		0	1
B			
0		1	1
1		0	1

$$B = \bar{D} + A$$

Fig(4-8)

Ademas de esta operación, dado que la memoria consta de 256 direcciones, este contador ha de mandar parar

la grabación cuando estas hayan tenido lugar, es decir cuando la memoria este completa, en realidad nosotros hacemos el diseño para poder hacer esta inhibición del circuito de grabación cuando haya tenido lugar cualquier numero de cambios de dirección desde 1 a 256.

Ello se consigue introduciendo la dirección para la cual ha de dejar de funcionar el circuito de grabación mediante llaves del tipo anteriormente descrito y según muestra la fig(3-10).

Haciendo uso de la salida Q de cada FF, el circuito logico que nos indique cuando el contador ha llegado a la dirección programada, ha de realizar la operación indicada en el mapa de Karnaugh de la fig(4-9). Donde C es el bit de dirección correspondiente a un FF particular.

D Q	0	1
0		1
1	1	

$$S = \bar{Q}C + C\bar{Q} = CQ + \bar{C}\bar{Q}$$

Fig(4-9)

La ecuación $S = QC + \bar{C}\bar{Q}$ corresponde a la salida de una puerta exclusiva 0.

Todas las salidas de estas puertas exclusiva-0

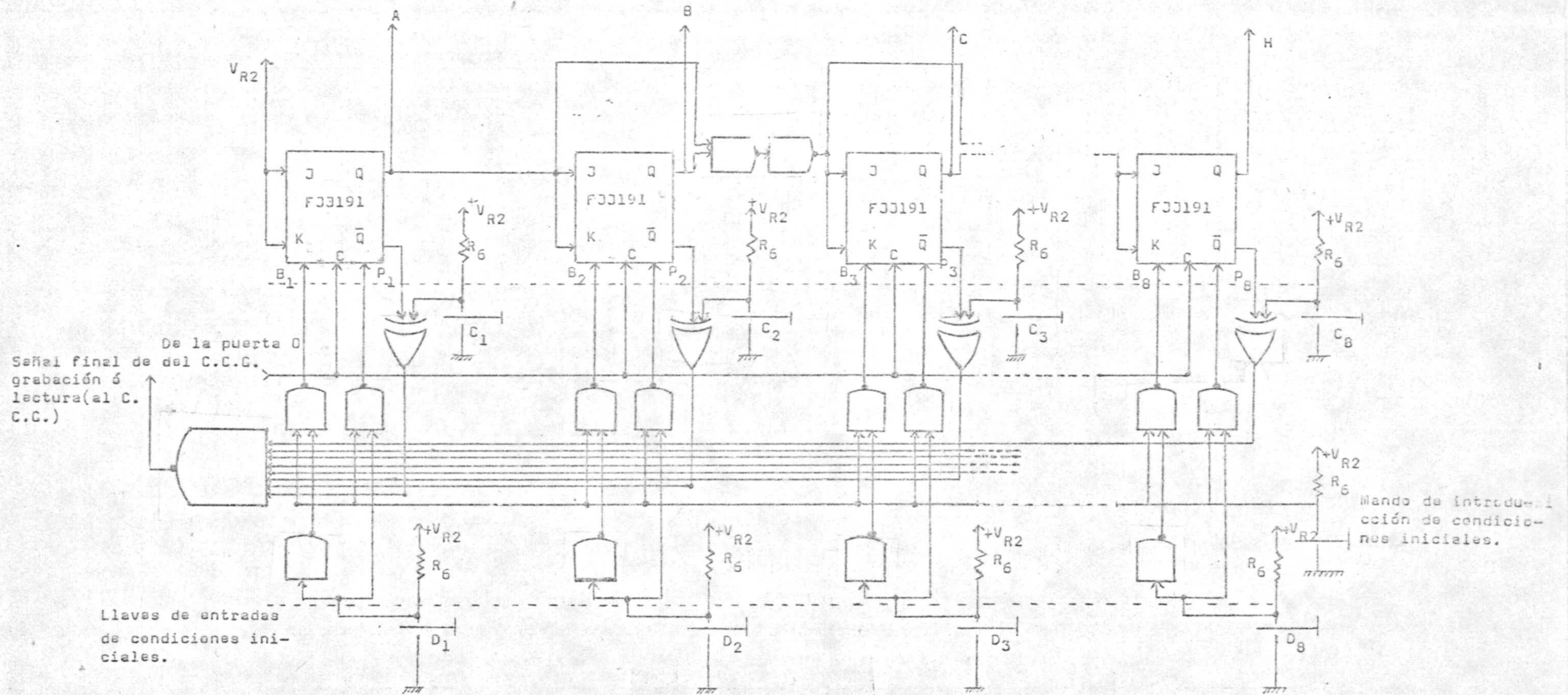
son llevadas a una puerta NO-Y de forma que su salida pasara del valor "1" al "0" cuando el contador alcance la dirección indicada en la entrada de control de final de grabación, inhibiendo mediante la puerta NO-Y de entrada de la señal escala de tiempo el paso de estos pulsos, dando por terminada la operación de grabar.

El contador junto con los circuitos de introducción de condiciones iniciales y de control de final de grabación esta dada en la fig (4-10).

Los contadores de control de pulsos de grabación son progresivos de 3 bits y su diseño es exactamente igual que el anterior escrito.

CIRCUITO CONTROL DE DIRECCIONES Y LLAVES DE INTRODUCCION DE CONDICIONES INICIALES.

A la unidad de memoria.



Fig(4-10)

4-4. Memorias.

La palabra digital correspondiente al número de pulsos de comparación habidos durante cada semiperiodo de la señal base de tiempo, ha de ser almacenada junto con su signo ~~como~~ en la memoria.

El tipo de memorias necesario para nuestro circuito ha de reunir las siguientes características.

Estática: Es decir que no sea necesario pulsos de reloj.

No destructiva, puesto que la información podrá leerse tantas veces como se quiera.

Acceso libre, ya que para la generación de la función $f(g(t)+t_0)$, la lectura de la información almacenada podrá comenzarse por cualquier dirección sin necesidad de seguir previamente una secuencia de acceso a ella.

El avance tecnológico de los últimos años ha permitido la aparición en el mercado de memorias integradas usando como célula de almacenamiento FF de transistores tipo MOSFET, con gran capacidad de almacenamiento de información, rapidez de operación y a precios competitivos con las de núcleo magnético.

Nosotros hemos usado en el montaje del circuito 4 unidades de memoria MM1101A de la National Semiconductor Corp, cuyo diagrama de bloque y principio de funcionamiento se detallan a continuación y que poseen un pequeño tiempo de acceso de $1,5\mu\text{sg}$ así como pequeño consumo de potencia inherente a la técnica MOS.

El diagrama de bloque de esta memoria está dado en la fig(4-11).

Los FF se encuentran distribuidos formando un conjunto bidimensional de $16 \cdot 16$ células para un total de 256 en el plano de almacenamiento, cada célula es como muestra la fig(4-12).

Para leer la información almacenada en cada FF cuya configuración típica está dibujada en la fig(4-13), la línea de dirección se hace 1 y para escribir la línea de escritura.

Las líneas de dirección de 0 a 3 son descodificadas para seleccionar 1 de 16 líneas de palabras. Cada línea de palabras divide 16 células conectando por tanto a 16 pares de líneas de bits.

Las direcciones de 4 a 7 son descodificadas pa-

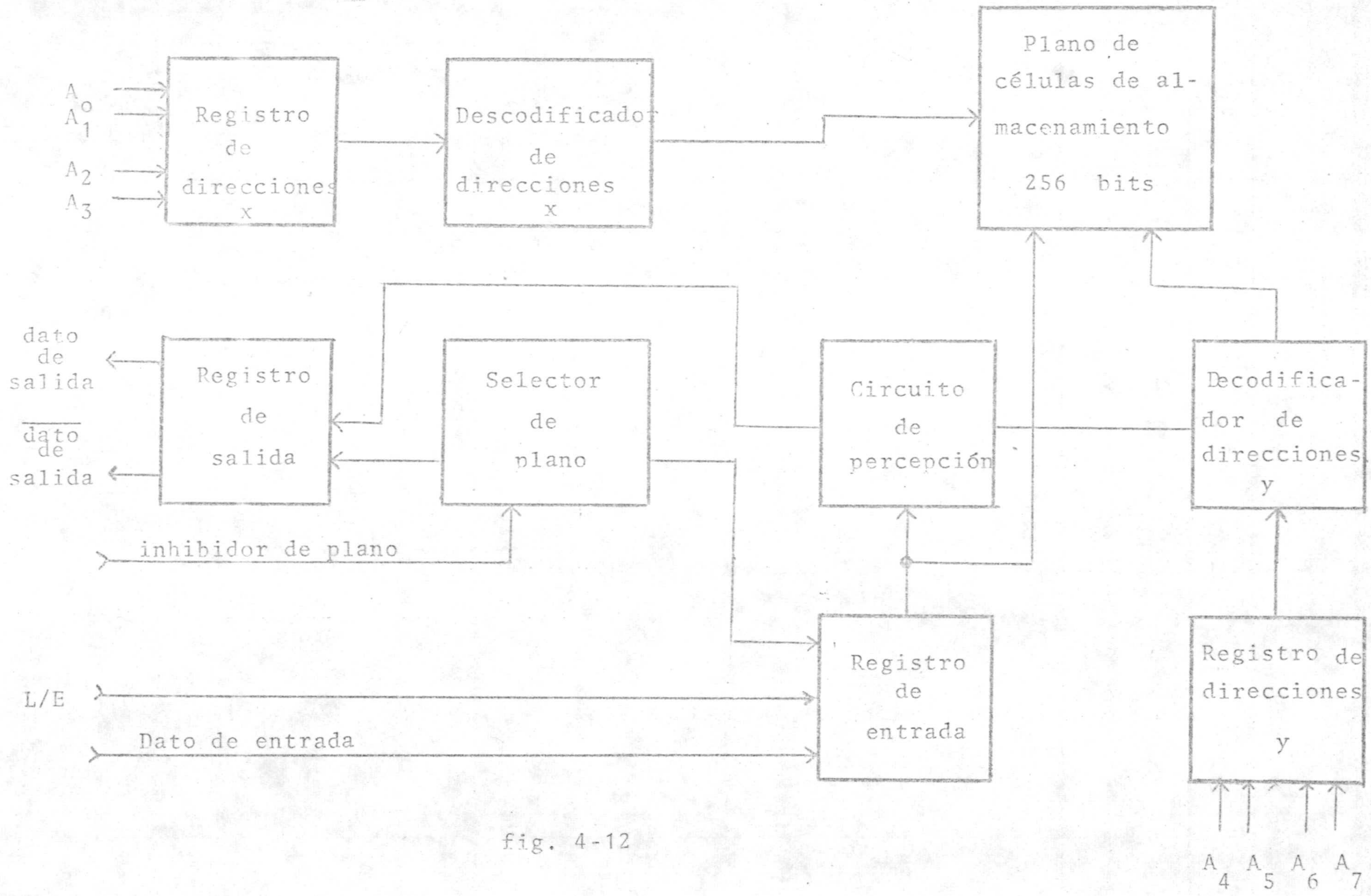
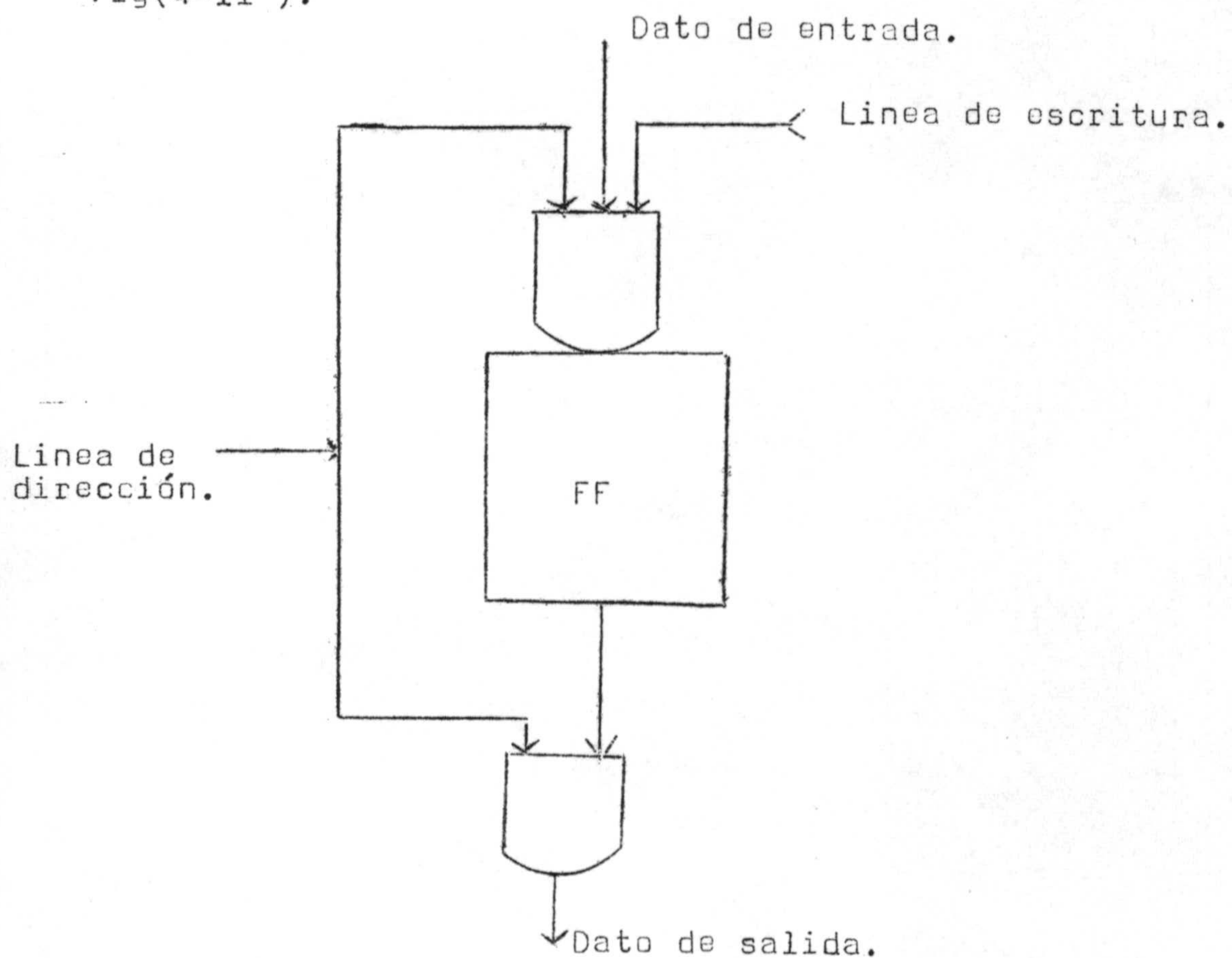


fig. 4-12

ra seleccionar una de 16 pares de líneas. En conjunto, las 8 líneas de dirección seleccionan una célula de las 256.

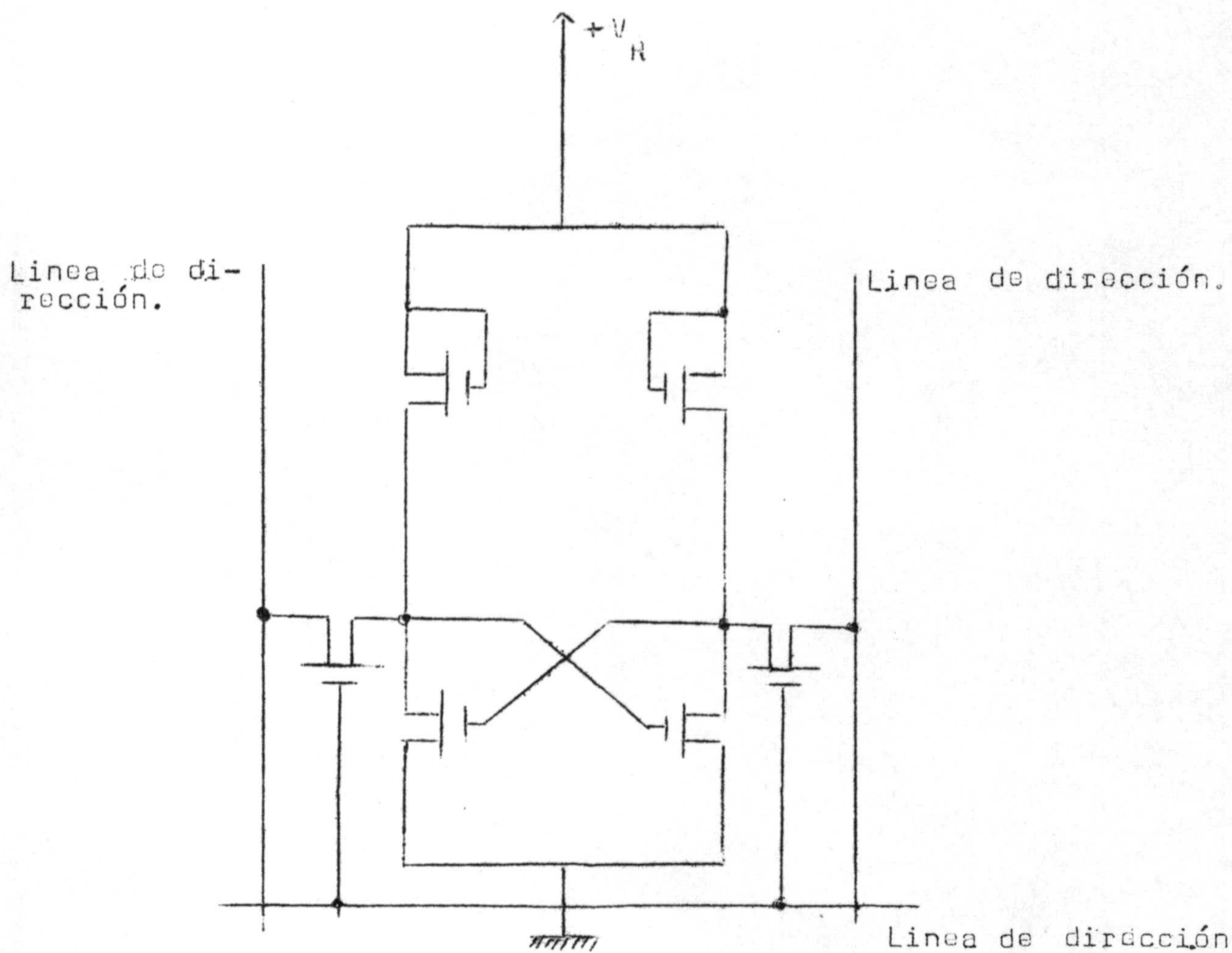
Estas operaciones las realizan los registradores y descodificadores de entrada del diagrama de bloque en la fig(4-11).



Fig(4-12)

Dado que el tipo de memoria usado tiene capacidad para 256 palabras ^{de} 1-bit y nosotros necesitamos 256 palabras ^{de}

4-bits, incluyendo el signo, podemos desarrollar una memoria de esta capacidad, conectando entre si las entradas de direcciones correspondientes para cada dispositivo, asi como la de orden de escribir o leer y la de selección de plano de memoria, de 4 memorias tal como la descrita y que constituyen la unidad de memoria del diagrama de bloques.



Fig(4-13)

4-5. Error de grabación en la memoria.

La diferencia entre la señal de entrada y la señal almacenada en la memoria constituye el error de grabación.

Dado que la señal la hemos dividido en N intervalos de anchura y si llamamos δ_i a la anchura del intervalo i centrado en el valor X_i la amplitud estará comprendida dentro del intervalo.

$$X_i - 1/2\delta_i \leq X < X_i + 1/2\delta_i.$$

Entonces el error cuadrático instantáneo será:

$$(X - X_i)^2.$$

Si la densidad de distribución de amplitud de la señal es $p(X) dX$, siendo δ_i pequeña en la relación con la excursión de la señal, $p(X)$ varía poco dentro del cuanto y puede ser aproximado por $P(X_i)$. Entonces el error cuadrático medio debido a que la señal se encuentra dentro de este cuanto, es:

$$E_i^2 = \int_{X_i - 1/2\delta_i}^{X_i + 1/2\delta_i} (X - X_i)^2 p(X) dX \approx p(X_i) \int_{-1/2\delta_i}^{+1/2\delta_i} z^2 dz = 1/2 p(X_i) \delta_i^3$$

La probabilidad de que la amplitud de la señal se encuentre dentro del intervalo i es:

$$P_i = \int_{X_i - 1/2\delta i}^{X_i + 1/2\delta i} P(X) dX \approx P(X_i) \delta i$$

de donde $E_i^2 = 1/12 \delta i^2 P_i$

El error cuadrático total es:

$$E^2 = \sum_i E_i^2 = 1/12 \sum_i \delta i^2 P_i$$

Particularizando para nuestro trabajo, el peor caso ocurrirá cuando todos los $\delta i = 7\Delta f$, que es el mayor salto permitido durante ΔT .

Por tanto el máximo error debido al tipo de almacenamiento que hemos llevado a cabo será:

$$E^2 = 1/12 (7\Delta f)^2 = 49/12 \cdot (0,0195)^2 = 0,00038$$

4-6.-Consideraciones practicas del diseño del circuito de grabación.

Los limites de duración de los diferentes pulsos de salida de las distintas partes de que consta el circuito de grabación, asi como las relaciones entre estos, vienen determinados por las características de la memoria.

Son fundamentalmente dos parametros los que determinan estas limitaciones.

t_{wd} = tiempo minimo requerido desde la iniciación del cambio de dirección y comienzo de escritura.

t_{wp} = Minima anchura de pulso requerida para escribir.

En el tipo de memoria que hemos elegido, estos parametros toman los valores: $t_{wd} = 0,3 \mu\text{sg}$ y $t_{wp} = 0,4 \mu\text{sg}$.

Como hemos indicado en el apartado 3-7, el tiempo de transición minimo entre dos pulsos de comparación debido a las limitaciones impuestas por los elementos que componen el cuantizador, es de $2,4 \mu\text{sg}$, por tanto la anchura minima de ΔT es de $16,8 \mu\text{sg}$.

Escogiendo la anchura de los pulsos de M_1 en

la fig(4-5 a), igual a $1\mu\text{sg}$ y para los de M_2, M_3 y M_4 igual valor, el cambio de dirección ocurre a los $2,21\mu\text{sg}$ del final de cada ΔT . Donde hemos tenido en cuenta el retraso debido a las puertas NO-Y, que constituyen la puerta 0 de entrada de los pulsos de M_2 y M_4 , así como las que constituyen la implementación lógica a las entradas de los FF del contador de direcciones y la de los propios FF.

Por tanto, teniendo en cuenta el retraso que implica la puerta NO-Y de inhibición de paso de los pulsos de comparación al contador de información, así como el introducido por este, resulta que la próxima palabra a grabar en la memoria tendrá lugar $14,77\mu\text{sg}$ después del cambio de dirección, con lo que queda perfectamente superada la limitación impuesta por t_{wd} .

A la información almacenada en cualquiera de los dos contadores, solo le es permitido el paso a la memoria en el tiempo de duración de los pulsos \bar{Q}_D y \bar{Q}_B , y siendo la anchura de esta igual a la de los monoestables es decir $1\mu\text{sg}$, podemos estar seguros de que la grabación tendrá lugar ya que esta anchura de pulso supera a la limitación impuesta por t_{wp} .

4-7.-Funcionamiento del circuito de grabación durante el ciclo de lectura.

Dado que este circuito solo ha de actuar durante el proceso de grabación, será necesario desconectarlo de la salida de la puerta 0 del cuantizador, durante la operación de lectura de la función grabada, mediante los pulsos resultantes de la cuantización de $g(t)$.

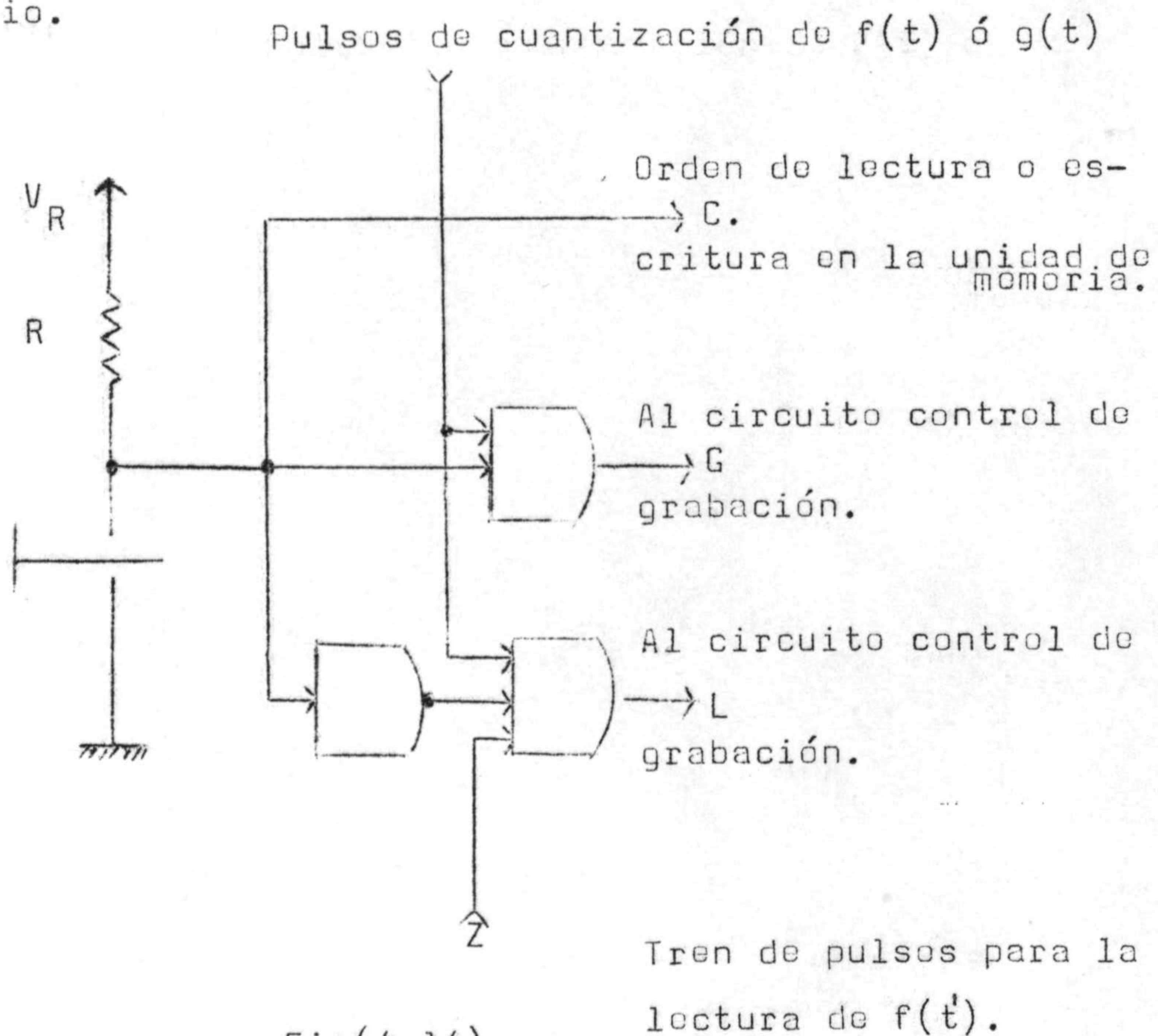
Durante la operación de lectura solo nos será necesario de este circuito, el contador de direcciones, en el que previamente habremos introducido las condiciones iniciales por tanto, los pulsos de cuantización de la función $g(t)$, habrán de ir directamente al contador y al mando de lectura de la memoria.

Como el propio cuantizador nos limita la frecuencia de los pulsos de cuantización de la señal $g(t)$, podrán ser estos mismos pulsos los que actúen sobre el contador de direcciones ya que el tiempo de respuesta de este contador es mucho menor que el intervalo de tiempo existente entre cada pulso de comparación.

Mediante una llave de tipo descrito en la sección (3-2), podemos dirigir manualmente una u otra ope-

ración según el esquema indicado en la fig(4-14), y que constituye el circuito control de grabación ó lectura del diagrama de bloques.

Como se aprecia en el esquema, al cerrar la llave los pulsos de comparación aparecen en L, premaneciendo constantemente en el estado "0" la salida G, y al abrir ocurre lo contrario.



Fig(4-14)

Por tanto, conectando la salida G al circuito control de grabación, y la L directamente al contador que constituye el circuito control de grabaciones, podemos dirigir manualmente una u otra operación.

Para la generación de la función grabada, a una frecuencia distinta de la de grabación, hacemos uso de la entrada Z mediante la cual introducimos directamente los pulsos de lectura, al circuito control de direcciones obteniéndose la función $f(t)$.

Este mismo circuito sirve para gobernar la operación de grabación ó lectura en la unidad de memoria.

Un "0" en la entrada control L/E de la fig(4-12) de la unidad de memoria ordena escribir el dato de entrada, y un "1" leer la información almacenada, y por tanto podemos gobernar una u otra operación mediante la salida C del circuito de la fig (4-14). Esto es debido a que su estado es 1 cuando a los pulsos de comparación le es permitido el paso a través de la salida G, hacia el circuito de grabación y es "0", cuando le es permitido a través de la salida L, hacia el circuito de lectura, es decir al circuito control de direcciones.

5.-CIRCUITO DE LECTURA.-

5-1.-Fundamento teorico y diseño practico.-

La palabra digital, correspondiente al incremento de la función $f(t)$ ha sufrido durante cada ΔT , se haya almacenada junto con su signo en la memoria.

Ordenando mediante el circuito selector de grabación ó lectura esta ultima operación, los pulsos resultantes de la cuantización de $g(t)$, pasaran directamente al contador de direcciones de la memoria.

Los valores de Δf correspondientes a cada dirección, apareceran junto con su signo, a la salida de la memoria cada vez que tenga lugar un pulso de comparación, durante la cuantización de la función de lectura $g(t)$.

Mediante un circuito que sume o reste estos incrementos y que constituye la unidad aritmetica en el diagrama de bloques, y cuya salida vaya conectada a un convertidor D/A, obtendremos la función $f(g(t))$.

Si usamos para la lectura de la función almacenada, un tren de pulsos, en vez de los resultantes de la cuantización de $g(t)$, obtendremos a la salida del con-

vertidor D/A la función $f(t)$.

El tipo de convertidor D/A que se ha usado para llevar a cabo esta operación es el mismo descrito en la realización del cuantizador. (Apartado 3-5).

Por tanto, la palabra digital resultante en cada momento a la salida del circuito sumador restador, ha de venir dada en la forma de signo complemento a dos.

El fundamento teórico, del circuito práctico con que hemos llevado a cabo esta operación, está basado en la resta por suma en la forma de complemento a dos del sustraendo.

La diferencia z obtenida por la resta de y a x es:

$$z = x - y = x + (\overline{0} - y)$$

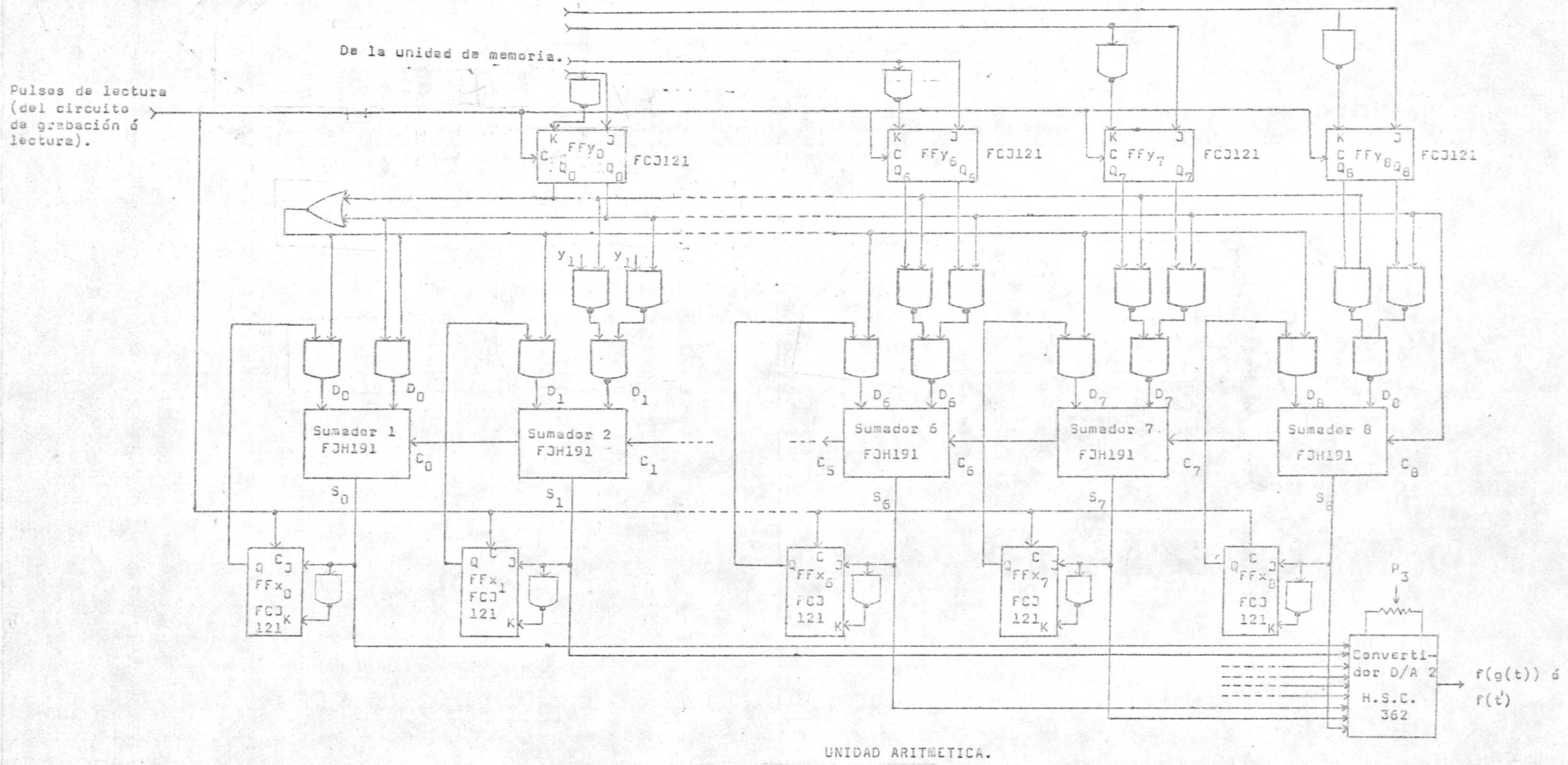
Ya que $\overline{0} - y$ es el complemento a dos de y se tiene:

$$z = x + y^*$$

Una vez el número negativo se encuentra en la forma de complemento a dos, la diferencia se lleva a cabo por la suma directa de estas dos cantidades.

Un circuito lógico capaz de sumar o restar dos números de la forma indicada está dibujado en la fig(5-1)

Las entradas y_1, y_2, y_3, y_4, y_5 son constantemente



UNIDAD ARITMETICA.

Fig(5-1)

"0" debido a que el numero almacenado en la memoria contiene 3 bits como maximo.

El punto resultante de la cuantización en el instante t_i de la función $g(t)$, ordena que el Δf correspondiente a la dirección indicada por el contador de direcciones, sea almacenada en los FF y_0, y_6, y_7, y_8 .

Esto mismo pulso hace que la información a la salida del circuito sumador restador, correspondiente al valor de $f(g(t_{i-1}))$, sea transferida a los FF $x_0, x_1, x_2, x_3, \dots, x_7, x_8$, con lo que obtendremos a la salida de los sumadores la palabra digital correspondiente a $f(g(t_i))$, y a la salida del convertidor D/A su valor analógico.

Los valores x_0 e y_0 corresponden al bit de signo.

Los FF $x_0, x_1, \dots, x_7, x_8$ e y_0, y_6, y_7, y_8 constituyen los circuitos de registro intermedio.

Las señales de control de sumar o restar dirigen una u otra operación del circuito y están constituidas por la salida Q_0 y \bar{Q}_0 del FF y_0 en que se almacena el bit de signo correspondiente a cada Δf .

Dado que el signo positivo de Δf viene determinado por "0" en el bit mas significativo ^{un} y el negativo por un "1", la

orden de sumar viene gobernada por \bar{Q}_0 y la de restar por Q_0 .

Si la línea de control \bar{Q}_0 se hace "1" aparece en la salida s_0, s_2, \dots, s_8 la suma de los números almacenados en los FFx y la de los FFy. Si es la línea Q_0 la que se hace "1" entonces es la diferencia entre x e y la que aparece en la salida.

Los sumandos D_i y D'_i excepto D_0 y D'_0 que constituyen el bit de signo de uno y otro sumando y que ya se encuentran directamente en la forma de complemento a dos, están dados en las siguientes expresiones.

$$D_i = x_i (Q_0 + \bar{Q}_0)$$

$$D'_i = y_i \bar{Q}_0 + \bar{y} Q_0 \quad i=0, 1, 2, \dots, 8$$

La orden de suma lleva a la entrada de cada sumador los valores x_i e y_i , mientras que la de restar lleva x_i e y_i .

La operación de complementar a dos el sustraendo, es llevada a cabo sumando mediante la entrada c_8 correspondiente al bit prestado o llevado, un "1" al bit menos significativo, ya que la orden de restar hace esta entrada "1" mientras que la de sumar la hace "0".

Los valores x_0, x_1, \dots, x_8 están constituidos por la propia salida s_0, \dots, s_8 de cada sumador almacenados en cada FF del registro intermedio y la transferencia se realiza cada vez que tienen lugar un pulso de comparación en la cuantización de $g(t)$.

Dado que en definitiva tanto la operación de sumar como la de restar se lleva a cabo mediante una suma, bien directamente o complementando a dos solo nos harán falta hacer uso de circuitos sumadores.

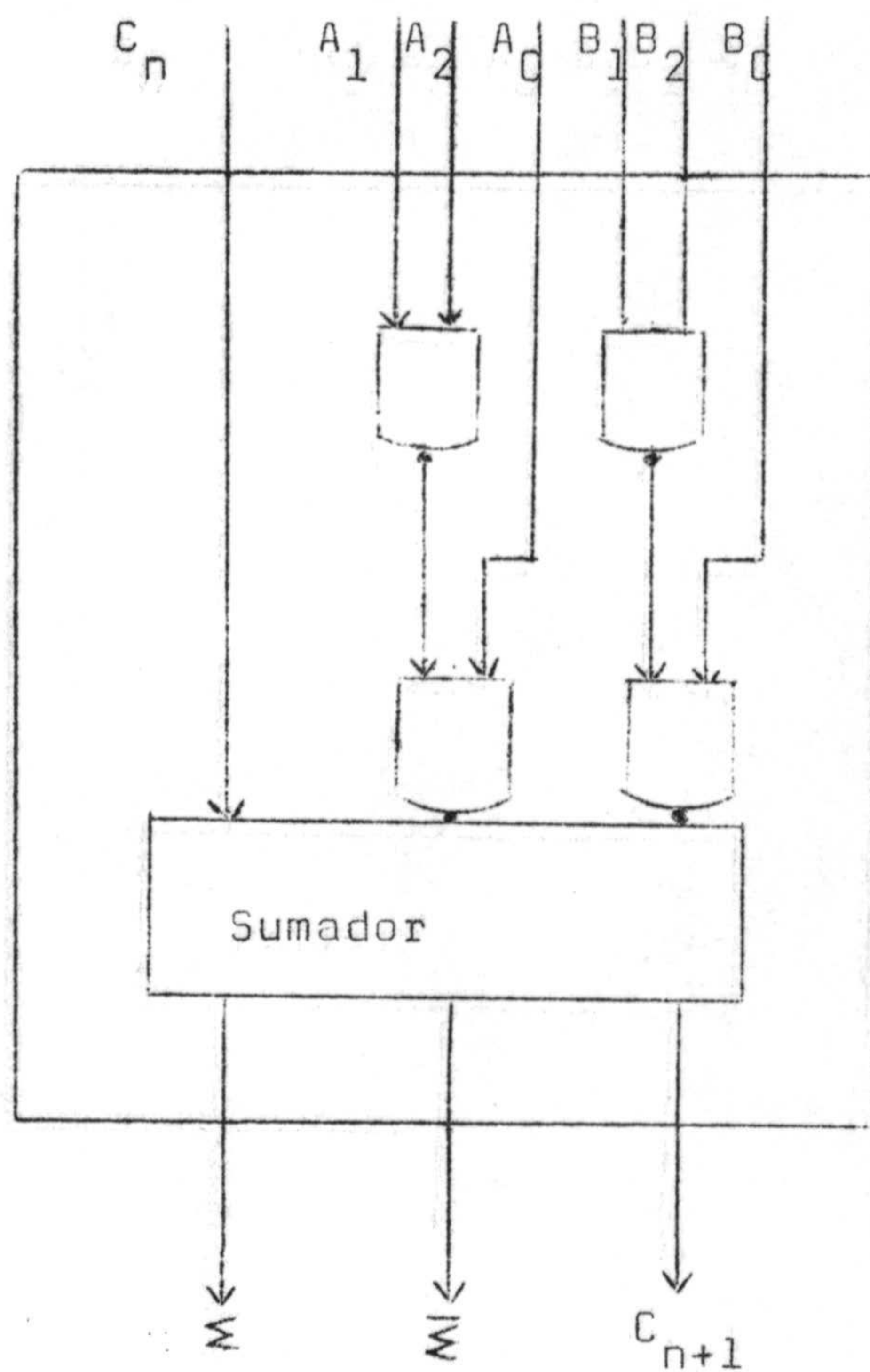
Dado que los pulsos de cuantización son producidos por el mismo cuantizador descrito en la sección 3, el tiempo máximo del circuito sumador restador en llevar a cabo la operación de sumar o restar ha de ser menor que $2,4 \cdot 10^{-6}$ sg, según se indicó en el apartado 3-7.

Se ha hecho uso para el montaje de este circuito de NO-Y FCH 191 y FF FCJ 121 anteriormente descritos.

Se han usado como sumadores circuitos integrados FJH 191 de la casa Miniwat que tienen una alta velocidad de operación y cuya configuración está dibujada en

la fig(5-2).

El tiempo total necesario para llevar a cabo cada operación de suma o resta resulta ser igual a 206 nsg, lo cual resulta ser totalmente satisfactorio, ya que este tiempo es mucho menor que el máximo requerido de $2,4 \cdot 10^{-6}$ sg.



Fig(5-2)

Cada sumador responde a la tabla de verdad:

Entradas			Salidas	
C_i	A	B	S	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

La implementación lógica de sus salidas sera:

$$S = \bar{C}_i(\bar{A}B + A\bar{B}) + C_i(\bar{A}\bar{B} + AB) = C_i \oplus (A \oplus B) \text{ y } C_{i+1} = AB + C_i(\bar{A}B + A\bar{B}) = AB + C_i(A \oplus B).$$

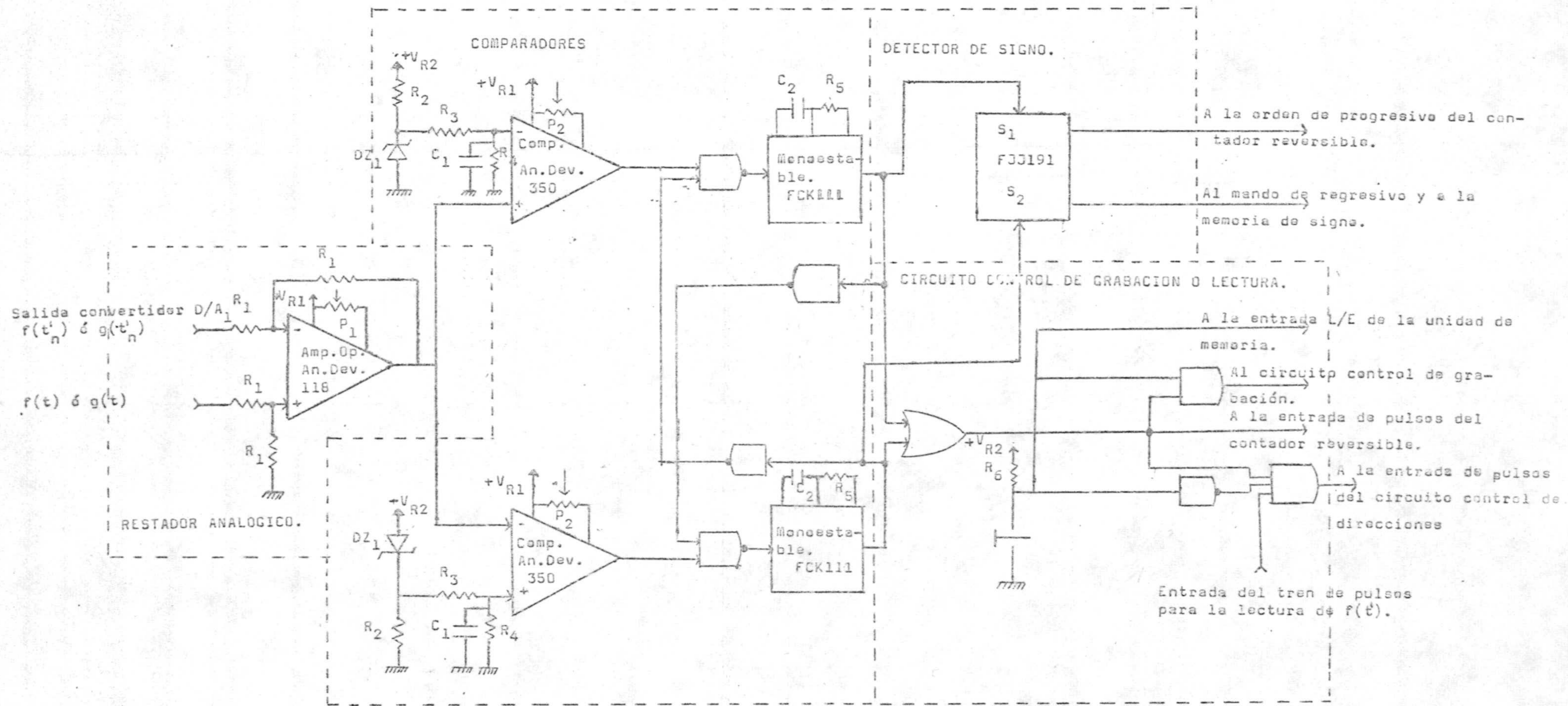
6.-CIRCUITO GENERAL

A continuacion exponemos de una forma ordenada, el esquema general del circuito total desarrollado, indicando las conexiones existentes entre ellos.

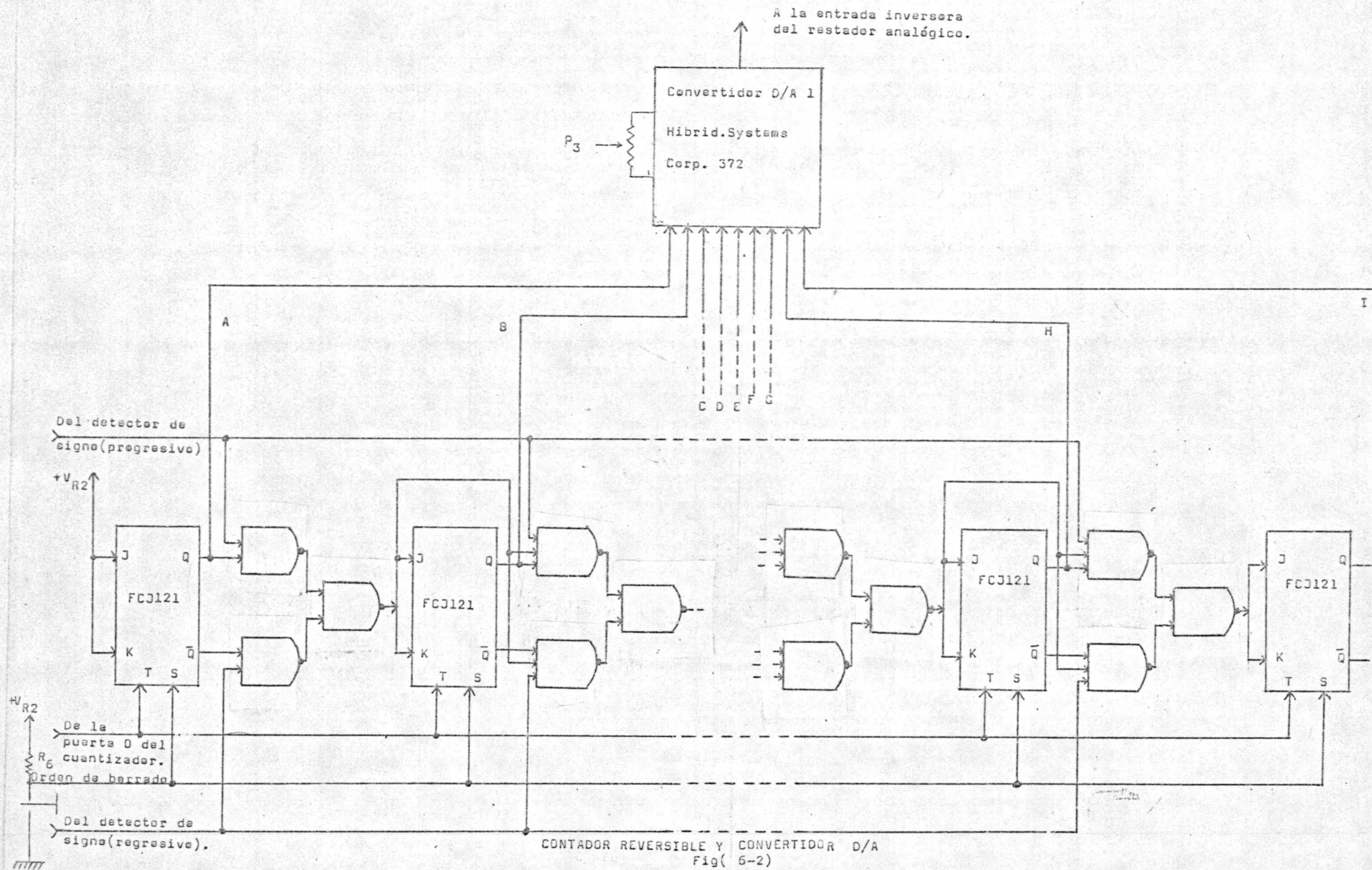
En todos ellos , aunque por razones de simplicidad en los dibujos , hemos usado el simbolo correspondiente a circuitos puerta distintos al NO-Y , se a llevado a cabo su montaje practico , haciendo uso de este tipo de puertas.

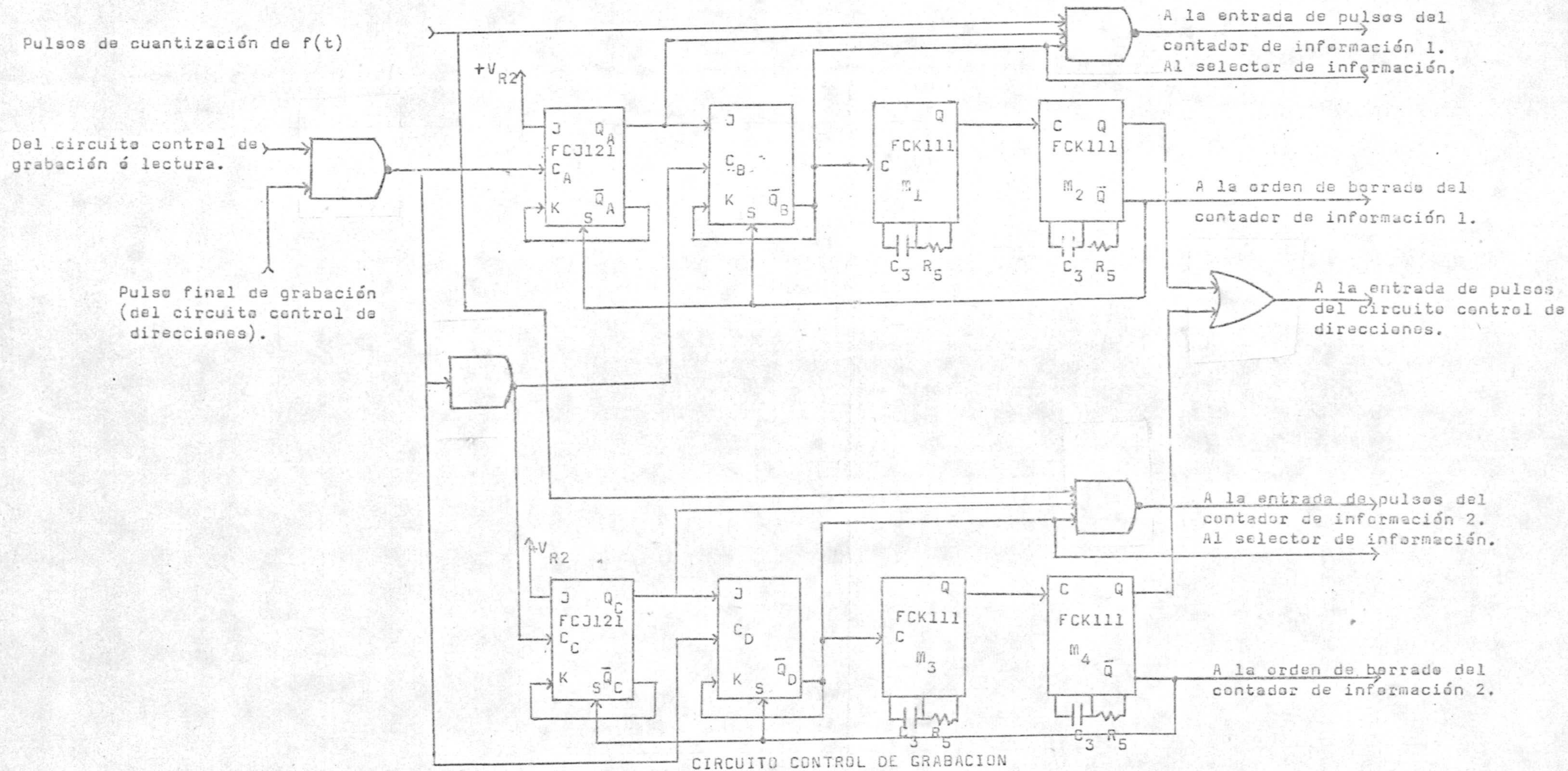
En el circuito de la figura 6-1 , correspondiente al cuantizador, se representa como circuito detector de signo, un FF tipo FJJ191, correspondiendo a la segunda solucion propuesta en este trabajo para el detector.

Al final de los esquemas fig(6-1,6-2,6-3,6-4, 6-5 y 6-6), se indican los valores de las resistencias, condensadores y tensiones de referencia.

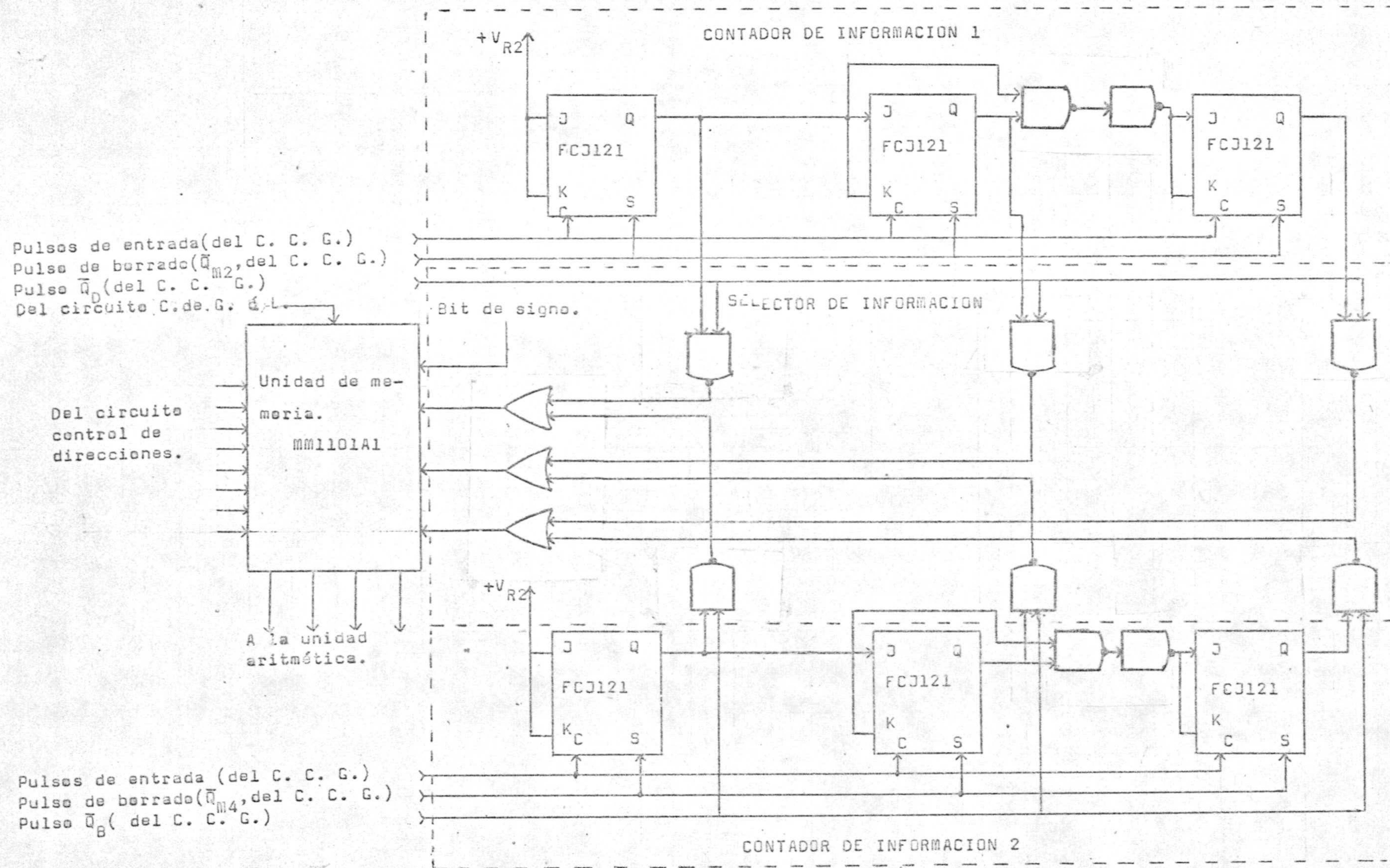


Fig(6-1)





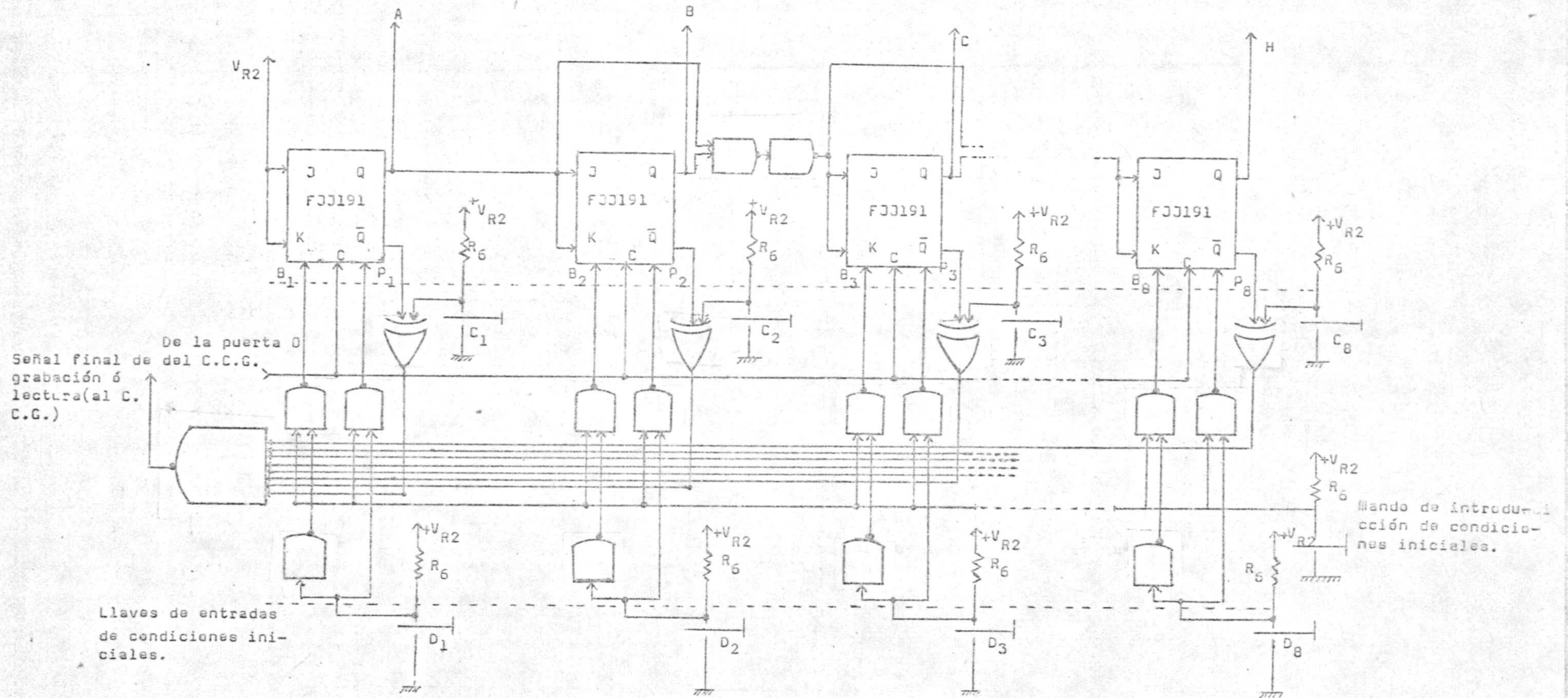
Fig(6-3)



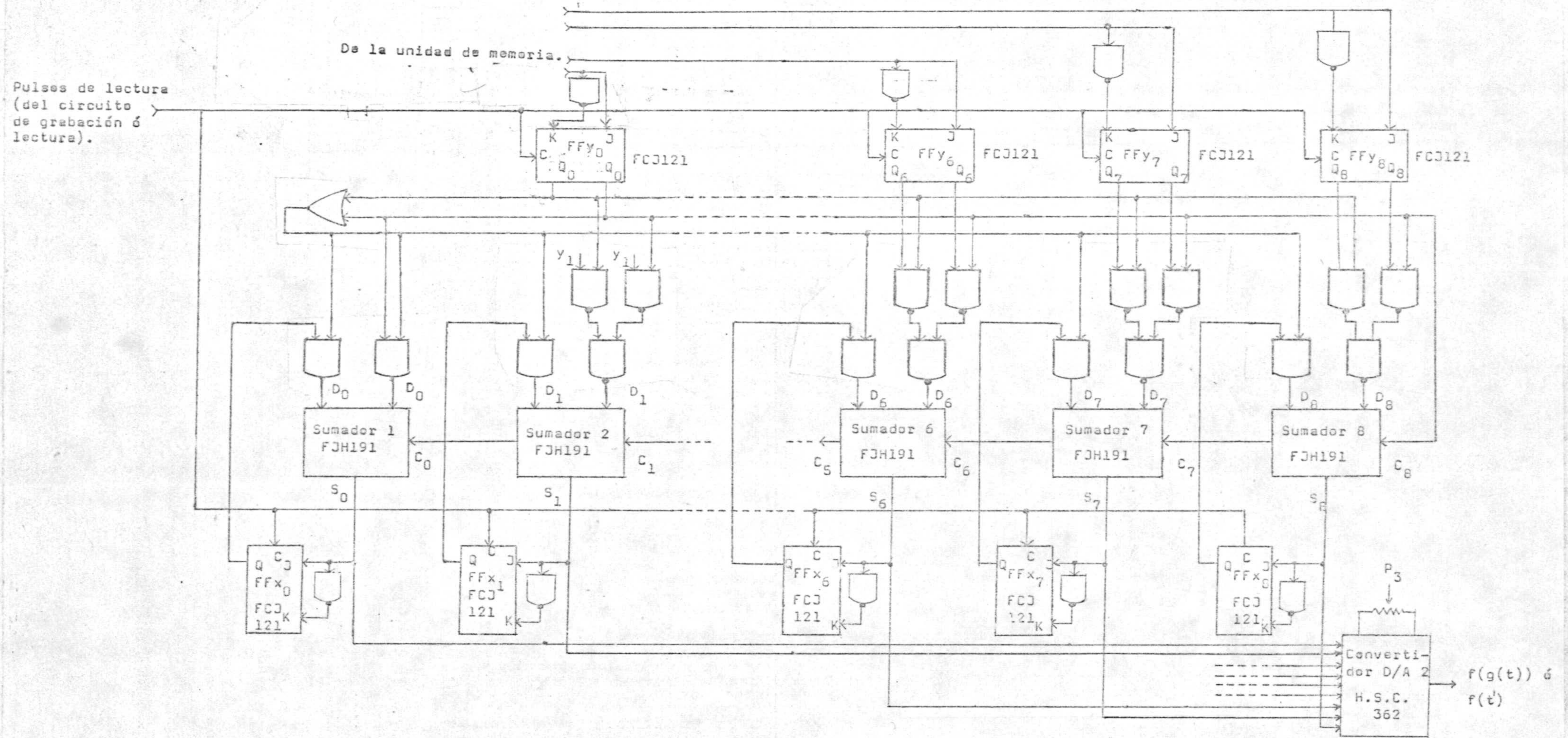
Fig(6-4)

CIRCUITO CONTROL DE DIRECCIONES Y LLAVES DE INTRODUCCION DE CONDICIONES INICIALES.

A la unidad de memoria.



Fig(6-5)



UNIDAD ARITMETICA.

Fig(6-6)

$R_1 = 1 \text{ K}\Omega$
 $R_2 = 500\Omega$
 $R_3 = 2,79 \text{ K}\Omega$
 $R_4 = 10 \Omega$
 $R_5 = 10 \text{ K}\Omega$
 $R_6 = 4,7 \text{ K}\Omega$
 $P_1 = 50 \text{ K}\Omega$
 $P_2 = 1 \text{ K}\Omega$
 $P_3 = 20 \text{ K}\Omega$

$C_1 = 10 \text{ nf.}$
 $C_2 = 0,1 \text{ nf.}$
 $C_3 = 160 \text{ pf.}$

$DZ_1 = \text{BZX79,C5V6}$
 $V_{R1} = 15 \text{ Volt.}$
 $V_{R2} = 5,6 \text{ Volt.}$

7.-CONCLUSIONES

1º.-Se ha descrito en este trabajo, un dispositivo, capaz de almacenar y leer una función analógica, repetitiva ó no, previa digitalización.

2º.-Se ha hecho un estudio comparativo, de la forma tradicional de almacenamiento en memoria de la función digitalizada, con la propuesta en este trabajo, consistente en el almacenamiento de la palabra digital correspondiente al incremento de la función en intervalos de tiempo ΔT .

3º.-Mediante la solución propuesta mejoramos la eficiencia, es decir, la cantidad de memoria necesaria para almacenar una función dada.

4º.-La lectura de la función almacenada, puede realizarse mediante los pulsos resultantes de la cuantización de una nueva función, $g(t)$, o bien mediante un tren de pulsos, obteniéndose respectivamente $f(g(t))$ ó $f(t)$

5º.-Hemos sustituido el muestreo de la función de entrada, por una cuantización incremental, con lo que ganamos en rapidez de operación.

6º.- Hemos aprovechado el mismo cuantizador de la función de entrada $f(t)$ de grabación en la memoria, para producir mediante la función de lectura $g(t)$ los pulsos de generación de $f(g(t))$.

7º.- Mediante circuitos apropiados, es posible introducir condiciones iniciales en la generación de $f(g(t))$.

8º.- Hemos escogido en nuestro trabajo, 7 como la pendiente máxima expresada en Δf en cada ΔT .

9º.- Se desarrolla el diseño de un convertidor A/D, que poseyendo un margen de frecuencia considerable, presenta las ventajas de ser relativamente simple y fácilmente reproducible.

10º.- Se han encontrado soluciones originales a algunos problemas planteados en el desarrollo del dispositivo que presentamos.

11º.- Se ha usado la técnica de circuitos Híbridos e integrados a todas las escalas, con lo que se ha realizado un sistema lo suficientemente fiable y poco voluminoso.

9- BIBLIOGRAFIA.-

- 1.-ACHA J.I., RODRIGUEZ I., CIVIT A.-"Estudio lógico de circuitos de control para motores paso a paso". Miniwatt. Vol.11, No.5. P.187-194. (Mayo 1972).
- 2.-BARTEE T.C.-"Digital computer fundamentals". McGraw-Hill.(1972).
- 3.-BIRKHOFFS, BARTEE T.C.-"Modern applied algebra". McGraw-Hill.(1970).
- 4.-CATTERMOLK, K.W.-"Principles of pulse code modulation". Iliffe Books LTD.(1968).
- 5.-DMAYE R.-"L'amplificateur opérationnel". Radio.(1972).
- 6.-EIMBINDER J.-"Designing with linear integrated circuits." John Wiley.(1968).
- 6.-EIMBINDER J.-"Linear integrated circuits". John Wiley.(1968).
- 7.-GARCIA D. B."Tesis doctoral". Anales de la Universidad Hispalense. Serie ciencias.No.4.(1969).
- 8.-HODGES D.A.-"Large-capacity semiconductor memory". Proc. I.E.E.E.No.7. PP.1148-1162.(July 1968).
- 9.-HOESCHELE D.F.-"Analog-to-digital/digital-to-analog conversion techniques." Jhon Wiley.(1968).

- 10.-LEONARD D. "M.O.S. memories". E.E.E., PP. 54-61
(November 1969).
- 11.-MALMSTADT H.V., ENKE C.G. "Digital electronics :
for scientists". W.A. Benjamin. (1969).
- 12.-MILLMAN Y TAUB, "Circuitos de pulsos digitales
y de conmutación". Castillo (1969).
- 13.-NORMAN S.C. "Electronic computer technology"
McGraw-Hill. (1970).
- 14.-PANTER P.F. "Modulation, noise and spectral
analysis". McGraw-Hill. (1965).
- 15.-PAUL E., WOOD JR. "Switchg Theory". McGraw-Hill.
(1968)
- 16.-PERRIMJJ. P., DENOUEtte M., DACLIN E. "Syste-
mes logiques". Dunod. (1967)
- 17.-RENWICK W., COLE A. J. "Digital Storage sys. -
tems". Chapman Hall LTD. (1964).
- 18.-RILEY W. B. "Semiconductor memories are ta-
king over data-storage applications". Electronics, Vol. 46,
No. 16, PP. 75-90. (1973).
- 19.-RICHARS R. K. "Digital design". John wiley
(1971).

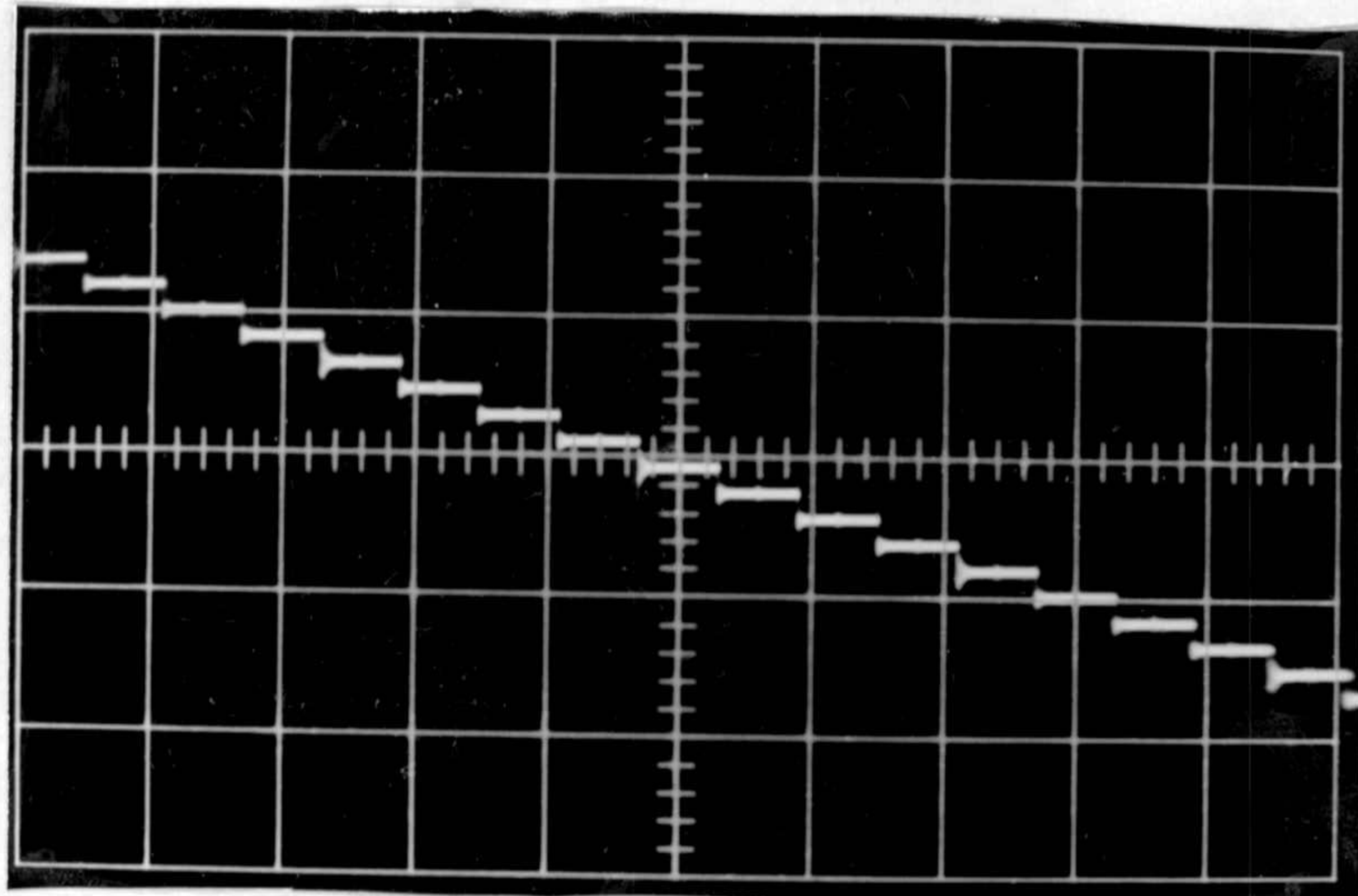
- 20.-SANDER, W. B.-"Semiconductor memory circuits and technology". Proc. Fall Joint Computer Conference, PP. 1205-1211. (1968)
- 21.-SCHWARTZ, LAURENT.-"Metodos matematicos para las ciencias fisicas". Selecciones Cientificas, (1969).
- 22.-SCOTT NORMAN R.-"Electronic computer technology" McGraw-Hill. (1970).
- 23.-SEARLE C. L., GRAY P. E.-"Principios de electronica". Reverté. (1973).
- 24.-STEPHEN H. UNGLR.-"Asynchronous sequential switching circuits". Wiley-Interscience. (1969).
- 25.-TAYLOR L. BOOTH.-"Sequential Machines and automata theory". John Wiley. (1967).
- 26.-R. L. VALLEE, T. I y II.-"Analyse binaire". Masson et Cie. (1970)
- 27.-WALLMARK, J. K., SCOTT, J. H.-"Switching and storage characteristics of M. I. S. memory transistors". -RCA Review, Vol. 30, No. 2, PP. 335-365 (June 1969).
- 28.-WATSON, R. W.-"Timesharing systems design concepts" McGraw-Hill. (1970).
- 29.-WICKES, W. E.-"Logic design with integrated circuits". John Wiley. (1968).

9.-OSCILOGRAMAS.-

A continuación dejamos constancia del funcionamiento de nuestro dispositivo mediante una serie de oscilogramas.

En los oscilogramas 1º y 2º, mostramos la salida del convertidor D/A cuando introducimos un tren de pulsos en el contador reversible conectado a sus entradas, y funcionando en la forma regresiva y progresiva respectivamente. En el 3º y 4º, la función error correspondientes a la cuantización de la señal de entrada en sus pendientes positiva y negativa. Los siguientes oscilogramas 5º y 6º, muestran la señal de entrada y la salida del detector de signo. En los 7º y 8º, las salidas de los monoestables de salida de los comparadores de pendientes positivas y negativas respectivamente. Los oscilogramas 9º y 10º, muestran la señal de entrada y la cuantizada. Finalmente, en las 11º y 12º, muestran la señal de salida.

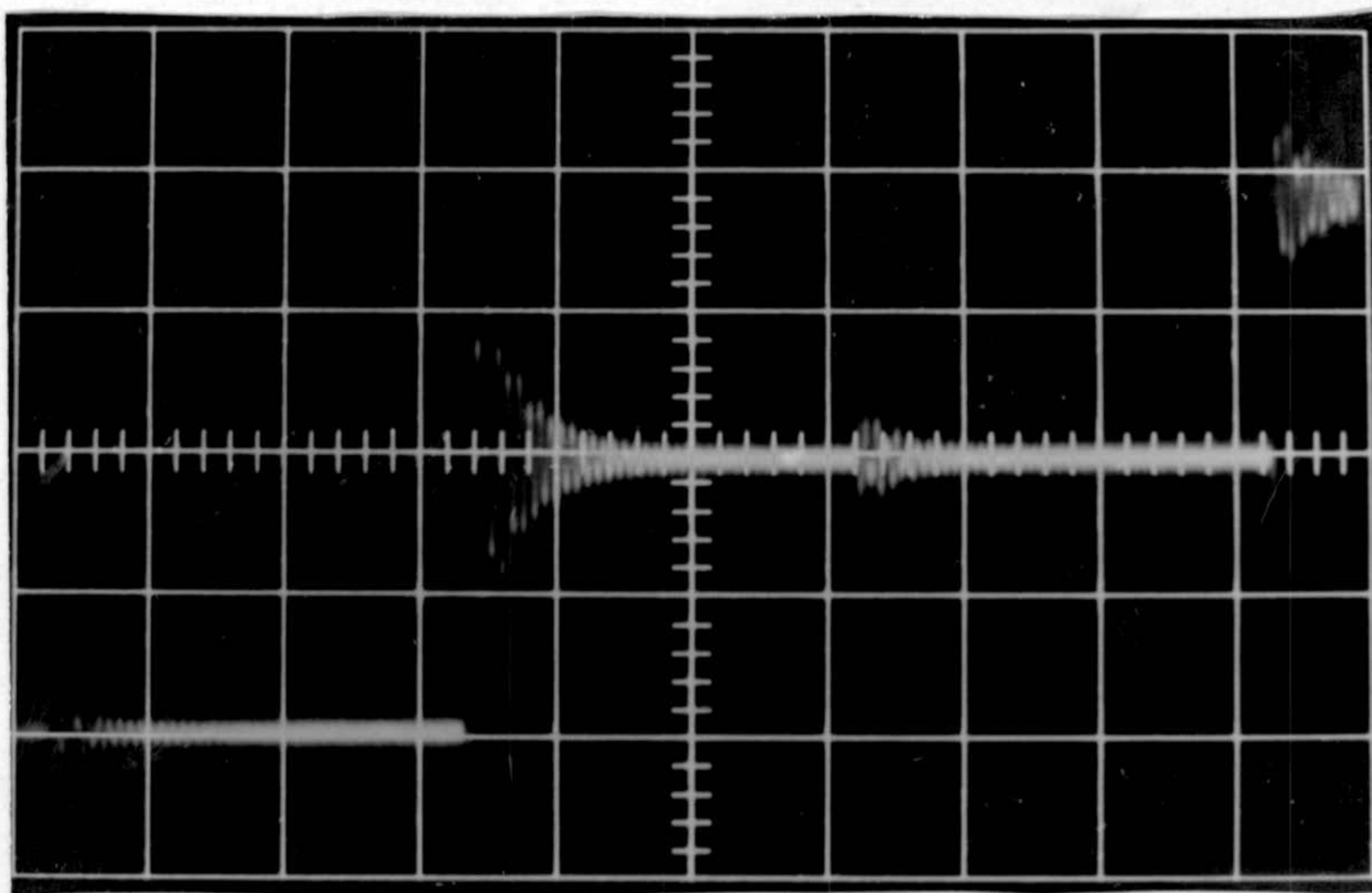
La fotografía expuesta al finalizar los oscilogramas muestra una vista general del dispositivo.



Oscilograma nº1

Base de tiempos: 0,1 msg/div.

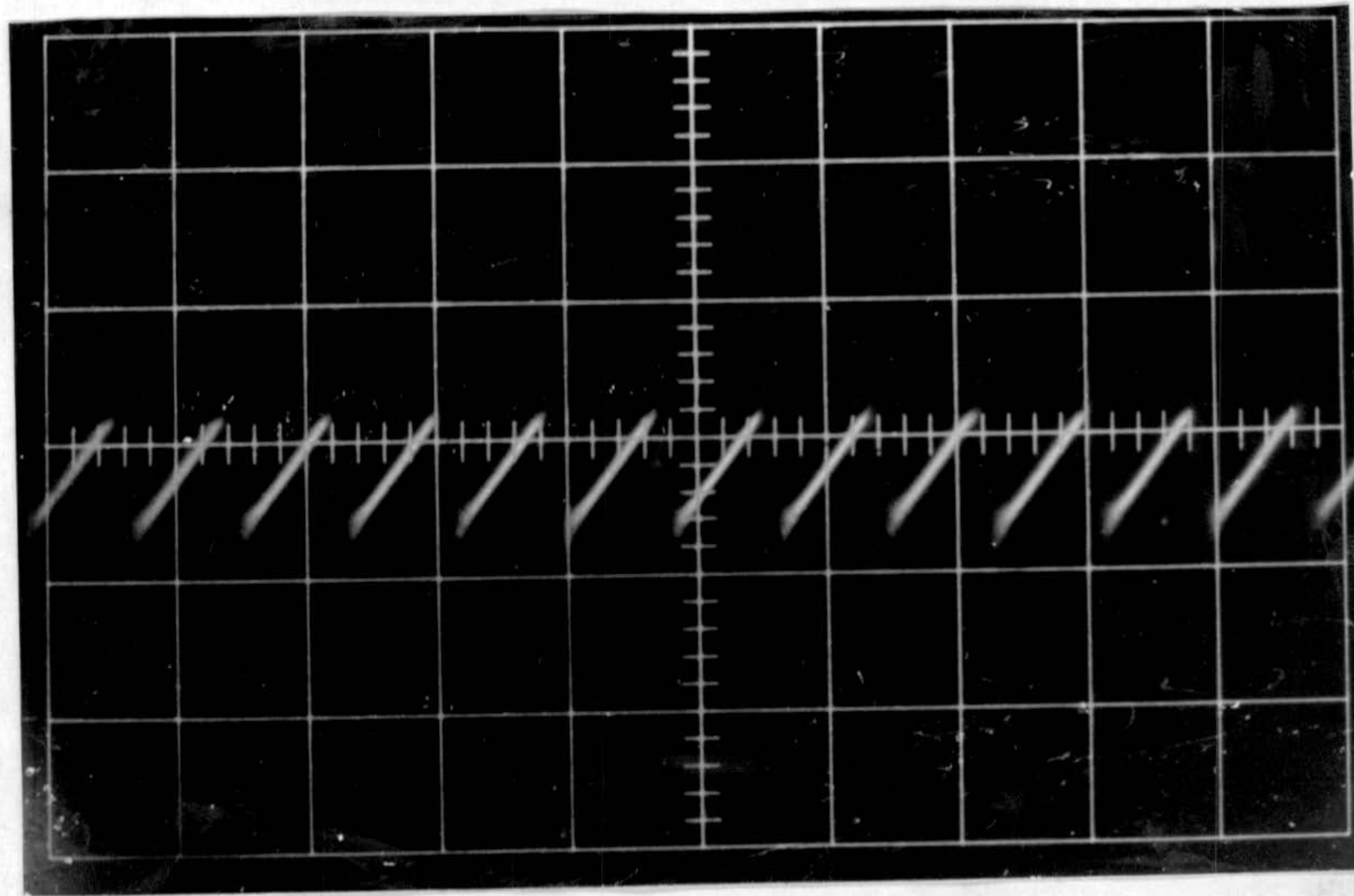
Canal 1 : 0,1 msg/div.



Oscilograma nº 2

Base de tiempos: 5 μ sg/div.

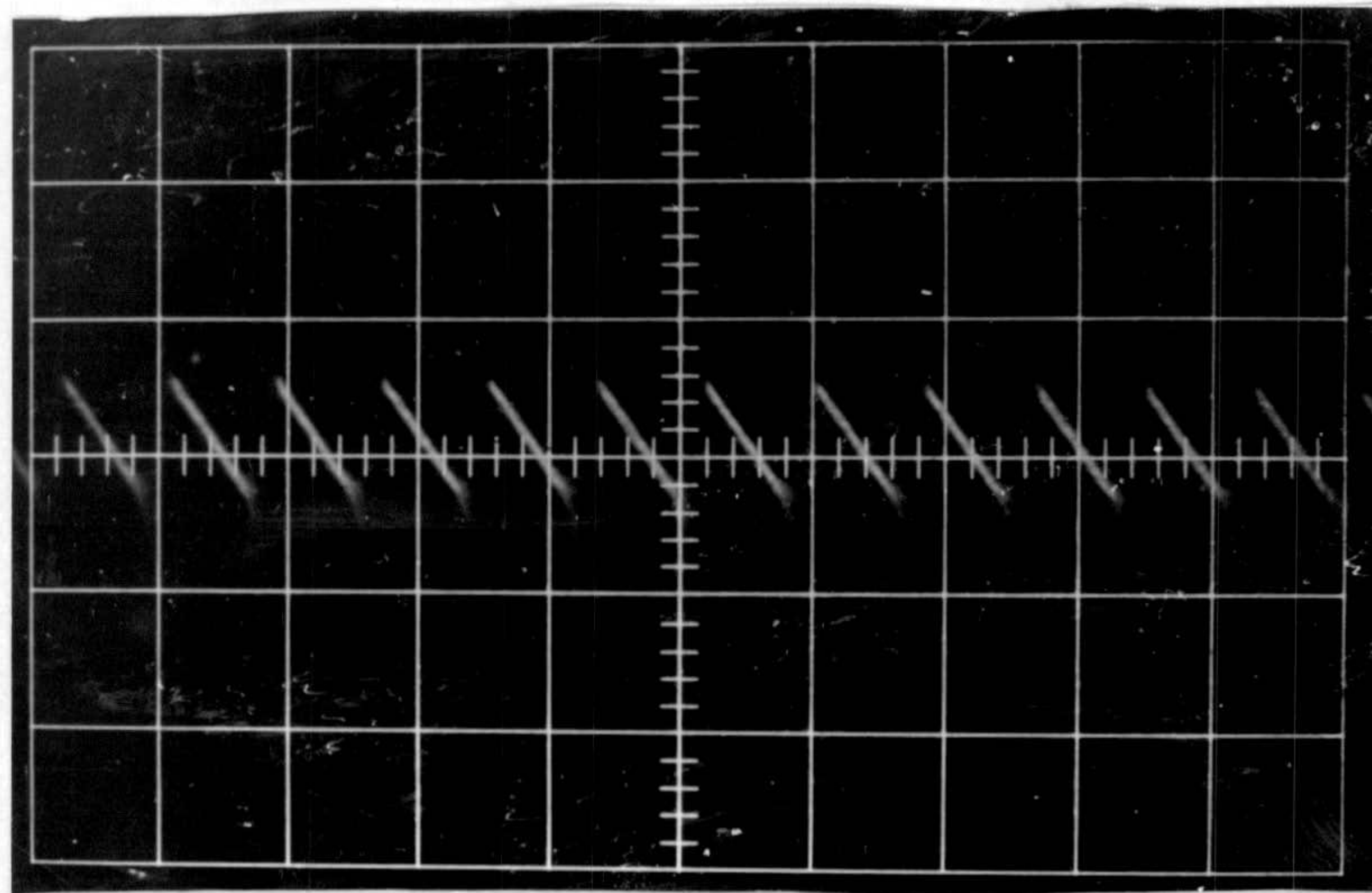
Canal 1 : 10 mv./div.



Oscillograma n° 3

Base de tiempos: 0,02 msg/div.

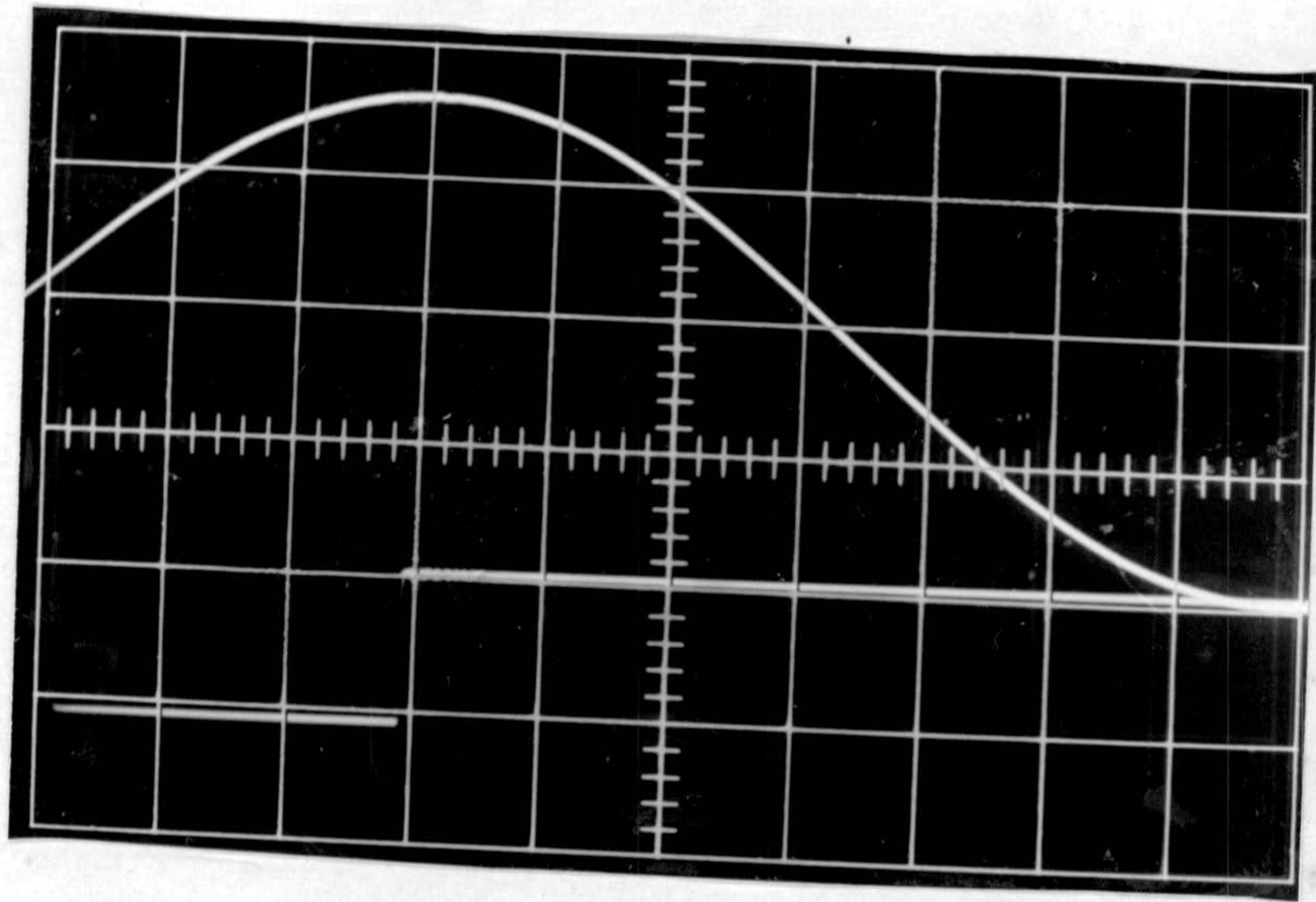
Canal 1 : 20 msg./div.



Oscillograma n° 4

Base de tiempos: 0,02 msg/div.

Canal 1 : 20 mv./div.

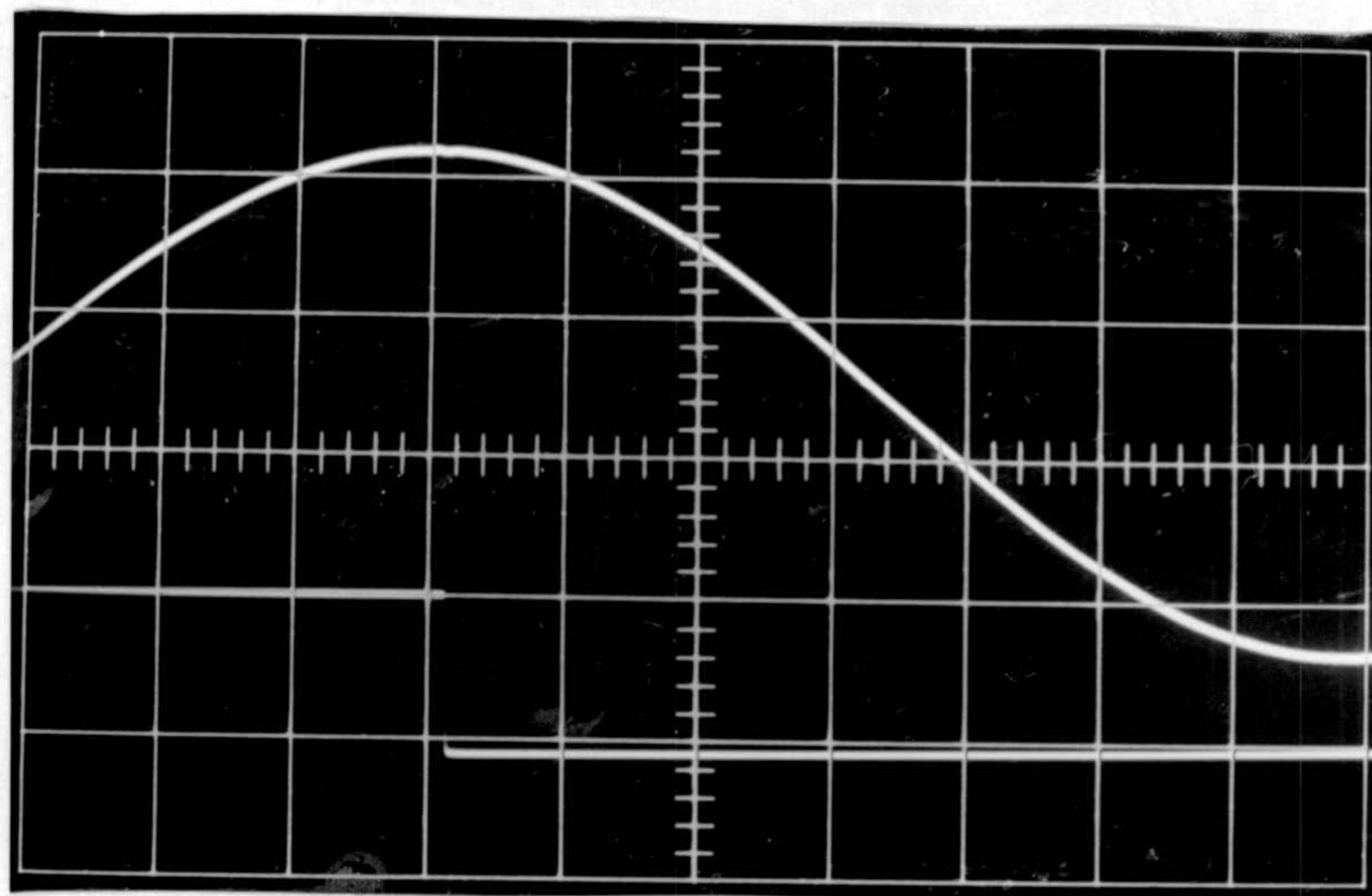


Oscilograma nº5

Base de tiempos:1msg/div.

Canal 1 :0,4volt./div.

Canal 2 :5volt./div.

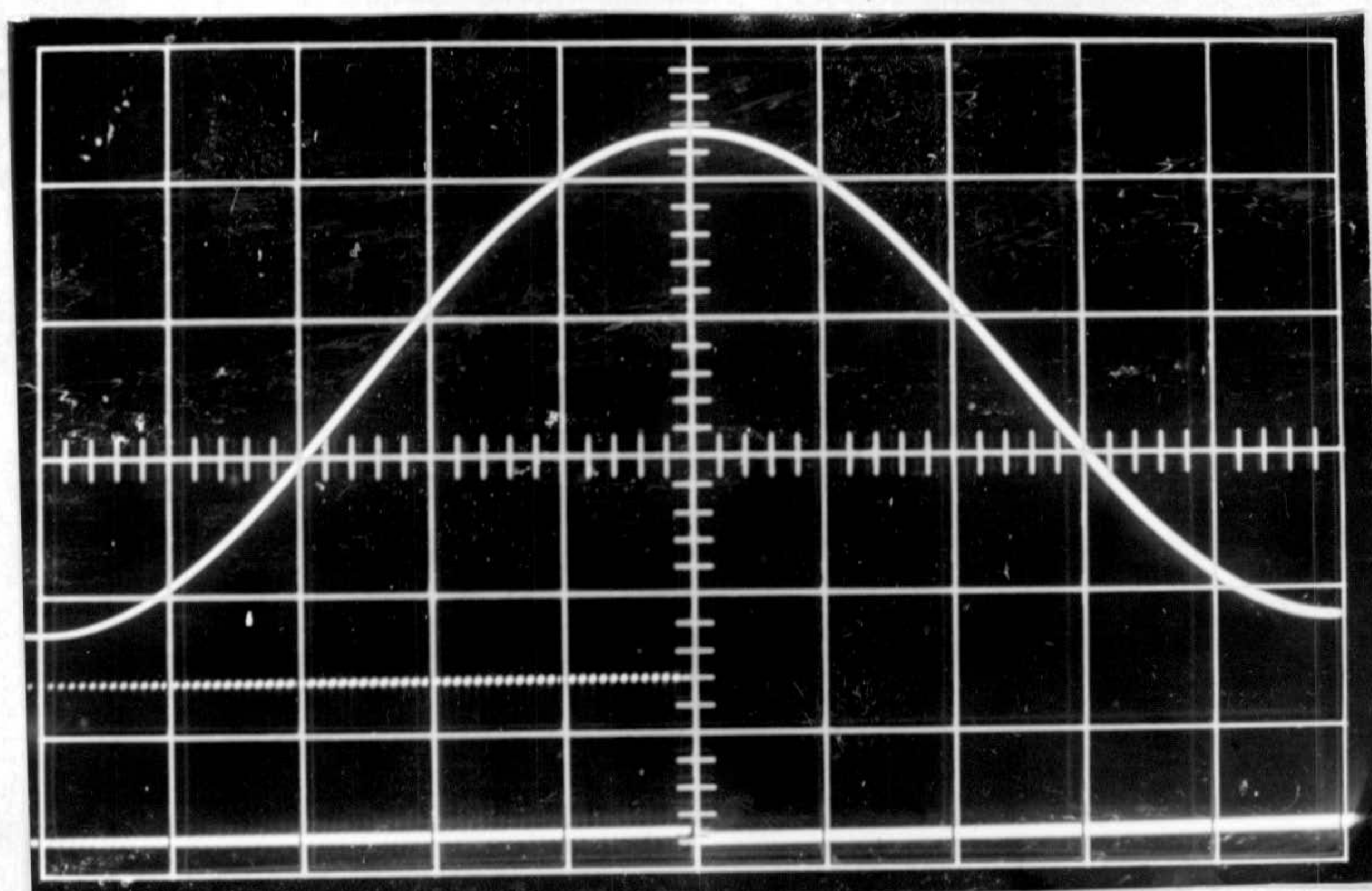


Oscilograma nº 6

Base de tiempos:1msg/div.

Canal 1 :0,4volt. /div.

Canal 2 :5volt./div.

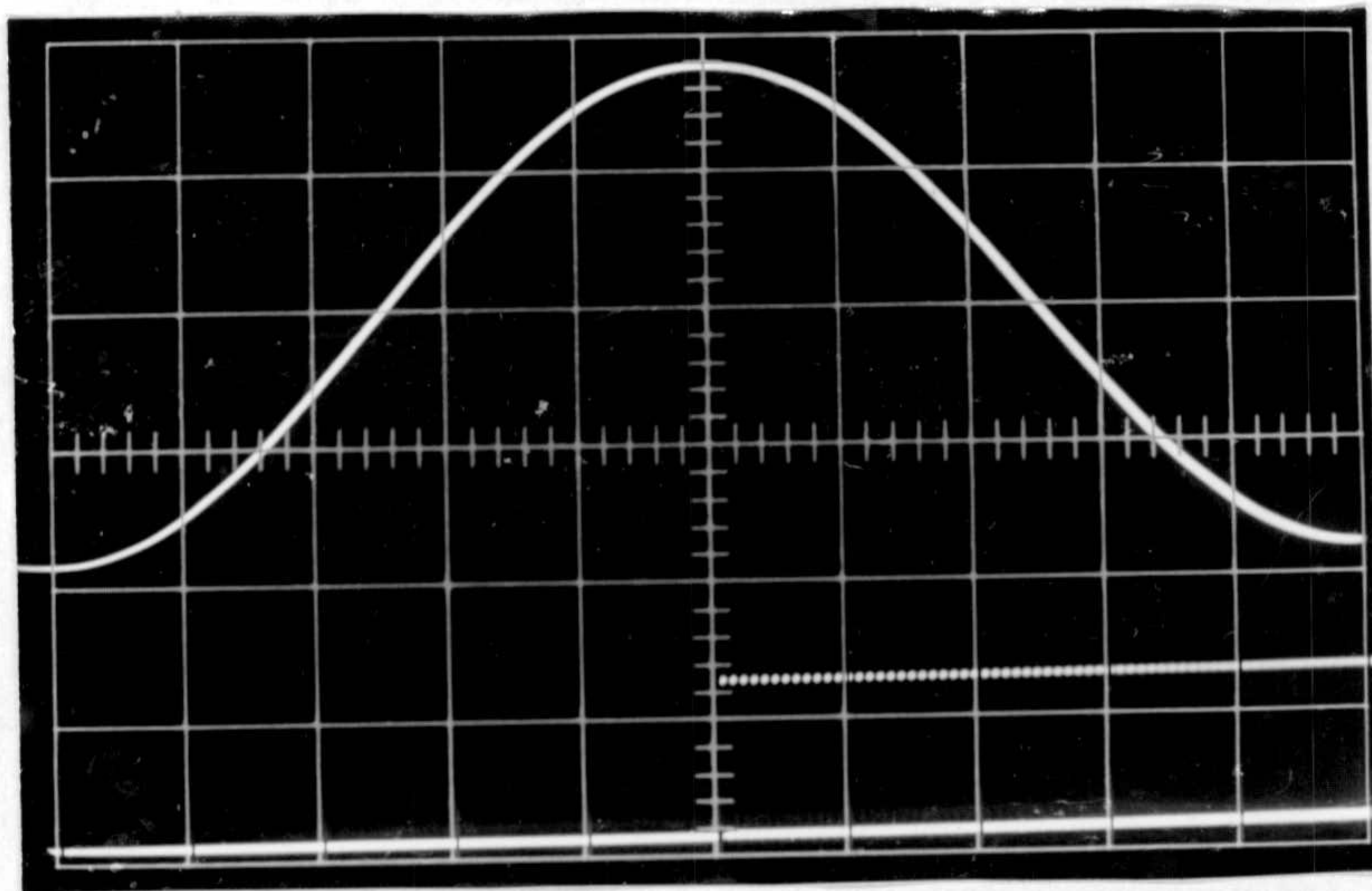


Oscilograma nº 7

Base de tiempos: 1msg/div.

Canal 1 : 0,4volt./div.

Canal 2 : 5volt./div.

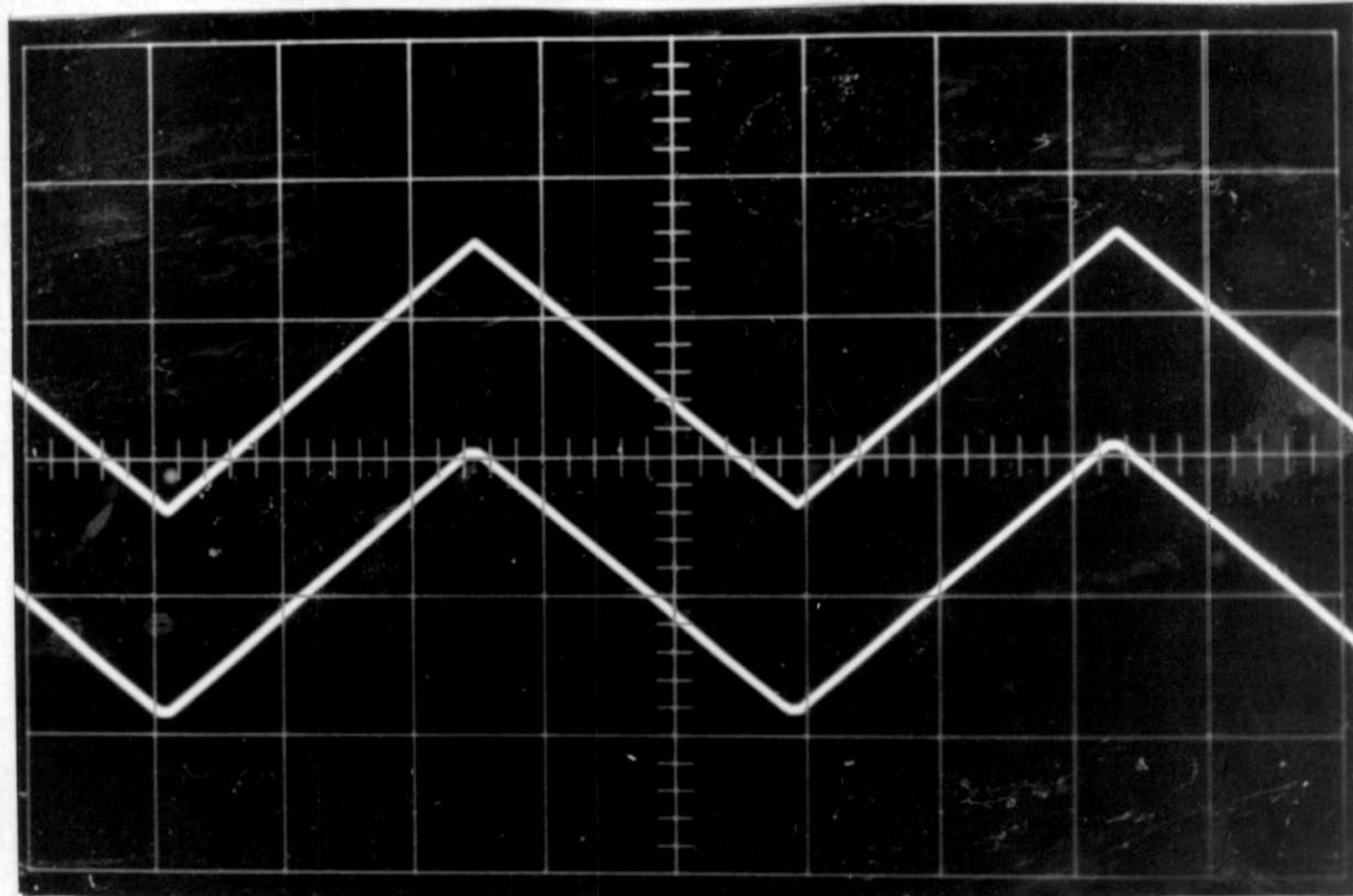


Oscilograma nº 8

Base de tiempos: 1msg/div.

Canal 1 : 0,4volt./div.

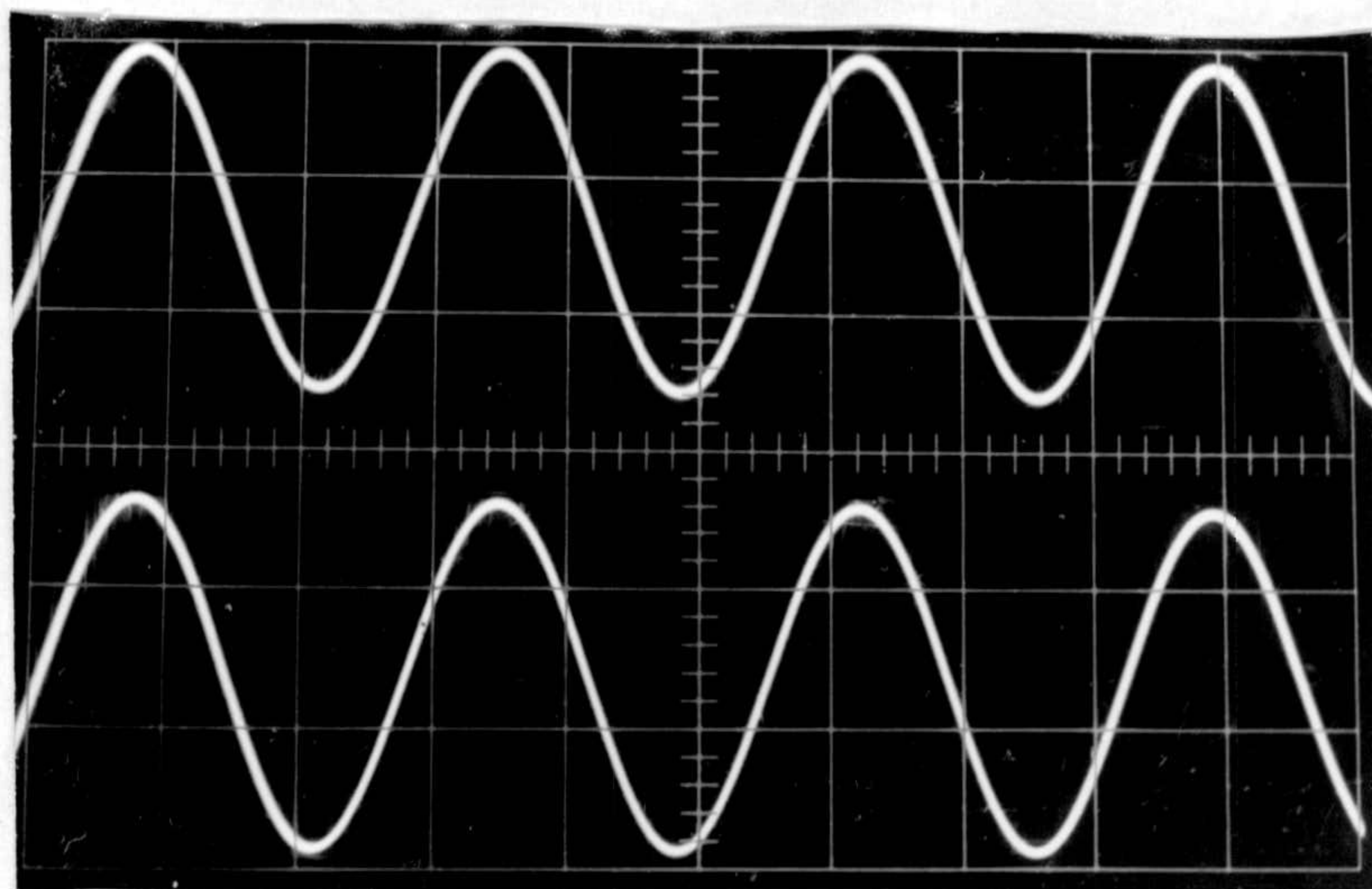
Canal 2 : 5volt./div.



Oscilograma nº 9

Base de tiempos: 0,5msg/div.

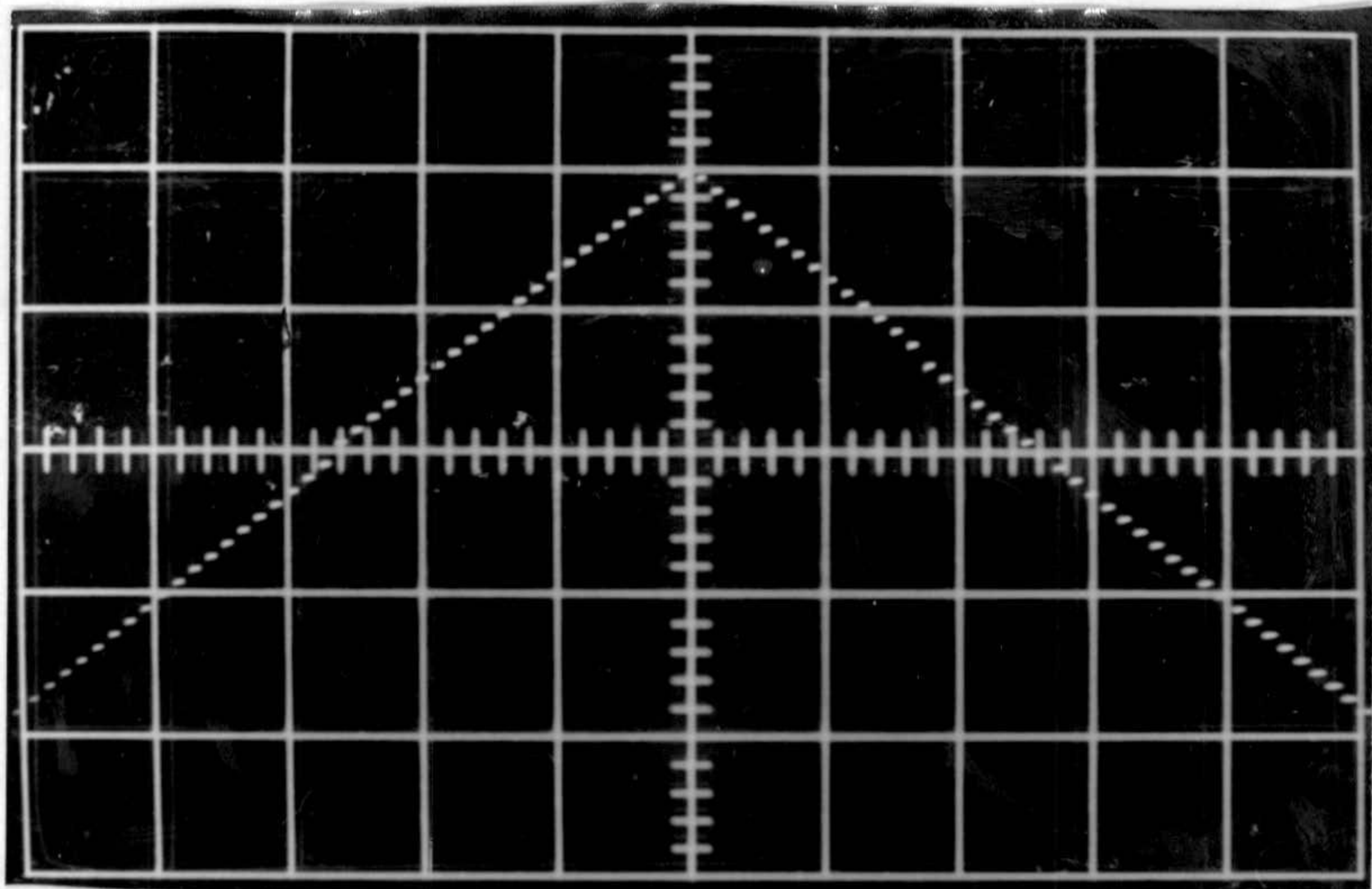
Canal 1 y 2 : 5volt./div.



Oscilograma nº 10

Base de tiempos: 1msg/div.

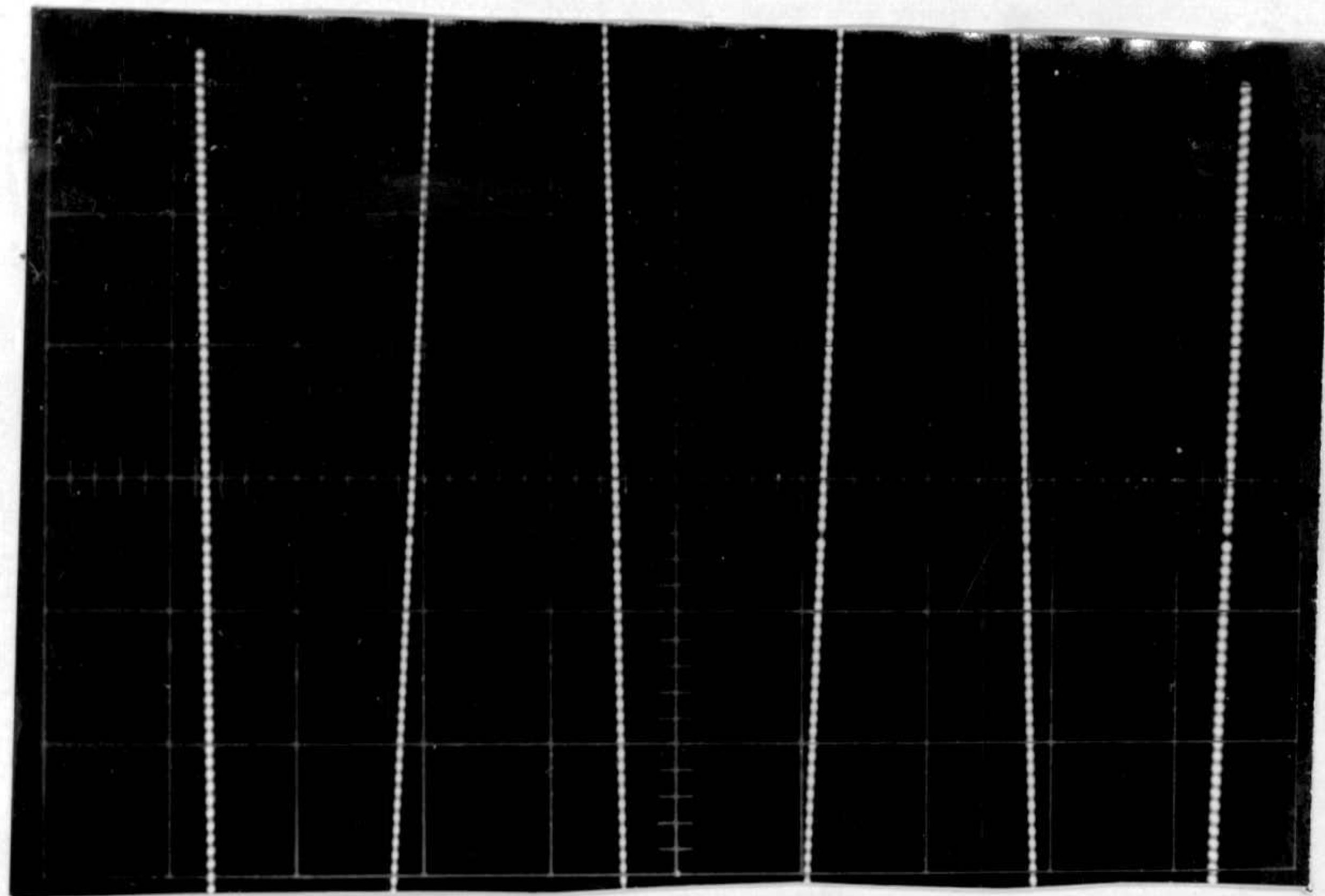
Canal 1 y 2 : 3volt./div.



Oscilograma nº 11

Base de tiempos: 0,2msg/div.

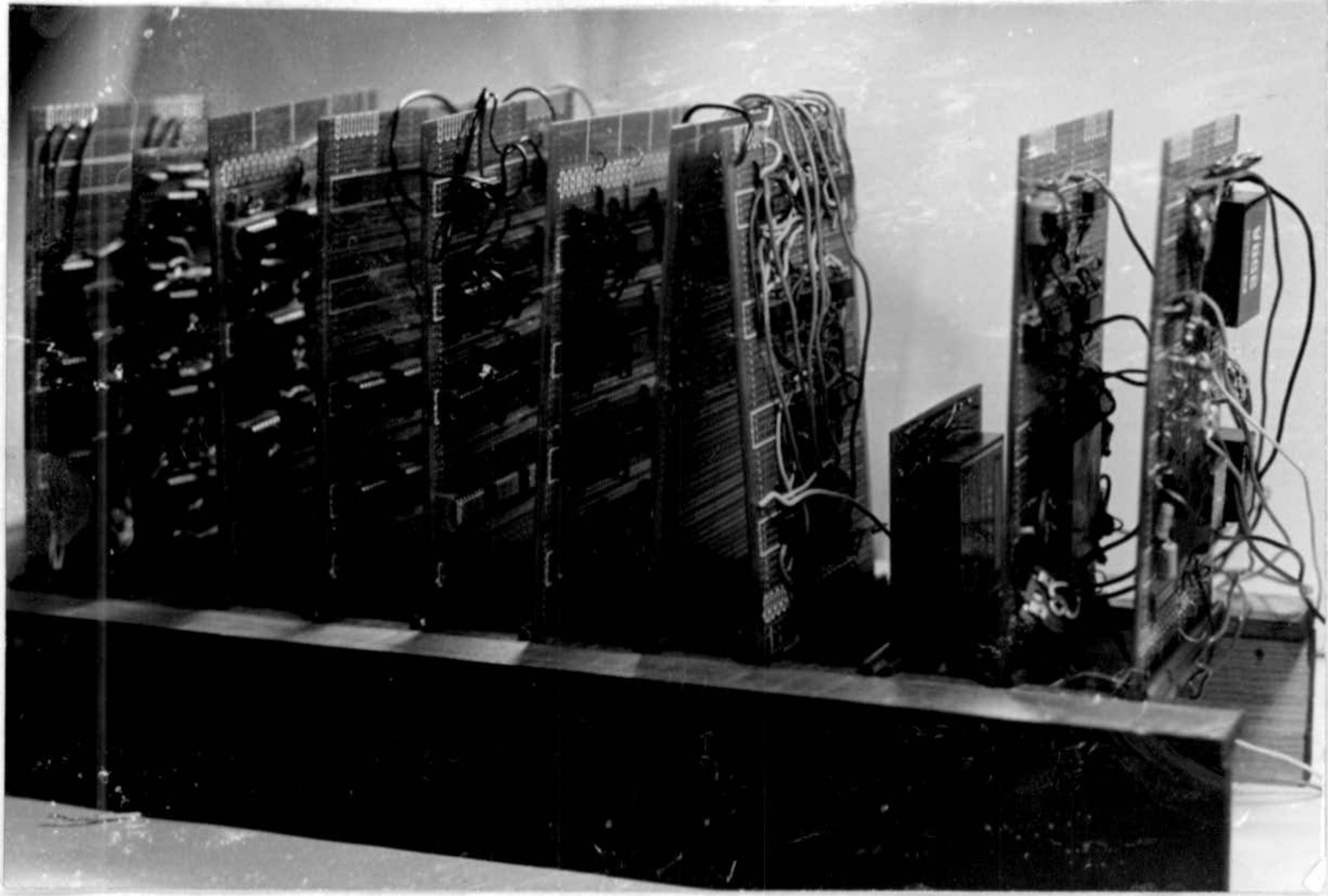
Canal 1 : 0,2volt./div.



Oscilograma nº 12

Base de tiempos: 1msg/div.

Canal 1 : 0,2volt./div.



Vista general.

DILIGENCIA:

Reunido el Tribunal examinador en el día de
la fecha, constituido por:

- D. Antón Civit Breu
- D. Gerardo Pardo Sanchez
- D. Bernardo García Olmedo
- D. Guillermo Rodríguez-Izquierdo
- D. Salvador Brach del Pino

para juzgar la Tesis Doctoral del Licenciado D.

se acordó por UNANIMIDAD otorgar la calificación de SOBRESALIENTE "CUM LAUDE" y para que conste, se extiende firmada por los componentes del Tribunal, la presente diligencia.

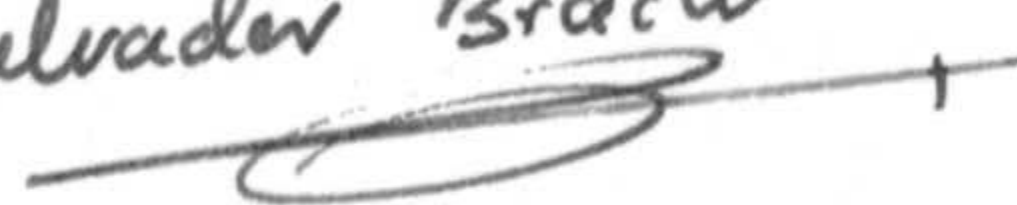
Granada, a 7 de Diciembre de 1973

El Secretario,

El Presidente,



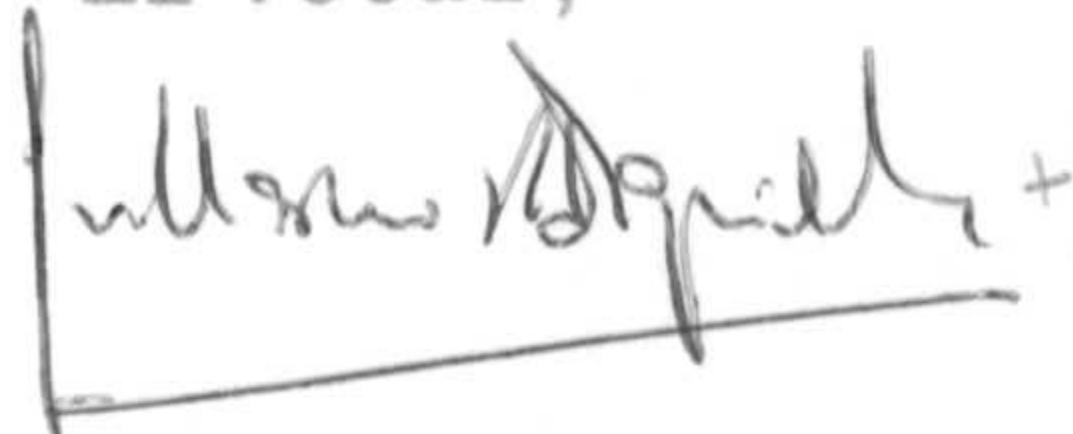
Salvador Brach⁺



El Vocal,



El Vocal,



El Vocal,

